Міністерство освіти і науки України

Сумський державний університет

**4216 МЕТОДИЧНІ ВКАЗІВКИ**

до виконання курсової роботи

з дисципліни "ПРИСТРОЇ ЦИФРОВОЇ ЕЛЕКТРОНІКИ"

на тему "Проектування цифрового пристрою"

для студентів спеціальностей

6.171 "Електроніка",

6.153 "Мікро- та наносистемна техніка"

усіх форм навчання

Суми

Сумський державний університет

2017

Методичні вказівки до виконання курсової роботи з дис­ципліни "Пристрої цифрової електроніки" на тему "Проектуван­ня цифрового пристрою" / укладачі: Т. О. Протасова, К. О. Д’яченко, І. А. Кулик. – Суми : Сумський державний університет, 2017. − 65 с.

Кафедра електроніки і комп’ютерної техніки

**Зміст**

С.

|  |  |  |
| --- | --- | --- |
| Загальні відомості…………………………………………….. | | 4 |
| 1 | Вихідні дані…………………………………………...... | 5 |
| 2 | Літературний огляд……………………………………. | 10 |
| 3 | Розроблення та обґрунтування алгоритму функціонуван­ня та структурної схеми пристрою, що проектуєть­ся……………………………………........................... | 10 |
| 4 | Розроблення функціональної схеми………………....... | 14 |
| 5 | Розроблення принципової схеми пристрою………….. | 20 |
| 5.1 | Вибір елементної бази…………………………………. | 22 |
| 5.2 | Проектування схем виділення фронтів часового ін­тервалу…………………………………………………... | 23 |
| 5.3 | Проектування лічильника-вимірювача часового ін­тервалу…………...……………………………………… | 33 |
| 5.4 | Проектування перетворювача кодів…………………... | 39 |
| 5.5 | Проектування перетворювача паралельного коду на послідовний……………………………………………... | 50 |
| 5.6 | Розроблення блока керування…………………………. | 55 |
| Висновки………………………………………………………. | | 66 |
| Список літератури……………………………………………. | | 68 |
| Додатки | |  |

#### **Загальні відомості**

Метою курсової роботи є:

* закріплення основних теоретичних положень дисцип­ліни;
* набуття практичних навиків проектування цифрових пристроїв та вузлів.

Для виконання курсової роботи кожному студентові вида­ється індивідуальне технічне завдання. Варіант завдання визна­чається порядковим номером у журналі академічної групи. На підставі завдання розробляється календарний план виконання курсової роботи, який затверджується керівником.

Розрахункова частина та результати курсової роботи офо­рмлюються у вигляді пояснювальної записки та графічної час­тини.

Пояснювальна записка повинна вміщувати до 30 сторінок те­ксту та оформлюється відповідно до вимог державного стандарту та ЄСКД.

Пояснювальна записка містить:

* титульний аркуш із назвою роботи, номером групи, прі­звищами студента та керівника;
* технічне завдання з календарним планом виконання роботи;
* зміст;
* вступ;
* розділ 1 "Літературний огляд. Аналіз методів вимірю­вання часових інтервалів";
* розділ 2 "Розроблення та обґрунтування алгоритму функ­ціонування та структурної схеми пристрою, що проектується";
* розділ 3 "Розроблення функціональної схеми пристрою";
* розділ 4 "Розроблення принципової схеми пристрою";
* розділ 5 "Розрахунок параметрів пристрою";
* висновки;
* список літератури;
* додатки.

Графічна частина містить:

* схема електрична принципова;
* часова діаграма роботи пристрою.

Оформлена пояснювальна записка і креслення подаються керівнику за 2-3 дні до встановленого терміну захисту на пере­вірку. Роботи, що мають помилки, повертаються студентам для доопрацювань, а без помилок допускаються до захисту.

На захисті студент повинен показати уміння коротко і гра­мотно викладати питання проектування, уміти обґрунтувати прийняті рішення, а також знати детально всі схеми, що розроб­ляються, і порядок функціонування спроектованого пристрою.

В результаті захисту студентові виставляється оцінка згід­но регламенту.

Студенти, що не виконали курсову роботу або що отрима­ли незадовільну оцінку на захисті з дисципліни " Пристрої циф­рової електроніки", до іспиту не допускаються.

**1 Вихідні дані**

Вихідні дані для проектування представлені в таблицях 1 та 2 .

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
|  |  | Таблиця 1 |  |  |  |  |  |
| Варіант | Тип тригера | Напрямок рахунку | Паралельно-послідовний перетворю­вач | Тип  пристрою | Елемент  відображен­ня | Швидкість | Діапазон і точність вимірів |
| 01 | JK | відн | RG | A | 7 | 9600 | 0 ÷ 1000; 1 |
| 02 | D | відн | RG | B | 10 | 4800 | 0 ÷ 100; 0,1 |
| 03 | JK | сум | RG | A | 7 | 2400 | 0 ÷ 10; 0,01 |
| 04 | D | сум | RG | A | 10 | 1200 | 0 ÷ 1000; 0,1 |
| 05 | JK | відн | MS | B | 10 | 600 | 0 ÷ 100; 0,01 |
| 06 | D | відн | MS | B | 10 | 9600 | 0 ÷ 10; 0,001 |
| 07 | JK | сум | MS | A | 7 | 4800 | 0 ÷ 1000; 1 |
| 08 | D | сум | MS | A | 7 | 2400 | 0 ÷ 100; 0,1 |
| 09 | JK | відн | RG | A | 7 | 1200 | 0 ÷ 10; 0,01 |
| 10 | D | відн | RG | A | 7 | 600 | 0 ÷ 1000; 0,1 |
| 11 | JK | сум | RG | A | 10 | 9600 | 0 ÷ 100; 0,01 |
| 12 | D | сум | RG | B | 10 | 4800 | 0 ÷ 10; 0,01 |
| 13 | JK | відн | MS | A | 7 | 2400 | 0 ÷ 1000; 1 |
| 14 | D | відн | MS | B | 10 | 1200 | 0 ÷ 100; 0,1 |
| 15 | JK | сум | MS | B | 10 | 600 | 0 ÷ 10; 0,01 |
| 16 | D | сум | MS | B | 10 | 9600 | 0 ÷ 1000; 0,1 |
| 17 | JK | відн | RG | B | 10 | 4800 | 0 ÷ 100; 0,01 |
| 18 | D | відн | RG | B | 10 | 2400 | 0 ÷ 10; 0,001 |
| 19 | JK | сум | RG | B | 7 | 1200 | 0 ÷ 1000; 1 |
| 20 | D | сум | RG | B | 7 | 600 | 0 ÷ 100; 0,1 |
| 21 | JK | відн | RG | B | 7 | 600 | 0 ÷ 100; 0,01 |
| 22 | D | сум | MS | В | 7 | 2400 | 0 ÷ 100; 0,1 |
| 23 | JK | відн | RG | A | 7 | 2400 | 0 ÷ 10; 0,01 |
| 24 | D | сум | RG | В | 10 | 1200 | 0 ÷ 1000; 0,1 |
| 25 | JK | сум | RG | A | 7 | 9600 | 0 ÷ 1000; 1 |
| 26 | D | сум | MS | B | 10 | 9600 | 0 ÷ 10; 0,001 |
| 27 | JK | відн | RG | A | 7 | 2400 | 0 ÷ 10; 0,01 |
| 28 | JK | сум | MS | A | 7 | 4800 | 0 ÷ 1000; 1 |
| 29 | D | відн | RG | A | 7 | 600 | 0 ÷ 100; 0,1 |
| 30 | D | відн | MS | B | 10 | 4800 | 0 ÷ 100; 0,1 |
| 31 | JK | сум | MS | А | 7 | 2400 | 0 ÷ 1000; 0,1 |
| 32 | D | сум | RG | В | 7 | 1200 | 0 ÷ 100; 0,01 |
| 33 | JK | відн | MS | В | 7 | 2400 | 0 ÷ 10; 0,001 |
| 34 | D | відн | RG | А | 7 | 9600 | 0 ÷ 1000; 1 |

Тип пристрою, що проектується

А – вимір тривалості додатних імпульсів;

В – вимір пауз між додатними імпульсами.

У загальному випадку роботу вимірювача тривалості часо­вого інтервалу можна представити наступним чином. При пода­чі сигналу «Вимір» з панелі керування або від пристрою оброб­ки вимірювач тривалості встановлюється в початковий стан. Пе­редній фронт вимірюваного інтервалу дозволяє проходження сигналів тактової частоти на лічильник, який підраховує їх кіль­кість.

При надходженні заднього фронту вимірюваного інтервалу виробляється сигнал «Закінчення виміру» і забороняється над­ходження тактових імпульсів в лічильник. У лічильнику фор­мується код, пропорційний тривалості вимірюваного інтервалу, який подається на панель відображення і передається в послі­довному двійково-десятковому коді в пристрій обробки. В тому випадку, якщо тривалість часового інтервалу більше діапазону виміру, виробляється сигнал «Помилка», який відображається на панелі відображення.

Таблиця 2 – Двійково-десятковий код передачі даних у пристрій обробки

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Варіант | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 |
| Д-код  Цифра | 8421 | 2421 | 5121 | 8421+3 | 53-21 | 75-31 | 5421 | 4221 | 5211 | 8421+6 |
| 0 | 0000 | 0000 | 0000 | 0011 | 0000 | 0000 | 0000 | 0000 | 0000 | 0110 |
| 1 | 0001 | 0001 | 0001 | 0100 | 0001 | 0001 | 0001 | 0001 | 0001 | 0111 |
| 2 | 0010 | 0010 | 0010 | 0101 | 0111 | 0110 | 0010 | 0010 | 0100 | 1000 |
| 3 | 0011 | 0011 | 0011 | 0110 | 1010 | 0111 | 0011 | 0011 | 0101 | 1001 |
| 4 | 0100 | 0100 | 0111 | 0111 | 0101 | 1010 | 0100 | 1000 | 0111 | 1010 |
| 5 | 0101 | 1011 | 1000 | 1000 | 1000 | 0100 | 1000 | 1001 | 1000 | 1011 |
| 6 | 0110 | 1100 | 1001 | 1001 | 1001 | 0101 | 1001 | 1010 | 1001 | 1100 |
| 7 | 0111 | 1101 | 1010 | 1010 | 1111 | 1000 | 1010 | 1011 | 1100 | 1101 |
| 8 | 1000 | 1110 | 1011 | 1011 | 1100 | 1001 | 1011 | 1110 | 1101 | 1110 |
| 9 | 1001 | 1111 | 1111 | 1100 | 1101 | 1110 | 1100 | 1111 | 1111 | 1111 |

**2 Літературний огляд**

Перш ніж приступити до розробки пристрою студент по­винен зробити аналіз літературних джерел по даному напряму. Необхідно розглянути і проаналізувати існуючі методи і засоби виміру часових інтервалів, розібратися з перевагами і недоліка­ми реалізованих методик, виділити сильні і слабкі місця розгля­нутих структур. Аналіз повинен містити короткі відомості про принципи побудови або схеми відомих пристроїв, їх переваги і недоліки. На основі проведеного аналізу робиться висновок про прийнятий принцип побудови або відому схему і вказуються ті зміни, які вносяться до пристрою, що проектується для вико­нання необхідних вимог або поліпшення його характеристик.

**3 Розроблення та обґрунтування алгоритму функціонуван­ня та структурної схемі пристрою, що проектується**

Розробку структурної схеми необхідно почати з розробки алгоритму функціонування пристрою. Алгоритм функціонуван­ня повинен за допомогою символів або словесного опису відо­бражати процес прийому, обробки і формування вхідних, ке­руючих, інформаційних і вихідних сигналів.

Для побудови алгоритму функціонування пристрою вико­ристовуються наступні логічні символи.

|  |  |
| --- | --- |
|  | Пуск, оста­нов  (початок - кінець) |
|  | Введення-виведення  (прийом- передача) |
|  | Процес (формування сигналу, зміна стану і т.п.) |
|  | Перевірка логічної умови (сим­вол розга­лудження) |
|  | Повторення групи сим­волів за за­даною умо­вою |
|  | Перенесення в межах од­ного аркуша |

Лінії, що сполучають символи, показують порядок їх ви­конання. Причому лінії, що йдуть зверху вниз і зліва направо, не мають стрілок, в останніх випадках вони повинні мати стрілки.

При зображенні символів вжиті наступні розміри: в = 2с, а = (2-2,5)в, с = n\*5 мм (n = 1, 2, 3, …).

На основі алгоритму функціонування розробляється струк­турна електрична схема. Дана схема у вигляді 6-10 блоків відо­бражає структуру пристрою і взаємозв'язок між блоками.

До складу вимірювача часових інтервалів можуть входити наступні блоки структурної схеми:

* формувачі переднього і заднього фронту вимірюваного інтервалу часу;
* схема підрахунку тактових імпульсів;
* тактовий генератор;
* схема перетворення паралельного коду в послідовний;
* схема відображення;
* керуючий пристрій тощо.

Розроблення структурної схеми закінчується визначенням фу­нкцій, які повинен виконувати кожен з блоків і є основою для розробки схеми функціональної електричної.

**4 Розроблення функціональної схеми**

Схема функціональна електрична відображає структуру пристрою у вигляді функціональних блоків. При розробці функ­ціональної схеми обґрунтовується склад кожного блоку струк­турної схеми у вигляді функціональних вузлів і пристроїв.

Для зображення функціональних вузлів застосовуються спеціальні елементи (рис.1).



Рисунок 1 – Зображення функціонального елементу (*F* – функція, що виконується)

При побудові функціональних і принципових схем входи розташовуються зліва, а виходи справа. Величина С приймаєть­ся з умови: С = 5\*n мм (n = 2, 3, …). Для простих елементів мо­жуть бути відсутніми праве (ліве) або обидва додаткові поля. За наявності додаткових полів в них вказується призначення входів (виходів).

Перед побудовою загальної функціональної схеми при­строю, що проектується необхідно обґрунтувати склад кожного блоку структурної схеми окремо у вигляді функціональних вуз­лів і пристроїв. Функціональна схема вимірювача часового ін­тервалу повинна складатися з наступних основних блоків:

* Пристрій виділення фронтів – детектор фронту імпульс­ної послідовності повинен сформувати на виході короткий пози­тивний імпульс у момент відповідного перемикання логічних рівнів вхідного сигналу. Схемно детектор фронтів складається з двох пристроїв – детектора переднього фронту і детектора зад­нього фронту. Як детектор переднього, так і детектор заднього фронту вимірюваного імпульсу побудуємо на логічних елемен­тах.

Детектори переднього і заднього фронтів на своїх виходах формують короткі імпульси, що виділяють початок і кінець ви­мірюваного інтервалу. Пристрій формування керуючого імпуль­су повинен дозволяти проходження імпульсів фіксованої часто­ти протягом усього досліджуваного періоду, тому необхідно провести фіксування сигналів з виходів детекторів.

Цю операцію можна здійснити за допомогою тригера, який на своєму прямому виході сформує сигнал дозволу проходження імпульсів квантуючої послідовності при надходженні на вхід установки тригера в одиничний стан сигналу з виходу детектора переднього фронту. З приходом керуючого сигналу з виходу де­тектора заднього фронту тригер змінить свій стан на протилеж­ний, тобто заборонить проходження імпульсів з генератора на вхід пристрою, що підраховує.

* Вимірювач тривалості часових інтервалів являє собою лічильник, який здійснює підрахунок імпульсів і скидається при приході наступного вимірюваного імпульсу, доцільніше обнуля­ти його сигналом з виходу детектора переднього фронту вимі­рюваного імпульсу. Лічильник повинен містити *n=3* послідовно включених однорозрядних двійково-десяткових лічильників (декади), отже, загальна кількість двійкових розрядів десятково­го лічильника визначається як *nліч=4\*n=12.*
* Перетворювач коду здійснює перетворення коду з вихо­ду лічильника в код, що застосовується в пристрої відображен­ня, в даному випадку - в код десяткового індикатора.

Перетворювачі кодів призначені для перетворення чисел з однієї форми подання в іншу. Відправним пунктом для побудо­ви перетворювача коди є таблиця відповідності, в якій запису­ється повний набір вхідних і відповідний набір вихідних кодо­вих слів. Якщо вхідні і вихідні слова записані двійковими сим­волами, то синтез перетворювача коду зводиться до знаходжен­ня для кожного розряду вихідного слова булевої функції, що встановлює зв'язок даного розряду з вхідними наборами двійко­вих змінних. Знаходження такого зв'язку і мінімізація булевого виразу здійснюється за допомогою карт Карно (діаграм Вейча). На заключному етапі отримана функція перетворюється до виду, зручного для реалізації функцій в заданому (обраному) елемент­ному базисі.

До побудови кодового перетворювача можна підійти з де­кількох позицій. При першому підході перетворювач реалізуєть­ся як система булевих функцій групи аргументів. Найпростішим способом побудови схеми, що обробляє систему функцій з m-виходами, є синтез звичайними методами *m*-невідомих однови­відних функцій. Більш економічне рішення зазвичай можна отримати при підході до системи функцій з урахуванням її мож­ливості. Тоді часто вдається виявити загальні логічні фрагменти, що входять до формули декількох виходів. Ці фрагменти досить реалізувати схемно лише один раз.

При другому підході до побудови кодового перетворювача він трактується як пара декодер-кодер (див. рис.2). Перетворю­вач коду в даному випадку реалізує таблицю істинності, пред­ставлену в таблиці 3.

Таблиця 3 – Таблиця істинності для перетворювача кодів

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | | B | | |
| a2 | a1 | Z | J | K |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 |

Число входів дешифратора дорівнює числу входів перет­ворювача, число виходів шифратора - числу виходів перетворю­вача. З'єднання дешифратора і шифратора виконуються відпо­відно до таблиці відповідностей. Частина виходів декодера і входів кодера може не використовуватися. Якщо декільком вхі­дним комбінаціям відповідає одна і та ж вихідна, то відповідні виходи декодера об'єднують на елементі АБО і вихід останнього подають на потрібний вхід кодера.



Рисунок 2 – Кодовий перетворювач, побудований як структура декодер-кодер

При третьому підході перетворювач коду можна реалізува­ти на програмованих постійних запам'ятовуючих пристроях (ППЗП) або програмованих логічних матрицях (ПЛМ). ПЛМ, як і ППЗП, належать до програмованих інтегральних схем двосту­пеневої структури, що складається з двох послідовних матриць «матриця І» - «матриця АБО». ПЛМ відрізняється від ППЗП тим, що в ППЗП матриця І жорстка, а матриця АБО - програмо­вана, а в ПЛМ обидві матриці І та АБО – програмовані. Друга відмінність полягає в тому, що на ПЛМ можна реалізувати не будь-яку систему перемикальних функцій, як на ППЗП, а лише задовольняє додатковому обмеженню: довжина диз'юнктивних нормальних форм відтворюваних функцій не повинна переви­щувати числа перехідних ланцюгів між матрицями І та АБО. Структура матриць І та АБО складається з горизонтальних і вер­тикальних шин, в вузлах перетину яких знаходяться елементи зв'язку, які при програмуванні вводяться або усуваються (див. рис. 3). Як елементи зв'язку можуть служити наприклад, діоди в матриці І та транзистори в матриці АБО, або плавкі перемички, які при програмуванні перепалюються шляхом подачі високої напруги. Слід зазначити, що як ППЗП, так і ПЛМ реалізує най­більш розгорнуті форми представлення функцій (ДДНФ) і для них не використовується мінімізація функцій.



Рисунок 3 – Кодовий перетворювач, реалізований з вико­ристанням ПЛМ

Використовувати ПЗП для побудови перетворювачів пот­рібно тоді, коли перетворенню підлягають всі або майже всі комбінації вхідних змінних, а загальне число змінних більше 6-8. Якщо в заданій для реалізації функції використовується лише порівняно мала частка всіх можливих вхідних комбінацій, то раціональніше застосувати ПЛМ. Через значно меншу кількість елементів у корпусі ПЛМ вони зазвичай дешевше, мають меншу затримку та споживають меншу потужність, ніж ПЗП.

Що стосується вибору між ПЛМ та набором окремих логічних мікросхем для побудови кодових перетворювачів, то, починаючи вже з вельми простих перетворювачів, ПЛМ виявляються вигіднішими і за часом, і за витратами апаратури. Слід, однак, мати на увазі, що ПЛМ має явну перевагу перед розсипом перед реалізацією саме систем функцій, а в разі одновихідних функцій лише коли джерела аргументів і споживачів функцій розташовані компактно. Якщо ж однієї логічної матрицею замінюється безліч розкиданих по платі окремих логічних елементів, то результуючий виграш за габаритними характеристиками стає вже сумнівним. Справа в тому, що в більшості технологій монтажу площа, зайнята зв'язками, перевищує площу, зайняту власне логічними елементами. Тому тенденція концентрувати логічні операції в одному великому елементі, а не виконувати їх на місцях, в середньому збільшує зайняту площа плати. Програшною по числу мікросхем (правда, виграшною з точки зору уніфікації) є спроба заміни програмованими матрицями спеціалізованих мікросхем типу декодерів, мультиплексорів і т.п. У спеціалізованій мікросхемі раціонально використовуються всі виходи корпусу, а при вкладенні в ПЛМ різних схем конкретних вузлів практично завжди частина виводів буде не використана. ПЛМ призначена для спрощення реалізації довільних нестандартних функцій, та, як всякий універсальний інструмент вона програє спеціалізованим мікросхемам, кожна з яких спеціально спроектована для економної реалізації саме її функцій.

При проектуванні з готових мікросхем (якщо порівнювати структуру кодер-декодер та розсип логічних елементів) більш вигідним та по числу корпусів, та за швидкодією зазвичай виявляється структура декодер-кодер. Однак споживана потужність в цьому випадку може бути більше, ніж у схеми з окремих логічних елементів. Але в той же час витрати часу інженера на логічне проектування за схемою декодер-кодер незмірно менше, ніж витрати на проектування перетворювача з розсипу.

* Індикаторний пристрій (HG) - представлений у вигляді десяткового індикатора. Призначений для відображення виміряного часового інтервалу (тривалості імпульсу).
* Світлодіод (S). Служить для індикації сигналу помилки (переповнення лічильника імпульсів).
* Перетворювач коду. Використовується для перетворення паралельного коду, відповідного тривалості виміряного часового інтервалу, в послідовний код для передачі в пристрій обробки отриманої інформації. Згідно завдання на проектування має бути використаний паралельно-послідовний регістр або мультиплексор зі схемою керування, яка містить двійковий лічильник із заданим коефіцієнтом перерахунку.
* До складу вимірювача тривалості часових інтервалів входить логічний елемент І, що виконує функцію фільтра (пропускає тактові імпульси тільки протягом вимірюваного часового інтервалу) і тригер.
* Блок керування (БК). Управляє роботою всього пристрою. До його функцій входить: забезпечення установки функціональних блоків в початковий стан, своєчасне підключення і відключення функціональних блоків пристрою.

На основі розробленої функціональної схеми проводиться синтез основних вузлів принципової схеми.

**5 Розроблення принципової схеми пристрою**

В даному розділі пояснювальної записки необхідно розробити і обґрунтувати:

* вибір елементної бази пристрою;
* синтез комбінаційних пристроїв;
* синтез вузлів з пам'яттю;
* синтез схеми керування.

**5.1 Вибір елементної бази**

Метою вибору елементної бази є обґрунтування серії (або серій) інтегральних мікросхем, а також інших електрорадіоелементів, необхідних для раціональної реалізації пристрою, що проектується.

Критеріями вибору серії (серій) ІМС є:

* наявність необхідних функціональних вузлів у складі серії ІМС;
* мала споживана потужність;
* виконання вимог по швидкодії (граничній робочій частоті) і умовам експлуатації;
* низька вартість;
* можливість керувати необхідними елементами, наприклад, індикаторами без додаткових підсилень і перетворень вихідних сигналів і т.п.

Вибір елементної бази необхідно проводити в наступній послідовності:

* за функціональною схемою пристрою визначаються необхідні функціональні вузли (лічильники, регістри, шифратори, перетворювачі коду тощо) та їх параметри;
* по довідниках визначаються серії ІМС, що містять всі або частину відповідних функціональних вузлів. При відсутності функціональних вузлів визначається можливість їх побудови за допомогою вхідних до складу серії елементів;
* на основі проведеного аналізу визначається одна або декілька серій, що застосовуються для побудови пристрою.

При виборі дискретних елементів (індикаторів, електромагнітних реле і т.д.), які входять до складу пристрою, що проектується, доцільно використовувати ті, які керуються сигналами з мікросхем або спеціальними мікросхемами сполучення, що входять до складу серій. Інакше проводиться розрахунок схем сполучення на дискретних елементах.

Вибір елементної бази доцільно ілюструвати таблицями, наприклад:

* таблиця відповідності складу серій потрібним функціональним вузлам і можливість реалізації функціональних елементів на дискретних логічних елементах серії;
* таблиця характеристик обраних серій ІМС;
* таблиця характеристик необхідних дискретних елементів.

На підставі аналізу даних таблиць проводиться вибір елементної бази.

**5.2 Проектування схем виділення фронтів**

**часового інтервалу**

Для формування сигналів початку та закінчення виміру часового інтервалу служать формувачі імпульсів (детектори фронтів). Детектор фронтів призначений для формування коротких імпульсів в момент перемикання логічних перепадів вимірюваного імпульсу. Існують різні схеми детекторів фронтів. Як детектори фронтів можуть бути застосовані різницеві перетворювачі (РП) - спеціальні елементи цифрових пристроїв, призначені для вироблення вихідного сигналу, що несе інформацію про зміну значення вхідного сигналу. На виході РП формуються імпульсні сигнали у вигляді короткочасної появи напруги *U0*  або *U1* при заздалегідь визначених переходах сигналу на вході. Тривалість вихідного імпульсу РП залежить від параметрів вхідного сигналу і компонентів РП. Якщо РП виконується на логічних елементах, він крім інформаційного може мати додаткові функціональні входи, які дозволяють враховувати додаткові умови формування вихідного імпульсу, що значно спрощує структури цифрових пристроїв, скорочуючи кількість логічних елементів.

Так як на вході РП можуть існувати два види переходу вхідного сигналу, а на виході можуть бути сформовані напруги *U0*  та *U1* , то можлива побудова чотирьох основних схем РП. Нерідко в РП використовують спеціально лінії затримки, або *RC*-ланцюжки.

РП використовують для побудови детекторів подій, організації імпульсного керування у *RS* - тригерів, що усуває на їх входах заборонені комбінації сигналів, а також у інших типів тригерів; при проектуванні послідовних структур; для вироблення імпульсних сигналів запуску одновібраторів або установчих сигналів для лічильників, регістрів і т.п. .; при побудові реверсивних лічильників і регістрів і т.д. Перераховане дозволяє віднести РП до багатофункціональних елементів, і саме з цієї причини в ряді сучасних серій елементів РП виконуються у вигляді інтегральних схем.

Таким чином, в якості детекторів фронтів будемо використовувати типові схеми, наведені на рисунках 4 та 6. Проілюструємо роботу схем відповідними часовими діаграмами (рисунки 5 та 7).



Рисунок 4 – Детектор переднього фронту



Рисунок 5 – Часова діаграма, що ілюструє формування імпульсу з виходу детектора переднього фронту



Рисунок 6 – Детектор заднього фронту



Рисунок 7 – Часова діаграма, що ілюструє формування імпульсу з виходу детектора заднього фронту

Детектор переднього фронту реалізується за допомогою елементів І-НІ. Представлена схема детектора переднього фронту зручна тим, що чотири елементи 2І-НІ розміщуються в одному корпусі мікросхем серій 133, 155, 564.

Аналогічно реалізується детектор від'ємного фронту на логічних елементах АБО-НІ. Як і в схемі детектора переднього фронту, важливе значення має логічна функція тільки вихідного елемента, а в якості інверторів можна використовувати як елементи НІ, так і АБО-НІ, І-НІ. При проектуванні детекторів фронтів необхідно враховувати те, що необхідна тривалість імпульсів, що формуються повинна бути більше 2-3 тривалостей перемикання подальших елементів. Тому тривалість вихідного імпульсу визначається співвідношенням:

,

де *m* – парне і дорівнює кількості елементів

*tздр* – середній час перемикання логічного елемента.

Внаслідок функціональної повноти функцій Шеффера і стрілки Пірса реалізуючі їх вентилі І-НІ або АБО-НІ можуть представляти будь-яку булеву операцію І, АБО, НІ і таким чином самостійно утворювати базис, в якому реалізується будь логічна функція. Це доцільно з двох точок зору. По-перше, при проектуванні логічних схем можна обійтися одним єдиним типом вентиля, що дозволяє гранично уніфікувати цей процес. По-друге, для більшості серій ТТЛ- і КМОН-логік вентиль І-НІ, як і АБО-НІ, є базисним і кращим у багатьох відношеннях.

Схему виділення фронтів вимірюваного часового інтервалу можна реалізувати на основі мультивибраторів, що чекають. Мультивібратором,що чекає або одновібратором називається пристрій, який виробляє вихідний імпульс з одиночного перепаду вхідного сигналу. Тривалість вихідного імпульсу визначається постійної часу *RC* вбудованих або зовнішніх компонентів і, отже, не залежить від часових обмежень, накладених системними тактовими імпульсами. У складі деяких серій сучасних інтегральних мікросхем є одновібратори двох типів: без повторного запуску і з повторним запуском. Будемо використовувати мікросхему К155 АГ3 - це два мультивибратора, що чекають з можливістю перезапуску. Кожний мультивібратор має виходи *Q* та , вхід скидання , та два входи запуску: – прямий з активним високим рівнем та – інверсний з активним низьким рівнем.

Позначення і схема підключення вхідного імпульсу позитивної полярності до АГ3 представлена на рисунку 8.



Рисунок 8 – Схема підключення вхідного імпульсу пози-тивної полярності до АГ3 при розв'язанні задачі виділення фронтів

Часова діаграма, яка ілюструє керуючі імпульси, що формуються представлена на рисунку 9.



Рисунок 9 – Часова діаграма розміщення керуючих імпульсів

Довжину імпульсу ( при ) можна підрахувати за формулою:

.

Споживаний мікросхемою струм складає 66 мА.

Імпульс формується за допомогою Ш ланки: конденсатор, що задає час підключається між виходами МС 14, 15 і 7,6, а резистори підключаються від виводів 7 і 15 до позитивної шини живлення 5В.

Приймаємо , та отримаємо .

Як детектори фронтів можна використовувати також типові схеми, наведені на рисунках 10 і 12.

Проілюструємо роботу схем відповідними часовими діаграмами.

Схема виділення переднього фронту має вигляд, представлений на рисунку 10. Часова діаграма роботи цієї схеми представлена на рисунку 11.



Рисунок 10 – Схема виділення переднього фронту інтервалу, що вимірюється



Рисунок 11 – Часова діаграма роботи схеми виділення переднього фронту інтервалу, що вимірюється

Схема виділення заднього фронту інтервалу, що вимірюється аналогічна запропонованій і має вигляд, представлений на рисунку 12.



Рисунок 12 – Схема виділення заднього фронту інтервалу, що вимірюється

Залежність вихідного сигналу від вхідного представлена на рисунку 13.



Рисунок 13 – Часова діаграма роботи схеми виділення заднього фронту інтервалу, що вимірюється

**5.3 Проектування лічильника вимірювача часового інтервалу**

В якості лічильника для підрахунку тактових сигналів доцільно використовувати двійково-десятковий лічильник, що працює відповідно до коду обміну з пристроєм обробки. Такий лічильник містить послідовно включених однорозрядних двійково-десяткових лічильників. Тоді кількість двійкових розрядів лічильника можна визначити за формулою:

.

Виконаємо синтез однієї декади десяткового лічильника.

Складемо таблицю функціонування декади лічильника (див. табл. 4), що працює в двійково-десятковому коді обробки інформації 53-21.

Таблиця 4 – Таблиця функціонування лічильної декади

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| № |  | | | | Дес. цифра |  | | | |  | | | | | | | |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | \* | 0 | \* | 0 | \* | 1 | \* |
| 1 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | \* | 1 | \* | 1 | \* | \* | 0 |
| 2 | 0 | 0 | 1 | 0 | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* |
| 3 | 0 | 0 | 1 | 1 | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* |
| 4 | 0 | 1 | 0 | 0 | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* |
| 5 | 0 | 1 | 0 | 1 | 4 | 1 | 0 | 0 | 0 | 1 | \* | \* | 1 | 0 | \* | \* | 1 |
| 6 | 0 | 1 | 1 | 0 | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* |
| 7 | 0 | 1 | 1 | 1 | 2 | 1 | 0 | 1 | 0 | 1 | \* | \* | 1 | \* | 0 | \* | 1 |
| 8 | 1 | 0 | 0 | 0 | 5 | 1 | 0 | 0 | 1 | \* | 0 | 0 | \* | 0 | \* | 1 | \* |
| 9 | 1 | 0 | 0 | 1 | 6 | 1 | 1 | 1 | 1 | \* | 0 | 1 | \* | 1 | \* | \* | 0 |
| 10 | 1 | 0 | 1 | 0 | 3 | 0 | 1 | 0 | 1 | \* | 1 | 1 | \* | \* | 1 | 1 | \* |
| 11 | 1 | 0 | 1 | 1 | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* |
| 12 | 1 | 1 | 0 | 0 | 8 | 1 | 1 | 0 | 1 | \* | 0 | \* | 0 | 0 | \* | 1 | \* |
| 13 | 1 | 1 | 0 | 1 | 9 | 0 | 0 | 0 | 0 | \* | 1 | \* | 1 | 0 | \* | \* | 1 |
| 14 | 1 | 1 | 1 | 0 | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* |
| 15 | 1 | 1 | 1 | 1 | 7 | 1 | 1 | 0 | 0 | \* | 0 | \* | 0 | \* | 1 | \* | 1 |

Права частина таблиці, тобто функції *J1-J4*, *K1-K4* складалися виходячи з правил функціонування *JK* - тригера (див. табл. 5), який обраний як елемент пам'яті для синтезованої декади лічильника. Функції *J1-J4*, *K1-K4* є неповністю визначеними функціями, тому їх мінімізацію доцільно проводити за допомогою спеціальних таблиць, які називаються картами Карно. Виконаємо мінімізацію функцій *J1-J4*, *K1-K4*.

Таблиця 5 - Таблиця функціонування *JK* – тригера

|  |  |  |  |
| --- | --- | --- | --- |
| J | K | Q(t) | Q(t+1) |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |

Так як при функціонуванні *JK* - тригера виникають переходи в однакові стани при різних керуючих сигналах, то представлену таблицю функціонування тригера можна скоротити. Запишемо таблицю функціонування *JK* - тригера в скороченому вигляді:

Таблиця 6 – Скорочена таблиця функціонування *JK -* тригера

|  |  |  |
| --- | --- | --- |
| 0→0 | J=0 | K=\* |
| 0→1 | J=1 | K=\* |
| 1→0 | J=\* | K=1 |
| 1→1 | J=\* | K=0 |

Складемо для функції, що мінімізуються карти Карно. Так як мінімізації підлягають вісім функцій, то і карт Карно також буде вісім.















 .

Схема лічильника, побудованого за отриманими рівняннями, приведена на рисунку 14. Обчислена схема може рахувати тільки від 0 до 9. Для побудови схеми, яка буде рахувати від 0 до 1000, необхідно включити послідовно три таких декади (розрядні одиниці).

Для реалізації повної схеми синтезованого лічильника необхідно взяти 12 *JK* - тригерів на 6 мікросхемах К 555 ТВ6, 18 елементів І на два входи, 5 ІМС К155 ЛІ 1, 9 елементів АБО на два входи, 2 ІМС К 555 ЛЕ 3.



Рисунок 14 – Схема лічильної декади, що працює в коді 53-21

**5.4 Проектування перетворювача кодів**

У вимірювачі часових інтервалів необхідний блок відображення інформації.

Якщо за завданням необхідно використовувати цифрові семисегментні індикатори, то даний перетворювач коду матиме 4 входи (від однієї декади лічильника) і 7 виходів (до кожного сегмента індикатора).

Синтез перетворювача кодів розглянемо для випадку, коли лічильник працює в двійково-десятковому коді передачі даних до пристрою обробки 75-31.

Розробимо перетворювач коду.

Подамо правило функціонування перетворювача в вигляді таблиці істинності (див. табл. 7). В ній наводиться відповідність між вхідними та вихідними кодами. Таблиця станів перетворювача заповнюється построчно, тобто для кожного набору змінних визначаються значення функцій відповідно до символу, що висвічується на індикаторі.

Таблиця 7 – Таблиця функціонування перетворювача кодів

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| № | *x1* | *x2* | *x3* | *x4* | Дес.ц | *F1* | *F2* | *F3* | *F4* | *F5* | *F6* | *F7* |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| 2 | 0 | 0 | 1 | 0 | \* | \* | \* | \* | \* | \* | \* | \* |
| 3 | 0 | 0 | 1 | 1 | \* | \* | \* | \* | \* | \* | \* | \* |
| 4 | 0 | 1 | 0 | 0 | 5 | 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 5 | 0 | 1 | 0 | 1 | 6 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 6 | 0 | 1 | 1 | 0 | 2 | 0 | 1 | 1 | 0 | 1 | 1 | 1 |
| 7 | 0 | 1 | 1 | 1 | 3 | 0 | 1 | 1 | 1 | 1 | 0 | 1 |
| 8 | 1 | 0 | 0 | 0 | 7 | 0 | 1 | 1 | 1 | 0 | 0 | 0 |
| 9 | 1 | 0 | 0 | 1 | 8 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 10 | 1 | 0 | 1 | 0 | 4 | 1 | 0 | 1 | 1 | 0 | 0 | 1 |
| 11 | 1 | 0 | 1 | 1 | \* | \* | \* | \* | \* | \* | \* | \* |
| 12 | 1 | 1 | 0 | 0 | \* | \* | \* | \* | \* | \* | \* | \* |
| 13 | 1 | 1 | 0 | 1 | \* | \* | \* | \* | \* | \* | \* | \* |
| 14 | 1 | 1 | 1 | 0 | 9 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 15 | 1 | 1 | 1 | 1 | \* | \* | \* | \* | \* | \* | \* | \* |

Отримані функції є неповністю визначеними логічними функціями. Виконаємо мінімізацію кожної з семи неповністю визначеної функції.

Отримаємо рівняння для реалізації перетворювача коду. Так як аналізовані функції *F1-F7* є неповністю визначеними логічними функціями, то мінімізувати їх найзручніше допомогою методу карт Карно. Нанесемо функції і зробимо мінімізацію. Отримаємо мінімальні ДНФ (диз'юнктивні нормальні форми).













 .

При реалізації систем булевих рівнянь кращим виявляється базис елементів І-НІ (базис Шеффера), тому що він найбільш широко представлений у вигляді інтегральних мікросхем. Тому зробимо перехід вихідних рівнянь в обраний базис. Для цього двічі проінвертуємо кожну функцію, згідно з правилом де Моргана опустимо нижню риску таким чином, щоб збереглися вихідні кон'юнкції, але над ними з'явилися інверсії. Виконаємо дані операції над двома функціями. Решта перетворюються аналогічно. Рівняння перетворюються наступним чином:

;

.

Реалізуємо отримані рівняння у вигляді схеми, поданої на рисунку 15.



Рисунок 15 – Принципова схема, що реалізує функції *F1*, *F2* у базисі Шефера

Якщо за завданням необхідно використовувати цифрові десяткові індикатори, то даний перетворювач коду матиме 4 входи (від однієї декади лічильника) і 10 виходів (до кожної цифри індикатора).

Синтез такого перетворювача кодів розглянемо для коду обробки 5121.

Представимо правило функціонування перетворювача у вигляді таблиці істинності (див. табл.8). В ній ставиться відповідність між вхідними та вихідними кодами.

Так як аналізовані функції *F1-F10* є неповністю визначеними логічними функціями, то мінімізувати їх найзручніше допомогою методу карт Карно. Нанесемо функції і зробимо мінімізацію. Отримаємо мінімальні ДНФ (диз'юнктивні нормальні форми). Вимога отримання МДНФ обумовлено необхідністю подальшої реалізації схеми у найбільш поширеному функціональному базисі - базисі Шефера.

Таблиця 8 – Таблиця функціонування перетворювача кодів

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| № | *x1* | *x2* | *x3* | *x4* | Дес-ва цифра | *F1* | *F2* | *F3* | *F4* | *F5* | *F6* | *F7* | *F8* | *F9* | *F10* |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 2 | 0 | 0 | 1 | 0 | 2 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 3 | 0 | 0 | 1 | 1 | 3 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 4 | 0 | 1 | 0 | 0 | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* |
| 5 | 0 | 1 | 0 | 1 | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* |
| 6 | 0 | 1 | 1 | 0 | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* |
| 7 | 0 | 1 | 1 | 1 | 4 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 8 | 1 | 0 | 0 | 0 | 5 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 9 | 1 | 0 | 0 | 1 | 6 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 10 | 1 | 0 | 1 | 0 | 7 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 11 | 1 | 0 | 1 | 1 | 8 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 12 | 1 | 1 | 0 | 0 | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* |
| 13 | 1 | 1 | 0 | 1 | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* |
| 14 | 1 | 1 | 1 | 0 | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* |
| 15 | 1 | 1 | 1 | 1 | 9 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |





















Таким чином, при побудові перетворювача коду методом булевих рівнянь ми отримали 10 рівнянь. Схема, що реалізує отриману систему логічних рівнянь у базисі Шефера, приведена на рисунку 16.



Рисунок 16 – Перетворювач кодів для пристрою відображення

**5.5 Проектування перетворювача паралельного коду на послідовний**

Код результату вимірювання необхідно передати у пристрій обробки по каналу зв'язку. Пристрій обробки знаходиться на значній відстані від вимірювального перетворювача, тому паралельний код результату вимірювання необхідно перетворити у послідовний код. Для даного перетворення одним з рішень буде застосування мультиплексора.

Призначення мультиплексорів (від англ. Multiplex - багаторазовий) - комутувати у бажаному порядку інформацію, що надходить з декількох вхідних шин на одну вихідну. За допомогою мультиплексора здійснюється часовий поділ інформації, що надходить на різних каналах. Мультиплексор виконує функцію безконтактного багатопозиційного перемикача.

Мультиплексори володіють двома групами входів і одним, рідше двома - взаємодоповнюючими виходами. Одні входи інформаційні, а інші служать для керування. До них відносяться адресні та ті, що вирішують (стробуючі) входи. Якщо мультиплексор має *n* адресних входів, то число інформаційних входів буде . Набір сигналів на адресних входах визначає конкретний інформаційний вхід, який буде з'єднаний з вихідним виводом.

Дозволяючий (стробуючий) вхід керує одночасно всіма інформаційними входами незалежно від стану адресних входів. Заборонний сигнал на цьому вході блокує дію всього пристрою. Наявність дозволяючого входу розширює функціональні можливості мультиплексора, дозволяючи синхронізувати його роботу з роботою інших вузлів. Дозволяючий вхід використовується також для нарощування розрядності мультиплексорів.

Мультиплексори ТТЛ, виконані у вигляді самостійних мікросхем, розрізняються головним чином числом інформаційних і адресних входів, наявністю або відсутністю дозволяючого входу, а також характером вихідних сигналів (щодо вхідних інформаційних), які можуть бути прямими, інверсними або парними.

Для вирішення нашого завдання - перетворення дванадцятирозрядний коду необхідно вибрати мультиплексор, що має не менше дванадцяти інформаційних входів. Цій вимозі задовольняє мультиплексор К155 КП1 (рисунок 17).



Рисунок 17 – Умовне позначення мікросхеми К155 КП1

Він має 16 інформаційних входів (*D0* - *D15*) і чотири керуючі входи A, B, C, D, дозволяючий вхід V і один інверсний вихід F. Залежно від цифрової комбінації на керуючих входах сигнали з відповідного інформаційного входу проходять в інвертованому вигляді на вихід мікросхеми. Передача інформації можлива, якщо на дозволяючий вхід діє напруга низького рівня. При високому рівні на вирішуючому вході схема блокується і на виході мікросхеми виникає напруга високого рівня.

Логічна функція, реалізована мікросхемою К155 КП1, має вигляд:

Робота мультиплексора описується таблицею 9.

Таблиця 9 - Таблиця істинності мікросхеми К155 КП1

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| V | D | C | B | A | D0 | D1 | D2 | D13 | D14 | D15 |  |
| 0 | 0 | 0 | 0 | 0 | 1/0 | \* | \* | \* | \* | \* | 0/1 |
| 0 | 0 | 0 | 0 | 1 | \* | 1/0 | \* | \* | \* | \* | 0/1 |
| 0 | 0 | 0 | 1 | 0 | \* | \* | 1/0 | \* | \* | \* | 0/1 |
| … | … | … | … | … | … | … | … | … | … | … | … |
| 0 | 1 | 1 | 0 | 1 | \* | \* | \* | 1/0 | \* | \* | 0/1 |
| 0 | 1 | 1 | 1 | 0 | \* | \* | \* | \* | 1/0 | \* | 0/1 |
| 0 | 1 | 1 | 1 | 1 | \* | \* | \* | \* | \* | 1/0 | 0/1 |
| 1 | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* | 1 |

Дванадцятирозрядний код результату необхідно подати на інформаційні входи, до адресних входів необхідно підключити виходи двійкового лічильника, який буде перебирати в порядку зростання кодові комбінації, відповідні адресами (номерами інформаційних входів). Цю задачу вирішуємо за допомогою лічильника з заданим коефіцієнтом перерахунку. Невикористані входи мультиплексора можна задіяти для організації старт-стопових імпульсів керування передачею інформації.  
Розглянемо більш докладно роботу перетворювача паралельного коду в послідовний.

Доки вимірювальний перетворювач здійснює вимірювання тривалості вхідного імпульсу, підраховуючи кількість пропорційних його тривалості імпульсів, перетворювач паралельного коду повинен знаходитися в режимі очікування. Ця задача виконується завдяки наявності на вирішуючому вході V рівня логічної одиниці, яка блокує роботу мультиплексора.

Після завершення вимірювання на керуючий вхід мультиплексора необхідно подати логічний нуль, дозволяючий перетворення інформації - видачу інформаційних значень в канал зв'язку під впливом керуючих сигналів, що надходять на адресні входи. Керуючий лічильник, перебираючи свої стани, буде послідовно підключати до виходу мультиплексора його інформаційні входи. Як тільки лічильник спробує встановитися у заборонений стан, зворотній зв'язок, що впливає на ланцюг скидання, поверне лічильник у початковий, нульовий стан. До початку передачі лічильник обов'язково повинен знаходитися в нульовому стані, щоб забезпечувати послідовний перебір кодів адрес, починаючи з нульового.

Після завершення передачі мультиплексор знову повинен повернутися в режим очікування наступного коду наступного часового інтервалу. Режим очікування, як і раніше, організується подачею на дозволяючий вхід рівня мультиплексора логічної одиниці. Формування керуючих сигналів, що надходять на дозволяючий вхід, здійснюється схемою управління всього пристрою.

Перетворення паралельного коду в послідовний можна виконати на основі паралельно-послідовного регістра.

Паралельний код результату вимірювання необхідно записати в паралельний регістр, схема якого приведена на рисунку 18.

По приходу сигналу «запис», що надходить одночасно на всі схеми І-НІ на виходах цих схем з'являються сигнали, протилежні значенням даних, що подаються на другі входи схем І-НІ. Ці сигнали надходять на входи більш високого рівня пріоритету - входи установки тригерів в одиничний стан. Так як керування цих входів інверсне, при рівності одиниці сигналу даних на виході схеми І-НІ з'являється нульовий сигнал, який і переводить тригер в потрібне одиничний стан. Оскільки при включенні всі елементи пам'яті примусово були встановлені в нульовий стан, то розряди відповідні вхідним сигналам, рівним одиниці встановлюються в одиничний стан, а інші залишаються в нулі. Після запису паралельного вхідного коду проводиться зсув інформації, подачею на синхровхід сигналу «зсув». Одночасно на вхід D крайнього лівого розряду подається нуль. При зсуві вправо на послідовному виході послідовно з'являтиметься двійкова кодова комбінація. Одночасно з кожним тактовим сигналом в регістр буде рухатись нульовий сигнал. Через *n* тактів (за кількістю розрядів вихідного числа) регістр заповниться нулями. Схема готова до прийому наступної двійковій кодової комбінації.



Рисунок 18 – Паралельно-послідовний регістр

**5.6 Розроблення блока керування**

Схема керування необхідна для керування роботою вимірювача і узгодження окремих вузлів пристрою між собою.

Для функціонування пристрою, проектується схема керування повинна виконувати наступні функції:

* при вмиканні пристрою встановити всі елементи пам'яті в початковий стан;
* при початковому вмиканні пристрою не дозволяти рахунок до повної готовності пристрою;
* забезпечувати підготовку пристрою до вимірювання наступного часового інтервалу;
* забезпечувати установку пристрою в початковий стан і заборона передачі даних в лінію при приході сигналу «переповнення» з лічильника.

Таким чином, перша функція пристрою керування - це установка всіх елементів пам'яті при вмиканні в початковий стан. Це здійснюється за допомогою кнопки К1 (див. рис. 19).

Тепер пристрій готовий до прийому і виміру часового інтервалу, який надходить на вхід пристрою.



Рисунок 19 – Схема формування сигналів установки в нульовий стан

Обрані і розроблені вузли схеми повинні злагоджено працювати разом. Таким чином, наступна, основна функція пристрою керування - організація почергового спрацьовування схем. Найбільш просте рішення даної проблеми - застосування в схемі керування кільцевого лічильника, структурна схема якого приведена на рисунку 20, а часова діаграма, яка пояснює його роботу на рисунку 21.

У початковий момент часу для кільцевого лічильника необхідно організувати запис логічної одиниці в один з розрядів кільцевого лічильника. При вмиканні на вхід установки тригера в одиничний стан подається імпульс негативної полярності, що переводить перший тригер схеми в одиничний стан. Одночасно через інвертор подається імпульс такої ж тривалості, але протилежної полярності на вхід *R* першого тригера і на всі інші входи *S* інших тригерів. Таким чином, в лічильнику записана одна одиниця, при чому вона записана в старшому розряді. Імпульси керування, що надходять на тактовий вхід кільцевого лічильника переписують одиницю з одного ступеня в наступну. Цей зсув здійснюється по колу. На прямих виходах тригерів з'являються імпульси, тривалість яких дорівнює періоду вхідних імпульсів.



Рисунок 20 – Структура кільцевого лічильника пристрою керування

Як зазначалося вище, на виходах тригерів виникають сигнали тривалістю, що дорівнює періоду вхідних сигналів. Для формування імпульсів, що виникають у ті ж моменти часу, але мають тривалість, співмірну з тривалістю імпульсів тактового генератора організовані додаткові схеми «І», на один з входів яких надходять імпульси з виходів тригерів, а на інші входи надходять імпульси з генератора. Кон'юнкція цих сигналів і дає імпульси заданої тривалості. Часова діаграма, що ілюструє цей процес, представлена на рисунку 22.

Рисунок 21 – Часова діаграма роботи кільцевого лічильника

Рисунок 22 – Формування керуючих імпульсів кільцевого лічильника

У схемі управління потрібно передбачити наявність дільників частоти. Дільники частоти, як правило, будуються на лічильниках.

Лічильником називається пристрій, що здійснює підрахунок кількості вхідних імпульсів і фіксує це число в якомусь коді.

Лічильники застосовуються в різних цифрових пристроях, зокрема в пристроях управління ЕОМ. Вони будуються з розрядних схем, пов'язаних один з одним, містять тригери і логічні елементи.

Специфічною для лічильників є мікрооперація інкрементації (або декрементаціі), тобто зміни вмісту на одиницю. Крім того, в них виконуються і такі мікрооперації, як встановлення у початкові стани, зберігання, видача слів та інше.

Лічильник характеризується, перш за все, модулем рахунку (ємністю). Він переходить при надходженні вхідних сигналів зі стану до стану, після кожних *К* сигналів повертаючись до початку циклу, тобто модуль рахунку - це граничне число імпульсів, яке може бути підраховано лічильником. Наприклад, при лічильник має 8 стійких станів і кожен восьмий імпульс, що надходить на його вхід, повертатиме лічильник до початкового стану.

Основними режимами роботи лічильників є реєстрація числа сигналів,що надійшли на лічильник і поділ частоти.

У першому режимі у лічильнику фіксується його вміст (цифровий код), а в другому - вихідними сигналами є імпульси переповнення лічильника.

В двійкових лічильниках коефіцієнт перерахунку пов'язаний певною залежністю з числом розрядів (тригерів) лічильника і може дорівнювати 2, 4, 8, 16, 32, 64 і т.д. Однак на практиці нерідко виникає необхідність у лічильниках, коефіцієнт перерахунку яких відмінний від . Зокрема потрібні лічильники з коефіцієнтом рахунку і т.д., тобто лічильники, що мають відповідно 3,10 і т.д. стійких станів.

Принцип побудови таких лічильників полягає у виключенні зайвих стійких станів у лічильника з , тобто в організації схем, що забороняють деякі стани.

Залежно від того, які стани лічильника вибираються в якості основних, всі лічильники з довільним коефіцієнтом можна розділити на лічильники з природним і довільним порядком рахунку.

Особливістю лічильників з природним порядком рахунку є те, що порядок їх рахунку відповідає порядку рахунку звичайних лічильників, що додають або віднімають. Відмінність полягає в тому, що шляхом введення додаткових зв'язків рахунок закінчується раніше значення . При побудові лічильника даним способом вибирається двійковий лічильник розрядності *N*, такий, щоб було більше *К*, доповнюється елементом І, який по станам виходів виявляє код кінця рахунку, після чого по ланцюгу *R* скидає лічильник в нуль. Структурна схема, що реалізує цей спосіб, показана на рисунку 23.



Рисунок 23 – Структурна схема лічильника з заданим коефіцієнтом та природним порядком рахунку

Переваги даного способу:

* Природна двійкова послідовність кодів від *0* до *К-1*;
* Використання зазвичай наявного в лічильнику входу *R*.

У разі підсумовуючого лічильника досить зібрати на елементі І лише прямі виходи тих тригерів, які при коді кінця рахунку рівні 1. Число входів елемента І, таким чином, залежить від коду кінця рахунку.

В інтегральної схемотехніці, коли втрутитися у внутрішню структуру схеми не можна, широко використовується спосіб з початковою установкою коду. Цей спосіб ілюструє структурна схема, наведена на рисунку 24. Двійковий лічильник перед початком рахунку по тракту паралельного завантаження завантажується кодом доповнення числа *К* до .

Кодом кінця рахунку в цьому випадку є природне переповнення лічильника, тобто код *УСІ ОДИНИЦІ*, виявляється штатним трактом переносу, внаслідок чого виробляється сигнал *CR*. Сигнал *CR*, впливаючи на вхід *PL*, що керує паралельним завантаженням, знову встановлює в лічильнику доповнення *К* до .



Рисунок 24 – Структурна схема лічильника з довільною основою з встановленням початкового коду

Переваги даного способу:

* Використання штатного тракту переносу і наявних у багатьох лічильниках входів паралельного завантаження.
* Легка зміна основи (модуля) перерахунку.

Для того, щоб змінити коефіцієнт перерахунку входи потрібно підключити не до контактів *1* і *0* (живлення і загальний провід), а до виходу спеціального регістра початкових сполук.

Недоліком способу є неприродна послідовність одержуваних кодів, що вимагає перекодування у разі їх використання. Тому цей спосіб застосовується, коли показання лічильника не важливі, а використовується лише сигнал його вихідного переносу. Це типово для задачі розподілу частоти вхідних сигналів на деяке число *К*. Лічильники, що виконують цю функцію, називають дільниками.

Наприклад, для лічильника з на його шини паралельного запису подається код числа 0110, відповідний числу заборонених станів. При цьому вихід лічильника з'єднується з керуючим входом, що дозволяє запис в нього числа з паралельних вхідних шин. Кожне переповнення лічильника призводить до появи імпульсу на його виході і тим самим до запису в нього числа, що стоїть на шинах паралельного запису.

Для побудови лічильників із заданим коефіцієнтом перерахунку часто застосовуються лічильники з модулем рахунку: .

Використання універсального прийому збільшення модуля довічного лічильника на одиницю дозволяє отримати підсхеми, спільне застосування яких дає можливість реалізувати будь-який необхідний модуль рахунку К. Для цього модуль К представляється через доданки або множники, кожний з яких легко реалізується (дорівнює *М* або ). Наприклад, можна використовувати представлення модулів:

і т.д.

Структурна схема лічильника із збільшеним на одиницю модулем рахунку представлена на рисунку 25.



Рисунок 25 – Спосіб збільшення модуля рахунку на одиницю

Схема містить звичайний двійковий лічильник в якості середньої частини, що не включає перший і останній розряди. У першому і останньому тригерах входи *K* постійно дорівнюють одиницям, вхід *J1*, отримує сигнал у вигляді перехресного зворотного зв'язку, а вхід *J* останнього тригера отримує сигнал у вигляді кон'юнкції виходів всіх попередніх тригерів.

При нульовому вихідному стані схема працює наступним чином. У першому тригері при , що зберігається до першого перемикання старшого тригера, здійснюється режим лічильного тригера. Поки всі попередні останньому розряду тригери не заповняться одиницями, відбувається звичайний двійковий рахунок. Такий рахунок йде до числа 011 ... 11, поява якого відкриває групу входів *J* останнього тригера. Після цього стану виникає стан 10 ... 00, а слідом за ним початковий стан 00 ... 00, так як переключиться тільки останній тригер. Таким чином, додавання до деякого числа розрядів лічильника ще одного розряду тут призводить до появи ще одного внутрішнього стану лічильника (в звичайному двійковому лічильнику це призводить до подвоєння числа внутрішніх станів).

Для схеми з , що має чотири розряди, послідовність станів має вигляд:

0000

0001

0010

0011

…. Дев’ять станів

0111

1000

0000.

Лічильник з застосовується в схемах контролю і часто використовується як частина інших лічильників.

Схема, представлена на рисунку 26, має всього два розряди - перший і останній, і три стани.

00

10

01

00

Робота блоку керування повинна бути проілюстрована часовою діаграмою, побудованою для контрольних точок.



Рисунок 26 – Схема лічильника з модулем рахунку 3

**Висновки**

У висновку коротко вказується склад розробленого пристрою (функціональні вузли), застосована елементна база, а також параметри розробленого пристрою.

У списку літератури перераховуються джерела, які використовуються із зазначенням порядкових номерів згідно посиланнях в тексті пояснювальної записки.

В додатку вказується перелік елементів, які використовуються, виконаний відповідно до вимог державного стандарту. Крім того, в додатку можуть бути поміщені лістинги програм, результати їх вирішення, якщо вони застосовувалися для автоматизації процесу проектування.

Графічний матеріал до пояснювальної записки виконується відповідно до вимог державного стандарту по оформленню електричних креслень.

**Список літератури**

|  |  |
| --- | --- |
| 1 | Измерения в электронике: Справочник / Под ред. Кузнецова В.А. – М.: Энергоатомиздат, 1997. – 412 с. |
| 2 | Орнадский П.П. Автоматические измерения и приборы. – К.: Выща школа, 1980. – 560 с. |
| 3 | Пухальский Г.И.. Новосельцева Т.Я. Проектирование дискретных уст­ройств на интегральных микросхемах. – Справочник. – М.: Радио и связь, 1990. – 304 с.: ил. |
| 4 | Расчет элементов цифровых устройств: Учеб. Пособие / Л.Н. Пресну­хин, Н.В. Воробьев, А.А. Шишкевич; Под ред. Л.Н. Преснухина. – 2-е изд., перераб. и доп. – М.: Высш. шк., 1991. – 526 с.: ил. |
| 5 | Зельдин Е.А. Цифровые интегральные микросхемы в информационно-измерительной аппаратуре. – Л.: Энергоатомиздат. Ленингр. Отд-ние, 1986. – 280 с.: ил. |
| 6 | Зубчук В.И. и др. Справочник по цифровой схемотехнике / В.И. Зуб­чук, В.П. Сигорский, А.Н. Шкуро. – К.: Тэхника, 1990. – 448 с. |
| 7 | Шило В.Л. Популярные цифровые микросхемы: Справочник. – М.: Ра­дио и связь, 1987. – 352 с.: ил. |
| 8 | Потемкин И.С. Функциональные узлы цифровой автоматики. – М.: Энергоатомиздат, 1988. – 320 с.: ил. |
| 9 | Орнадский П.П. Автоматические измерения и приборы. – К.: Техника, 1990 – 448с. |
| 10 | Цифровые и аналоговые интегральные микросхемы: Справочник / С.В. Якубовский, Л.Н. Нильсон, В.И. Кулешова и др. / Под ред. С.В. Якубовского.- М.: Радио и связь, 1990. – 496с. |

**Додаток А**

*(додатковий)*

|  |
| --- |
| МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ  СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ  Кафедра електроніки і комп’ютерної техніки  КУРСОВА робота  з курсу "Пристрої цифрової електроніки"  на тему " Проектування цифрового пристрою"  Виконав  Перевірив  Суми 20\_\_ |

**Додаток Б**

*(додатковий)*

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ

СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ

Кафедра електроніки і комп’ютерної техніки

## **З А В Д А Н Н Я**

## до курсової роботи

## з курсу "Пристрої цифрової електроніки"

## студентові \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

## (прізвище, ім'я, по батькові)

## 1 Тема роботи "Проектування цифрового пристрою"

## 2 Термін здачі студентом роботи «\_\_\_»\_\_\_\_\_\_\_\_\_\_\_\_\_20\_\_ р.

## 3 Початкові дані: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

4 Зміст розрахунково-пояснювальної записки:

4.1 Літературний огляд. Аналіз методів вимірювання часових інтервалів.

4.2 Розроблення та обґрунтування алгоритму функціонування та структурної схеми пристрою, що проектується.

4.3 Розроблення функціональної схеми пристрою.

4.4 Розроблення принципової схеми пристрою.

4.5 Розрахунок параметрів пристрою.

5 Перелік графічного матеріалу (з точним зазначенням обов’язкових креслень).

5.1 Схема електрична принципова.

5.2 Часова діаграма роботи пристрою.

### 6 Дата видачі завдання \_\_\_\_\_.\_\_\_\_\_\_.20\_\_ р.

## Керівник \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ (П.І.П/б)

## (підпис)

## Завдання до виконання прийняв студент\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

(підпис)

**Продовження додатка Б**

*(зворотний бік бланка завдання)*

КАЛЕНДАРНИЙ ПЛАН

|  |  |  |  |
| --- | --- | --- | --- |
| № | Назва етапів проектування | Термін виконання | Примітка |
| 1 | Літературний огляд. Аналіз методів вимірювання часових інтервалів |  |  |
| 2 | Розроблення та обґрунтування алгоритму функціонування та структурної схеми пристрою, що проектується |  |  |
| 3 | Розроблення функціональної схеми пристрою |  |  |
| 4 | Розроблення принципової схеми пристрою |  |  |
| 5 | Розрахунок параметрів пристрою |  |  |
| 6 | Оформлення пояснювальної записки та креслень |  |  |
| 7 | Представлення матеріалів керівникові |  |  |
| 8 | Здача проекту та захист |  |  |
|  |  |  |  |
|  |  |  |  |

Студент \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

(підпис)

Керівник \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_.

(підпис)

“\_\_\_\_\_”\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_20\_\_\_ р.

Навчальне видання

**МЕТОДИЧНІ ВКАЗІВКИ**

до виконання курсової роботи

з дисципліни "ПРИСТРОЇ ЦИФРОВОЇ ЕЛЕКТРОНІКИ"

на тему "Проектування цифрового пристрою"

для студентів спеціальностей

6.171 "Електроніка",

6.153 "Мікро- та наносистемна техніка"

усіх форм навчання

Відповідальний за випуск А. С. Опанасюк

Редактор Н. В. Лисогуб

Комп’ютерне верстання К. О. Д’яченко

Формат 60х84/16. Ум. друк. арк. 3,95. Обл.-вид. арк. 3,80.

Видавець і виготовлювач

Сумський державний університет,

вул. Римського-Корсакова, 2, м. Суми, 40007

Свідоцтво суб’єкта видавничої справи ДК № 3062 від 17.12.2007.