

1 Цель и задачи проекта

Целью курсового проекта является овладение методикой и навыками проектирования микропроцессорной системы (МПС), работающей по жесткой программе (микропроцессорного контроллера) и применяемой в управляющей и информационной электронике.

Таблица 1

№	Р	U _{max} , В	T, мкс	δ	<V>	Y=F[N(t)]
1	10	10	1000	0.001	0-15	Y=[N(1)+
2	11	5	990	0.005	16-31	+...+
3	12	3	960	0.02	32-47	+N(P)]*
4	13	4	150	0.05	48-63	*[1/P]
5	14	10	1200	0.005	64-79	
6	15	3	160	0.05	32-47	Y=N(1)/1+
7	16	5	190	0.01	0-15	+N(2)/2+
8	10	10	870	0.05	48-63	+...+
9	11	4	980	0.001	80-95	+N(P)/P
10	12	6	990	0.008	16-31	
11	13	5	150	0.06	64-79	Y=[N(1)-
12	14	3	500	0.02	48-63	-N(2)]+
13	15	4	900	0.003	0-15	+...+
14	16	10	1300	0.006	80-95	+N(P-1)-
15	10	10	1200	0.002	16-31	-N(P)]
16	11	5	1000	0.005	64-79	Y=N(2)/1+
17	12	3	990	0.05	0-15	+N(3)/2+
18	13	5	160	0.08	48-63	+...+
19	14	10	1100	0.008	32-47	+N(P)/(P-
20	15	3	220	0.05	16-31	-1)+N(1)
21	16	4	180	0.02	32-47	Y=N(1)/P+
22	10	5	850	0.05	16-31	+N(2)/(P-
23	11	10	1120	0.007	48-63	-1)+...+
24	12	3	1050	0.008	64-79	+N(P)
25	13	5	170	0.03	0-15	

Обозначения в таблице 1:

N – номер варианта;

P – число аналоговых датчиков;

U_{max} – максимальное напряжение на выходе датчиков;

T – требуемый период коммутации датчиков;

δ – требуемая точность преобразования;

<V> – разрешенные номера портов ввода/вывода.

Исходные данные для проекта указаны в таблице 1.

Проектируемый микропроцессорный контроллер должен обеспечивать периодический опрос P аналоговых датчиков и преобразование их сигналов с заданной точностью δ в цифровой код.

Обработку цифровых кодов с целью вычисления заданной функциональной зависимости Y(t) в реальном масштабе времени, отображение вычисленных значений функции Y(t) на дискретных индикаторах с регулируемым временем индикации в пределах

0,1 – 10 секунд.

Для выполнения проекта необходимо решить две задачи: разработать аппаратную часть контроллера и разработать программное обеспечение.

Под разработкой аппаратной части понимается составление, в конечном итоге, электрической принципиальной схемы проектируемого устройства. Для этого необходимо выбрать правильно и оптимально необходимые интегральные микросхемы, уяснить назначение их выводов, законы функционирования, нагрузочную способность, а затем соединить в единое целое.

Под разработкой программного обеспечения понимается составление блок-схем алгоритмов и написание текстов программ на языке ASM80 или PL/M. Конечным продуктом программного обеспечения в курсовом проекте является листинг программы, т.е. текст программы должен быть протранслирован.

Техническая документация к курсовому проекту включает в себя пояснительную записку и графический материал.

2.1 Пояснительная записка к курсовому проекту выполняется рукописным или машинописным способом на одной стороне листа формата А4 (ГОСТ 9327-60) в соответствии с требованиями ГОСТа 2.105-79.

2.1.1 При составлении записки следует пользоваться методическими указаниями по оформлению текстовых документов [1].

2.1.2 Пояснительная записка должна содержать:

1 Титульный лист (см. приложение А).

2 Задание на курсовой проект.

3 Содержание.

4 Перечень условных обозначений символов, единиц и терминов (если они есть).

5 Введение.

6 Выбор и обоснование структурной схемы проектируемого контроллера.

- 7 Выбор, расчет и описание принципиальной электрической схемы проектируемого контроллера.
- 8 Разработку программного обеспечения.
- 9 Список использованных источников.
- 10 Приложение.

2.1.3 Все рисунки в тексте выполняются на кальке или миллиметровой бумаге, рисунки должны иметь подрисуночные надписи. Буквенно-цифровые обозначения условных графических изображений на рисунках, содержащих схемы, допускается проставлять не по сквозной нумерации. В этом случае необходимо указать номиналы резисторов, типы транзисторов, диодов, микросхем и др.

2.1.4 Основные справочные данные элементов, применяемых в проектируемой МПС, должны быть приведены в пояснительной записке либо по ходу изложения материала, либо в приложении.

2.2 Графический материал курсового проекта включает:

- 2.2.1 Схему электрическую принципиальную.
- 2.2.2 Блок-схемы алгоритмов работы проектируемой МПС.
- 2.3 При окончательном оформлении курсового проекта графический материал в пояснительную записку не подшивается, а вкладывается.

3 Порядок защиты курсового проекта

Защита курсового проекта проводится только после проверки окончательно оформленной документации преподавателем, ведущим курсовое проектирование, и нормоконтролером. Полностью оформленный курсовой проект может быть сдан на проверку не позднее, чем за неделю до защиты. Допуск к защите заверяется подписью преподавателя, ведущего курсовое проектирование, и подписью нормоконтролера.

Защита курсового проекта осуществляется публично, в присутствии студентов, перед комиссией, состоящей из ведущего лектора и преподавателей, ведущих курсовое проектирование.

На защите студенту предоставляется 9-10 минут для доклада, в котором он в сжатой форме должен осветить основные моменты работы, а именно:

- 1 Назначение спроектированной МПС и технические требования, предъявляемые к ней в задании на проектирование.
- 2 Пути решения поставленной задачи, выбор оптимального варианта построения.
- 3 Состав и принцип действия МПС по ее структурной схеме и блок-схеме алгоритма, иллюстрирующей ее работу.
- 4 Реализацию функциональных блоков МПС, особенности схемотехнического решения.

После защиты студент должен ответить на вопросы, которые ему могут быть заданы членами комиссии и присутствующими при защите.

Оценка курсового проекта выставляется с учетом полноты содержания ответов при защите, полноты и качества проделанной работы, степени самостоятельности, аккуратности оформления, соблюдения стандартов и систематичности работы над проектом.

Оценка выставляется на титульном листе, заверяется подписями членов комиссии и заносится в ведомость и зачетную книжку.

Перезащита курсовых проектов не разрешается.

В целях повышения оценки с разрешения деканата студенту выдается новое задание на курсовой проект и после его выполнения производится защита.

4 Выбор и обоснование структурной схемы

Под разработкой структурной схемы понимается: определение функционального состава входящих в микропроцессорный контроллер блоков (модулей); расчет и обоснование технических требований к указанным блокам и установление необходимых электрических связей между ними.

Согласно заданию на проектирование, разрабатываемое устройство должно обеспечивать:

- периодический опрос датчиков аналоговой информации и преобразование ее в цифровую;
- вычисление в реальном масштабе заданной функциональной зависимости $Y(t)$;
- отображение вычисленных значений функции $Y(t)$ на дискретных индикаторах;
- преобразование цифровых кодов $Y(t)$ в аналоговый сигнал $u(t)$.

Для управления процессом преобразования и вычислений в состав проектируемого устройства должен в обязательном порядке входить микропроцессорный блок (МБ), который по сути дела должен предоставлять микро-ЭВМ, работающую по «жесткой» программе и обладающую возможностями подключения к ней устройств ввода и вывода данных.

Для решения первой задачи в состав проектируемого устройства необходимо включить блок ввода аналоговых данных (БВАД); второй задачей блок вывода аналоговых данных (БВАД); третьей задачей – блок отображения информации (БОИ). Все указанные блоки должны сопрягаться с микропроцессорным блоком через интерфейсные блоки.

Структурная схема микропроцессорного контроллера приведена на рисунке 1.

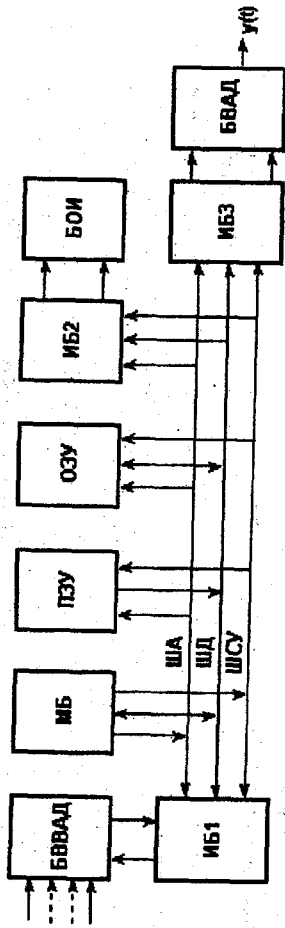


Рисунок 1 – Структурная схема контроллера:

МБ – микропроцессорный блок; БВВАД – блок ввода аналоговых данных; БВАД – блок вывода аналоговых данных; БВИ – блок отображения информации; ПЗУ, ОЗУ – постоянное и оперативное запоминающее устройство; ИБ1 – ИБ3 – интерфейсные блоки

Контроллер, как и любую МПС, следует строить по модульному (блочному) принципу с шинной организацией связей между блоками, что и изображено на рисунке 1. Физическая шина адреса (ША), данных (ШД) и сигналов управления (ШСУ) представляют собой параллельные проводники, предназначенные для передачи многоразрядных цифровых кодов либо в двух, либо в одном направлении. Достоинство шинных связей – существенное уменьшение числа соединительных проводов. Однако наличие шинных связей предъявляет определенные требования к подключенным к ним блокам и узлам. В первую очередь по выходу блоки и узлы обязательно должны иметь высокоимпедансное состояние (Z – состояние). Можно нагружать на шины так же микросхемы, допускающие объединение по выходу (схемы с открытым коллектором). Кроме того, при работе на шину блоки и узлы должны обладать достаточной нагрузочной способностью.

4.1 Микропроцессорный блок

Микропроцессорный блок является центральным блоком контроллера. Он обеспечивает управление и синхронизацию работы всего устройства, обеспечивает прием, выдачу, хранение и обработку данных, поступающих через системную шину (ШД).

Возможности микропроцессорного блока, а следовательно, и всего контроллера во многом определяются применяемым в нем микропроцессором. В этой связи необходимо, прежде всего, выбрать последний, чтобы составить

структурную схему микропроцессорного блока, а затем и принципиальную схему.

Промышленностью освоено выпуск довольно широкого круга микропроцессорных комплектов: серия КР580, К1810, Z80, КР1821ВМ85, К1816 и др.

Наибольшее количество литературы имеется по микропроцессорному комплекту К580. Наиболее широко представлена и номенклатура указанного комплекта. Однако применять в курсовом проекте микропроцессор КР580ВМ80А не рекомендуется из-за многих его недостатков, например, таких как: двухфазная синхронизация; необходимость применения 3 источников питания; отсутствие встроенного системного контроллера и других.

Микропроцессорный блок целесообразно строить на основе восьмиразрядных микропроцессоров КР1821ВМ85А (Intel 8085А), Z80, К1810ВМ86/88 (Intel 8086/88) или микро-ЭВМ К1816ВЕ48, К1816ВЕ51.

Мы рассмотрим в качестве примера построение микропроцессорного блока на микропроцессоре КР1821ВМ85А (рисунок 2). Данный микропроцессор программно полностью совместим с микропроцессором КР580ВМ80А и питается от одного источника питания +5В. Выполнен он по КМОП-технологии и имеет встроенный генератор тактовых импульсов и системный контроллер. Назначение выводов микропроцессора дано на рисунке 2.

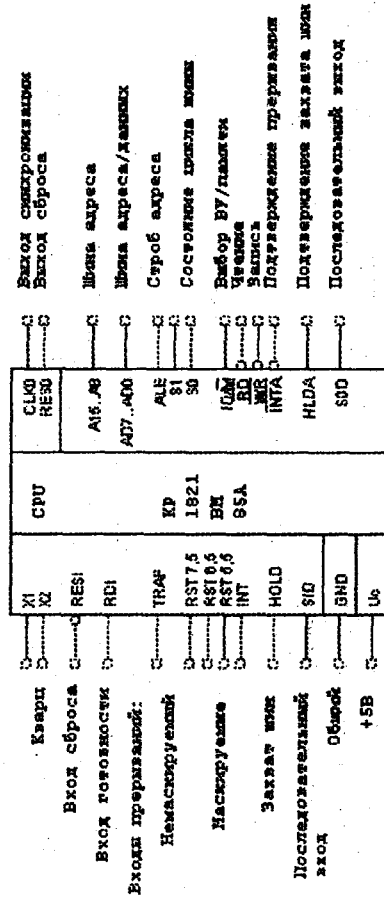


Рисунок 2-Назначение выводов КР1821ВМ85А

Микропроцессор КР1821ВМ85А имеет совмещенную шину адреса и данных. По ней (в первом такте машинного цикла) сначала передается младший байт адреса А7...А0, а затем принимаются либо передаются данные D7...D0. Во время передачи младшего байта адреса микропроцессор вырабатывает строб

адреса ALE. В этой связи для организации 16-разрядной шины адреса необходимым регистр зашелка типа КР580ИР82, запись в который происходит по стробу ALE. Регистр имеет Z-состояние, обладает нагрузочной способностью 32 пА/вывод, что обеспечивает формирование мощных сигналов адресной шины.

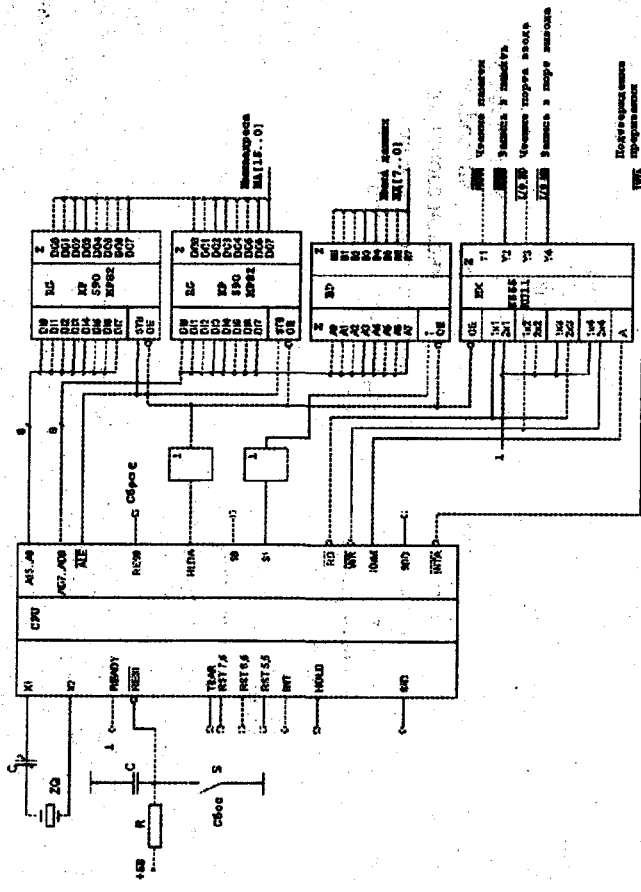


Рисунок 3-Структура процессора на КР1821ВМ85А

В зависимости от числа назначения возможны различные варианты построения микропроцессорного блока. Новые варианты структурных схем можно найти на рисунках 2.33, 2.34, 2.35 и 2.36 в [2]. Один из вариантов структурной схемы микропроцессорного блока на микропроцессоре КР1821ВМ85А с однопользовательской системной шиной совместимой с микропроцессорной шиной микро-ЭВМ на микропроцессоре КР580ВМ80А приведен на рисунке 3.

Здесь формирование сигналов шины адреса ША[15...0] осуществляется при помощи двух буферных регистров КР580ИР82. Двухнаправленная буферизация шины данных ШД[7...0] реализуется на шинном формирователе ВД КР580ВА86.

Сигналы шины управления (ШУ) вырабатываются четырехканальным мультиплексором два в один К555КП11, имеющим Z-состояние по выводу.

4.2 Блок памяти

Блоком памяти в проектируемом устройстве являются ПЗУ и ОЗУ. В первом хранятся коды программы, а во втором – вводимые, промежуточные и выводимые данные.

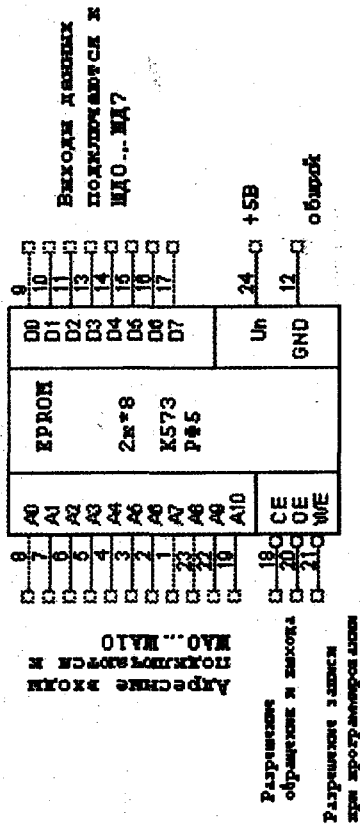


Рисунок 4-Назначение выводов микросхемы памяти с ультрафиолетовым стиранием

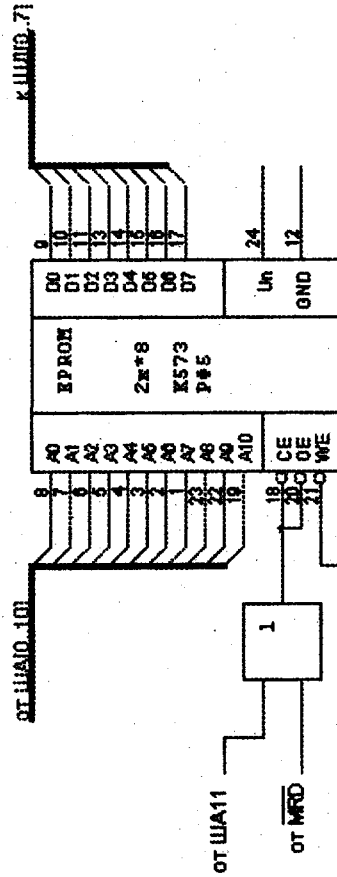


Рисунок 5-Функциональная схема блока ПЗУ

Ориентировочно объем ПЗУ рекомендуется взять порядка 2кБ, ОЗУ-128 байт.

Аппаратным путем ячейкам памяти ПЗУ и ОЗУ можно присвоить любые адреса, начиная от 0 до 65535, но при этом надо учитывать то обстоятельство, что при включении питания и после сброса микропроцессор всегда начинает считывать код команды, расположенный в ячейке с адресом 0000H.

В связи с этим обстоятельством целесообразно под ПЗУ отвести ячейки памяти с адресами 0000H до 087FH. Отсюда следует вывод, что достаточно для выборки адресов памяти использовать только линии ША0...ША10 шины адреса. Объем ПЗУ, необходимый для функционирования проектируемого контроллера, небольшой, и ПЗУ может быть реализовано на базе одной микросхемы памяти с ультрафиолетовым стиранием типа К573РФ5, имеющей организацию 2к*8. Функциональное обозначение этой БИС приведено на рисунке 4.

Функциональная схема блока ПЗУ и его подключение показана на рисунке 5. Если при составлении программы работы проектируемого микропроцессорного контроллера окажется, что необходим объем памяти более 2кБ, то на входы селектора адреса СА необходимо будет подавать не только сигналы ША13, но и ША14...ША15.

ОЗУ бывают статического и динамического типов. Так как объем оперативной памяти в проектируемом контроллере мал, то нет смысла применять в нем динамическое ОЗУ.

ОЗУ статического типа бывают с раздельным и общим входом и выходом данных. Соответственно требуются и различные схемы сопряжения микросхем ОЗУ с системными шинами. Указанные схемы представлены на рисунках 5.3 и 5.4 в [2].

В качестве примера рассмотрим проектирование ОЗУ статического типа на микросхемах с общим входом и выходом данных на БИС К541РУ2. Функциональное обозначение и назначение выводов данной микросхемы приведено на рисунке 6.

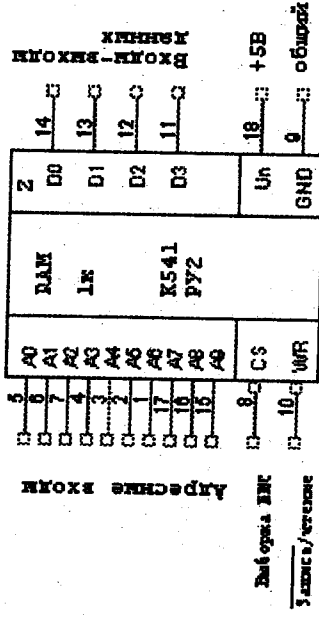


Рисунок 6-Функциональное обозначение и назначение выводов БИС К541РУ2

Для записи данных с входов D0...D4 в микросхему необходимо на входы А0...А9 установить требуемый адрес ячейки памяти, подать на входы CS и WR напряжение низкого уровня. Для чтения данных из памяти необходимо установить адрес ячейки, на вход CS подать напряжение низкого, а на вход WR-высокого уровней.

Приведенный алгоритм и определяет функциональную схему построения блока ОЗУ, которая приведена на рисунке 7.

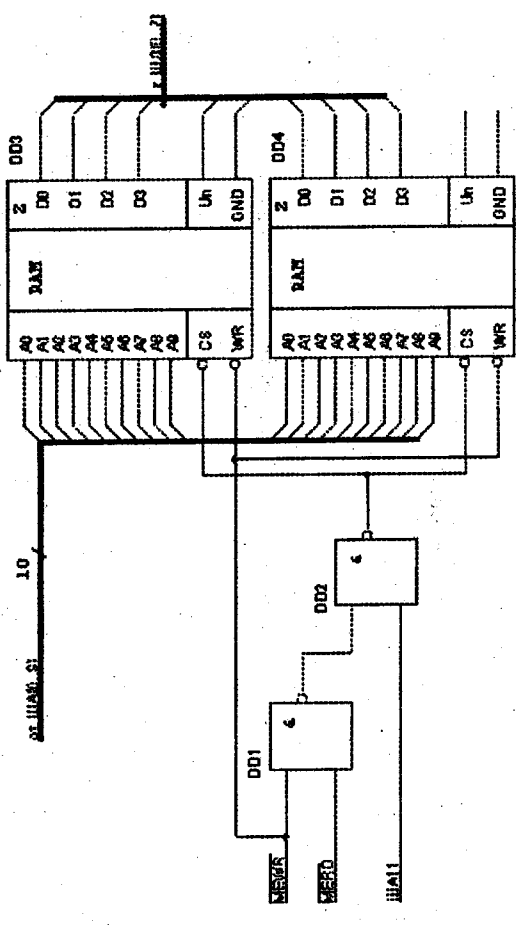


Рисунок 7-Функциональная схема блока ОЗУ объемом 1кБ

Здесь элементы DD1 и DD2 выполняют функцию селектора адреса.

4.3 Блок ввода аналоговых данных

Блок ввода аналоговых данных (БВАД) согласно техническому заданию должен обеспечивать периодическое преобразование входных аналоговых сигналов в цифровой код и передачу его в микропроцессорный блок.

Указанную задачу можно решить двумя путями. Первый - предполагает использование Р-аналого-цифровых преобразователей (Р - число аналоговых сигналов). Второй - применение одного аналого-цифрового преобразователя (АЦП), который последовательно преобразует входные аналоговые сигналы в цифровой код.

Первый путь требует больших затрат. Его следует использовать в скоростных блоках ввода аналоговых данных. Целесообразным является построение блока ввода аналоговых данных по последовательной схеме, когда применяется один АЦП, а на его вход периодически подаются входные аналоговые сигналы.

Структура блока ввода аналоговых данных и его интерфейса зависит от типа АЦП и аналогового коммутатора, поэтому сначала необходимо выбрать АЦП.

Выбирать АЦП следует, исходя из заданной относительной точности δ преобразования и требуемого периода T коммутации.

Зная δ , определяем разрядность АЦП:

$$N \geq -\log_2 \delta = -3.33 \lg \delta,$$

где N - число разрядов АЦП.

Например $\delta = 0.008$, тогда

$$N \geq -3.33 \lg 0.008 = 6.96.$$

Принимаем $N=8$ или больше.

Затем определяем максимально допустимое время преобразования в АЦП аналогового сигнала в цифровой код, т.е. его быстродействие, должно быть не более чем

$$t_{пр} \leq \frac{T}{P+1}$$

Если, например, у нас задано $T=990$ мкс, $P=12$, то

$$t_{пр} \leq \frac{990}{12+1} = 76 \text{ мкс.}$$

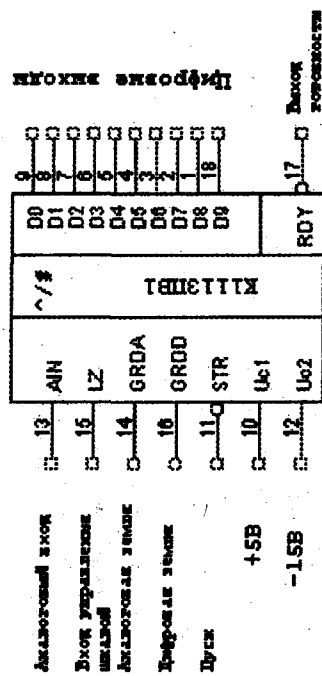


Рисунок 8-Назначение выводов АЦП К1113PB1

Исходя из найденных N и $t_{пр}$, можно подобрать АЦП. В нашем случае указанным требованиям удовлетворяет АЦП К1113PB1, имеющий следующие характеристики:

- разрядность выходного кода-10;
 - время преобразования - 30мкс;
 - допустимое изменение входного аналогового сигнала 0 - 10В.
- АЦП К1113PB1 имеет по выходу Z-состояние, что облегчает его согласование в ряде случаев с системной шиной микропроцессорных систем. Функциональное обозначение и значения выводов указанного АЦП приведены на рисунке 8.

На рисунке 9 даны временные диаграммы работы АЦП.

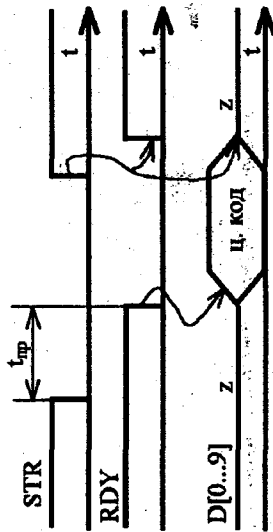


Рисунок 9-Временные диаграммы работы АЦП К1113PB1

Микросхема имеет два общих провода - аналоговая земля и цифровая земля для предотвращения импульсных наводок на входные аналоговые устройства. Вход LZ управляет допустимым диапазоном изменения аналогового сигнала на входе АИН АЦП. Если вход LZ присоединен к аналоговой земле (выходу GRDA), то диапазон АЦП равен 0 - 10В. Если LZ никуда не подключен, то диапазон составляет -5В - +5В.

Преобразование аналогового сигнала в цифровой код начинается при подаче на вход STR напряжения низкого уровня. После окончания преобразования АЦП на выходе готовности RDY формируется сигнал низкого уровня, а на цифровых выходах D0 - D9 появляется цифровой код, соответствующий уровню входного сигнала. После перехода сигнала на входе STR в состояние логической единицы снимается сигнал готовности и цифровые выходы переводятся в Z-состояние.

После подбора АЦП следует перейти к выбору аналогового коммутатора. В качестве коммутаторов целесообразно использовать ИМС типа КР590КН1 - КР590КН6 [Л.2стр447...455], К591КН1 - К591КН3, К543КН1 - К543КН3 и др.

Микросхемы выбирают, исходя из допустимой величины коммутируемого напряжения $U_{мкс.ком}$, времени включения $t_{вк}$, напряжения

источника питания. Если число аналоговых входов у ИМС меньше, чем число аналоговых сигналов, то коммутатор делают на нескольких микросхемах.

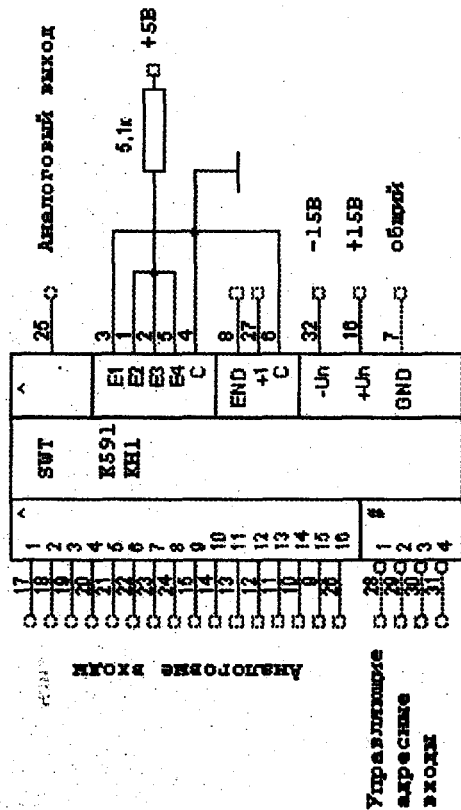


Рисунок 10-Аналоговый коммутатор K591KH1

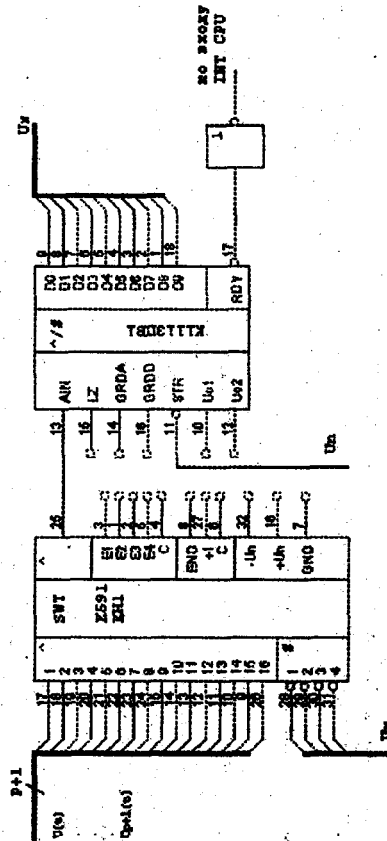


Рисунок 11-Схема блока ввода аналоговых данных
Аналоговые интегральные коммутаторы в зависимости от схемы управления бывают двух типов - с адресным (кодovým) управлением и с последовательным управлением. В коммутаторах первого типа номер подключаемого канала определяется двоичным комбинацией на управляющих входах. Второго - числом импульсов, поступивших на управляющий вход. На рисунке 10 приведено функциональное обозначение,

назначение выводов ИМС K591KH1 и схема включения при адресном (кодovém) управлении.

Следует обратить внимание при проектировании, что у аналоговых коммутаторов, изготовленных по МОП - технологии напряжение логической единицы, подаваемое на его цифровые входы должно быть не менее 4-4,1В. В то же время выходное напряжение логической единицы у микросхем серии K580, а также 555, 1533 - серий по техническим условиям составляет величину не менее 2.6 В, что явно недостаточно для управления МОП структурами. Здесь необходимо применять преобразователи уровня либо элементы, допускающие повышенное коллекторное напряжение типа K155ЛН3, K155ЛН5 [3].

Обобщая изложенное в п. 4.3, в качестве примера можно предложить следующую схему блока ввода аналоговых данных (рисунок 11).

Работа блока заключается в следующем: микропроцессорный блок через интерфейсный блок ИБ1 выдает 4 разрядный двоичный код U_x и таким образом осуществляет подключение очередного выхода датчика к аналоговому входу АЦП. Затем через ИБ1 микропроцессорный блок осуществляет формирование низкого уровня сигнала на входе STR АЦП, которое с этого момента начинает процесс формирования. После окончания процесса преобразования аналогового сигнала в цифровой код АЦП формирует сигнал готовности RDU и в тоже время на цифровых выходах устанавливается истинный выходной код. Непременным условием работы блока является неизменность сигналов U_x и U_n от момента запуска АЦП до считывания его выходного кода микропроцессором.

4.4 Интерфейсный блок

В соответствии со схемой на рисунке 11 интерфейсный блок ИБ1 должен обеспечивать вывод двух цифровых кодов - 4 разрядного U_x и одноразрядного U_n . В тоже время блок должен осуществлять ввод 8-разрядного кода U_n , а при реализации программного ввода - сигнала готовности RDU.

В принципе возможно три варианта организации ввода-вывода в микропроцессорной системе: программный ввод-вывод, ввод-вывод по прерываниям и ввод-вывод в режиме прямого доступа в память. В первом случае инициатором обмена является микропроцессор. Он осуществляет программный опрос готовности внешних устройств к обмену и в случае подтверждения реализует ввод или вывод. Недостатки программного ввода-вывода - непроизводительные затраты времени на ожидание готовности. В нашем случае целесообразно программный вариант применить только к выводу управляющего кода U_x аналогового коммутатора и пускового бита U_n АЦП, поскольку у этих устройств по входам нет готовности. Выходные данные АЦП синхронизированы

с сигналом готовности RDY и для ускорения процесса ввода лучшим вариантом является ввод по прерываниям, как изображено на рисунке 11.

В некоторых вариантах на курсовое проектирование период коммутации T задан малым, и здесь требуется реализация самого действующего ввода в режиме прямого доступа в память, когда микропроцессор отключается от цепи, и всё управление берёт на себя контроллер прямого доступа в память [2]. Итак рассмотрим более подробно алгоритм ввода по прерываниям.

После окончания процесса преобразования АЦП вырабатывает сигнал готовности RDY, который поступает через инвертор на вход INT запроса на прерывание микропроцессора (см. рисунок 2).

Интерфейсный блок можно строить на основе портов ввода-вывода и буферных регистрах типа КР580ИР82, шинных формирователей КР580ВА86 [2, 4]. Однако в этом случае интерфейсный блок получается аппаратно громоздким. Более простым и в тоже время более гибким решением является построение блока на базе БИС параллельного интерфейса КР580ВВ55А [2, 4].

Функциональное обозначение указанной БИС и название выводов показано на рисунке 12.

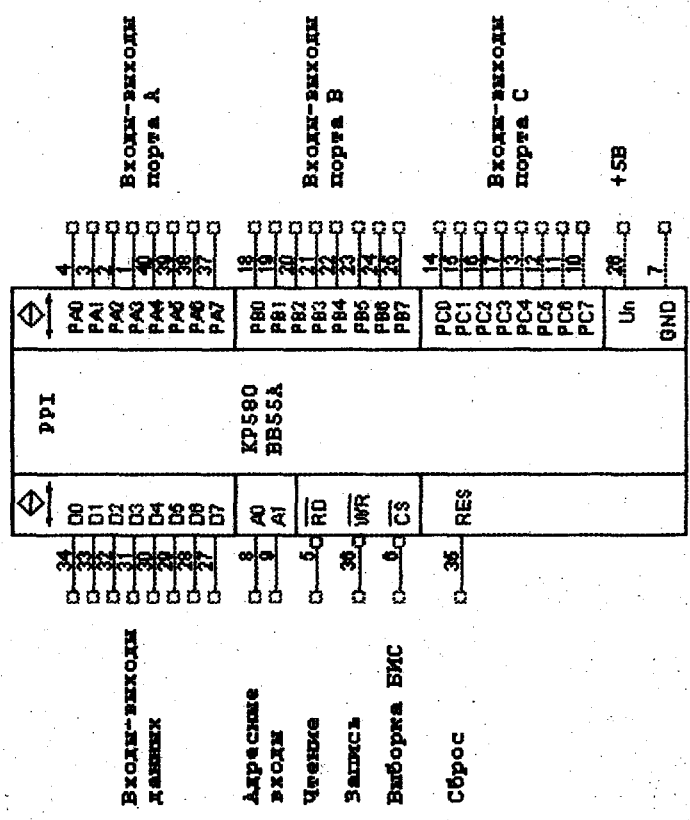


Рисунок 12-БИС КР580ВВ55. Функциональное обозначение и название выводов

По отношению к микропроцессорному блоку разрабатываемого контроллера КР580ВВ55А представляет собой четыре восьмизрядных порта вывода: порт РА, порт РВ, порт РС и регистр управляющего слова (РУС). Кроме того, интерфейс БИС по отношению к контроллеру одновременно представляет 3 восьмизрядных порта ввода (РА, РВ и РС). В качестве какого порта (входного или выходного) будет работать тот или иной канал зависит от управляющего слова режима, заносимого программным путём в РУС микросхемы.

Направление тока передачи данных определяет комбинация сигналов на адресных входах А0, А1 и входах чтения RD и записи WR. При условии выборки микросхем (CS=0). При CS=1 входы-выходы D0...D7, PA0...PA7, PB0...PB7 и PC0...PC7 находятся в Z-состоянии.

БИС КР580ВВ55А хорошо согласуется с системными шинами проектируемого микроконтроллера.

Входы-выходы D0...D7 могут быть непосредственно подключены к шине данных ID0...ID7, входы чтения RD и записи WR - к линиям I/O RD и I/O WR, а RES - к линии системного сброса. Адресные входы А0 и А1 обычно подключаются к линиям ША0 и ША1. Вход выборки БИС (CS) подключается к селектору старших разрядов шины адреса.

Если, например, согласно таблице 1 в задании указаны номера портов 16-31, то селектор адреса представляет собой схему, приведенную на рисунке 13.

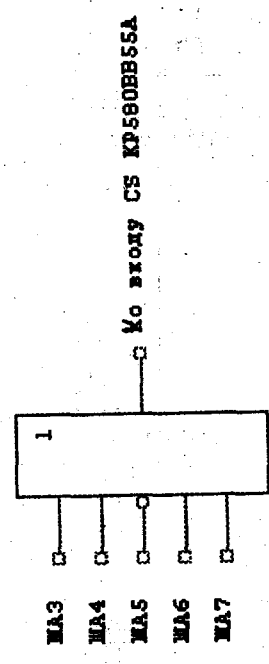


Рисунок 13-Схема селектора адреса

При использовании указанного селектора вывод данных через порт РА производится при помощи команд OUT 10H, через порт РС - OUT 12H, через порт РВ - IN 11H. Запись в регистр управляющего слова производится командами OUT 13H.

Порты БИС КР580ВВ55 можно использовать следующим образом:
- PA0...PA3 - для вывода кода U, управления коммутатором,

- PA4 - для вывода кода управления U_n пуском АЦП формируется сигнал низкого уровня.
- PB0...PB7 - для ввода данных U_n с выхода АЦП;
- PC0...PC3 - для управления работой устройства отображения информации (об этом будет подробно рассказано далее).

Порядок начальной настройки БИС КР580ВВ55А, а так же управления ее дальнейшей работы можно найти на стр. 223-230 в [2].

4.5 Блок отображения информации

Исходными данными для проектирования блока отображения информации (БОИ) являются: число L знакомест (в нашем случае это число десятичных разрядов индикатора); минимальная сила света I элемента индикатора; минимальная высота h элемента отображения информации.

Число знакомест определяется исходной точностью преобразования и вычисляемой функцией (см. таблицу 1). В качестве индикаторов рекомендуется использовать семисегментные одноразрядные полупроводниковые индикаторы с яркостью свечения сегментов не менее 0,15 мкд и высотой цифры не менее 7мм. К таковым относятся, например, одноразрядные буквенно-цифровые индикаторы типа АЛС324, КИПЦ01 и др. [5].

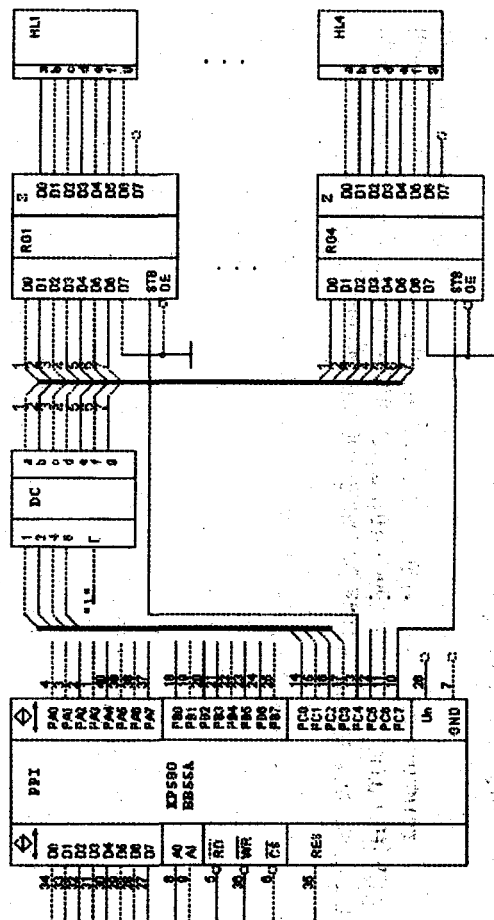


Рисунок 14-Функциональная схема блока отображения информации

Блок отображения информации может быть реализован по статическому и по динамическому принципам.

В первом случае необходимо по числу индицируемых разрядов иметь число портов вывода с памятью и соответственно преобразователей двоично-десятичного кода в семисегментный, таким образом получают достаточно большие аппаратные затраты.

При динамической индикации достаточно иметь один преобразователь кода и один порт вывода данных. В качестве порта вывода можно использовать порт РС микросхемы КР580ВВ55А в интерфейсном блоке аналогового ввода. На рисунке 14 в качестве примера приведена функциональная схема блока отображения информации на 4 знакоместа с динамической индикацией.

Работа ее заключается в следующем. Через порт РС0...РС3 микропроцессор последовательно выводит двоично-десятичные коды разрядов, отображаемых на индикаторах ИЛ1...ИЛ4. Одновременно с выводом очередного числа путем побитной установки на выводах РС4...РС7 формируются последовательно логические единицы, по фронту которых производится запись семисегментного кода в соответствующий регистр.

Выходы регистров непосредственно работают на индикаторы. В качестве преобразователя кода можно использовать дешифратор К514ИД1, регистра-КР580ИР82, индикатора - КИПЦ-01.

5 Разработка принципиальной схемы

Поскольку в проектируемом контроллере применяются, главным образом, микросхемы с большой степенью интеграции, то составление принципиальной схемы не встречает особых трудностей. При ее разработке необходимо лишь следить за соблюдением нагрузочной способности выходов микросхем.

Последняя составляет, как правило, 2,5 мА/вывод, кроме выходов регистров КР580ИР82, шинных формирователей КР580ВА86 и системного контроллера КР580ВК28 (у них нагрузочная способность - более 30мА/вывод).

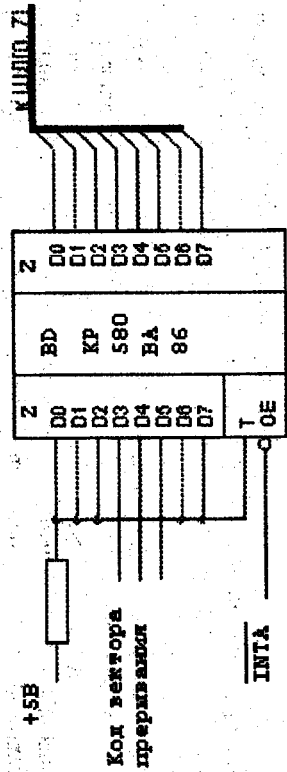


Рисунок 15-Схема формирования команды рестарта

Некоторые сложности возникают при проектировании схемы формирования команд рестарта при обработке прерывания в блоке ввода аналоговых данных. Здесь можно порекомендовать схему, приведенную на рисунке 15.

Ее работа заключается в следующем.

После окончания процесса преобразования АЦП (см. рисунок 11) вырабатывает сигнал готовности RDY, который через инвертор поступает на вход INT запроса на прерывание микропроцессора. Микропроцессор воспринимает этот запрос, переводит шину данных на прием и заставляет системный контроллер выработать импульс INTA. Импульс INTA, поступающий на вход OE шинного формирователя, открывает его выходы и код команды рестарта поступает на шину данных и далее в микропроцессор. В соответствии с установленным в схеме формировании команд рестарта кодом вектора прерывания происходит установка нового значения счетчика команд в микропроцессоре, и тем самым обеспечивается переход к подпрограмме обработки прерывания, стартовый адрес которой могут быть 8, FH...38H. Код RST0 использовать нельзя, так как с этого адреса начинается работа контроллера при сбросе.

6 Разработка программного обеспечения

Конечным итогом разработки программного обеспечения (ПО) является блок-схема алгоритма функционирования проектируемого контроллера и листинг программы на языке ассемблера либо ПЛ/М. Блок-схема алгоритма обязательно должна быть описана, а текст программы должен иметь комментарий.

При проектировании программного обеспечения следует использовать модульный принцип, согласно которому ПО разбивается на совокупность взаимосвязанных модулей, каждый из которых выполняет отдельную функцию. Целесообразно разбить ПО на следующие модули: головной модуль, модуль управления БВВАД; модуль обработки прерываний, обеспечивающий ввод выходного кода АЦП в процессорный блок и в ОЗУ; модуль арифметических операций; модуль управления блоком отображения информации. Правила оформления модулей можно найти, например, на стр. 118-133 в [2].

Для выполнения арифметических операций, а так же для программного перевода двоичного кода в двоично-десятичный целесообразно воспользоваться типовыми подпрограммами, приведенными в [6].

Согласно техническому заданию на проект, алгоритм работы контроллера может быть реализован следующим образом. После включения питания (либо сброса) процессор выполняет настройку БИС КР580ВВ55, а именно: порт PA

настраивает на вывод, порт PB — на ввод, порт PC на вывод. Затем он обнуляет ячейку памяти ОЗУ (либо регистр), отведенную под счетчик-формирователь управляющего кода коммутатора; ячейки памяти ОЗУ, отведенные для хранения результата выполнения функции $Y(i)$ в двоично-десятичном коде. После этого процессор путем вывода четырехразрядного кода 0000B через PA0...PA3 подключает $U_0(i)$ ко входу АЦП и формирует на RA4 напряжение низкого уровня, обеспечивая тем самым пуск АЦП. Затем микропроцессор приступает к выполнению арифметических операций и выводу результата на блок отображения информации (первый проход дает либо нулевой результат, либо ложный).

Завершив преобразование АЦП вырабатывает сигнал готовности RDY, который вызывает переход микропроцессора к подпрограмме обработки прерываний, выполнение которой обеспечивает: считывание выходного кода АЦП и пересылку в соответствующую ячейку памяти; формирование и выдачу нового управляющего кода аналогового коммутатора; пуск АЦП.

Рассмотрим в качестве примера блок-схему алгоритма обработки прерывания (рисунок 16).

Блок-схема построена в предположении, что:

- в ячейках памяти с адресом $Adr1+1$, $Adr1$ содержится текущий адрес ячейки памяти, в которую должны быть записаны текущие данные с выхода АЦП;
- ячейка памяти либо регистр отведены под счетчик каналов i , причём содержимое счетчика соответствует двоичному коду, который обеспечивает подключение i^o аналогового входного сигнала $U_d(i)$ по входу АЦП через аналоговый коммутатор;
- P — число обрабатываемых аналоговых сигналов, увеличенное на 1 (один канал используется для регулировки времени индикации).

Операторы, применяемые в блок-схеме адаптированы к системе команд микропроцессора КМ1821ВМ85 в части использования косвенной адресации ячеек памяти через HL-регистровую пару.

На основании разработанной блок-схемы алгоритма следует писать текст программы на языке ASM либо PL/M. В качестве образца можно использовать [2,6,7,8].

Список литературы

1. Методические указания по оформлению текстовых документов /Составитель Ю.В. Хмельницкий – Сумы: СумГУ, 1999.
2. Проектирование микропроцессорной электронно-вычислительной аппаратуры: Справочник /В.Г. Артохов, А.А. Будняк, В.Ю. Лапий и др. – К.: Техника, 1988.
3. Цифровые и аналоговые интегральные микросхемы: Справочник /С.В. Якубовский, Л.И. Ниссельсон, В.И. Кулешова и др.; /Под ред С.В. Якубовского. – М.: Радио и связь, 1990.
4. Микропроцессоры и микропроцессорные комплекты интегральных микросхем: Справочник: В 2 т./В.Б. Абрайтис, Н.Н. Аверьянов, А.Н. Белоус и др. /Под ред. В.А. Шахнова – М.: Радио и связь, 1988.– Т.1.
5. Иванов В.В. и др. Полупроводниковые оптоэлектронные приборы: Справочник /В.И. Иванов, А.И. Аксенов, А.М. Юшин. – 2-е изд., перераб. и доп. – М.: Энергоатомиздат, 1989.
6. Гуртовцев А.П., Гудыменко С.В. Программы для микропроцессоров. – Минск.: Выш. шк., 1989.
7. Методические указания к курсовому проекту «Проектирование микропроцессорной системы обработки аналоговой информации» по курсу «Микропроцессорная техника и микропроцессоры» /Составители А.В. Дорошкова, А.Д. Полонский. – Сумы: «Ризоцентр» СумГУ, 1996.
8. Микропроцессоры: В 3-х кн. Кн. 3. Средства отладки, лабораторный практикум и задачи: Учеб. для втузов /Н.В. Воробьев, В.Л. Горбунов, А.В. Горячев и др. /Под ред. Л.Н. Преснухина. – М.: Высш. шк., 1986.

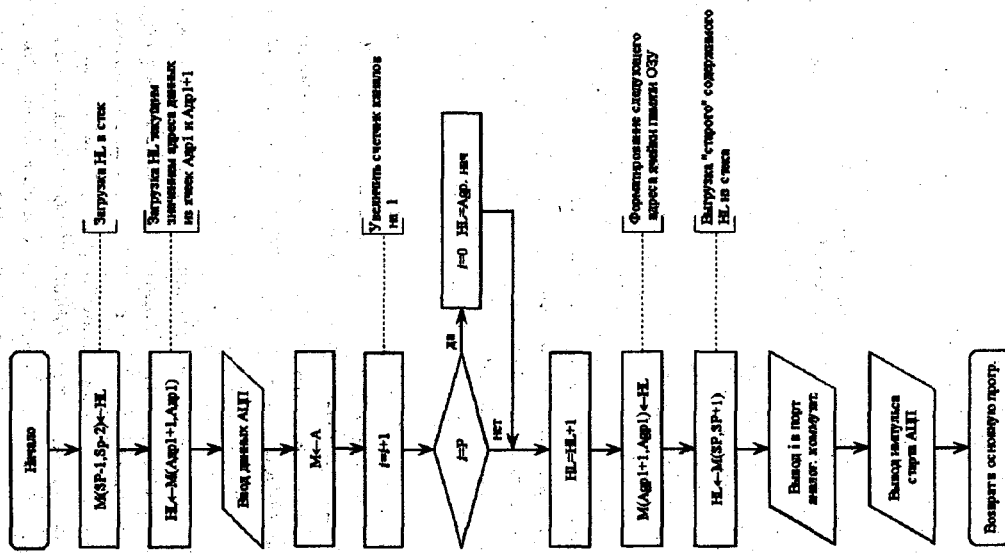


Рисунок 16-Блок-схема алгоритма обработки прерывания

ПРИЛОЖЕНИЕ А

(справочное)

Пример выполнения титульного листа

**МИНИСТЕРСТВО ОБРАЗОВАНИЯ УКРАИНЫ
СУМСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ**

Кафедра промышленной электроники

ПОЯСНИТЕЛЬНАЯ ЗАПИСКА

**К КУРСОВОМУ ПРОЕКТУ «МИКРОПРОЦЕССОРНЫЙ КОНТРОЛЛЕР» ПО
КУРСУ
«МИКРОПРОЦЕССОРНАЯ ТЕХНИКА»**

Руководитель проекта (подпись, дата) (ф.и.о.)

Проектировал студент группы (подпись, дата) (ф.и.о.)

СУМЫ 1999

Учебное издание

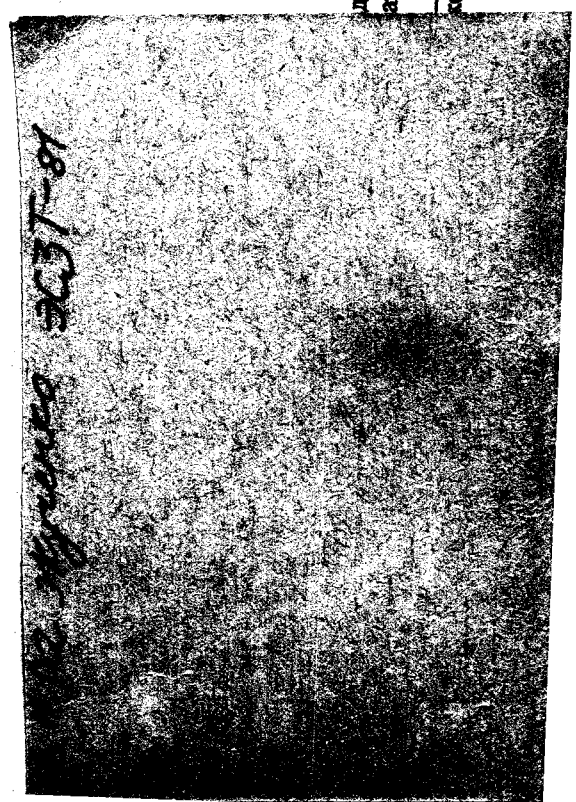
Методические указания
к курсовому проекту
«Микропроцессорный контроллер»
по курсу «Микропроцессорная техника»
для студентов всех форм обучения специальности
7.090800 – электроника

Составитель Дорощков Александр Валентинович

Ответственный за выпуск Борисенко Алексей Андреевич

Содержание

1 ЦЕЛЬ И ЗАДАЧИ ПРОЕКТА.....	4
2 ТРЕБОВАНИЯ К ТЕХНИЧЕСКОЙ ДОКУМЕНТАЦИИ КУРСОВОГО ПРОЕКТА.....	5
3 ПОРЯДОК ЗАЩИТЫ КУРСОВОГО ПРОЕКТА.....	6
4 ВЫБОР И ОБОСНОВАНИЕ СТРУКТУРНОЙ СХЕМЫ.....	7
4.1 Микропроцессорный блок.....	8
4.2 Блок памяти.....	11
4.3 Блок ввода аналоговых данных.....	13
4.4 Интерфейсный блок.....	17
4.5 Блок отображения информации.....	20
5 РАЗРАБОТКА ПРИНЦИПИАЛЬНОЙ СХЕМЫ.....	21
6 РАЗРАБОТКА ПРОГРАММНОГО ОБЕСПЕЧЕНИЯ.....	22
СПИСОК ЛИТЕРАТУРЫ.....	25
ПРИЛОЖЕНИЕ А.....	26



Л. Л. 147
АТНО
КОВА, 2.

681.3(09)
М 54

МИНИСТЕРСТВО ОБРАЗОВАНИЯ УКРАИНЫ
СУМСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ

МЕТОДИЧЕСКИЕ УКАЗАНИЯ

к курсовому проекту "Микропроцессорный контроллер"
по курсу "Микропроцессорная техника"
для студентов всех форм обучения
специальности 7.090800 - электроника

Сумський державний
університет
БІБЛІОТЕКА

Утверждено
редакционно-издательским
советом университета.
Протокол № 2 от 15.04.99 г.