

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ

КАФЕДРА ЕЛЕКТРОНІКИ І КОМП'ЮТЕРНОЇ ТЕХНІКИ

ДИДАКТИЧНИЙ МАТЕРІАЛ

з дисципліни "МІКРОПРОЦЕСОРНА ТЕХНІКА"

СУМИ –2018

ТЕМА 1. АРХІТЕКТУРА МП

Завдання 1.1 До складу МПС входять центральний процесор (ЦП), постійний запам'ятовуючий пристрій (ПЗП), підсистема переривань, підсистема формування часових інтервалів (таймер), інтерфейси введення і виведення (рисунок 1.1). Який блок не наведено на рисунку?

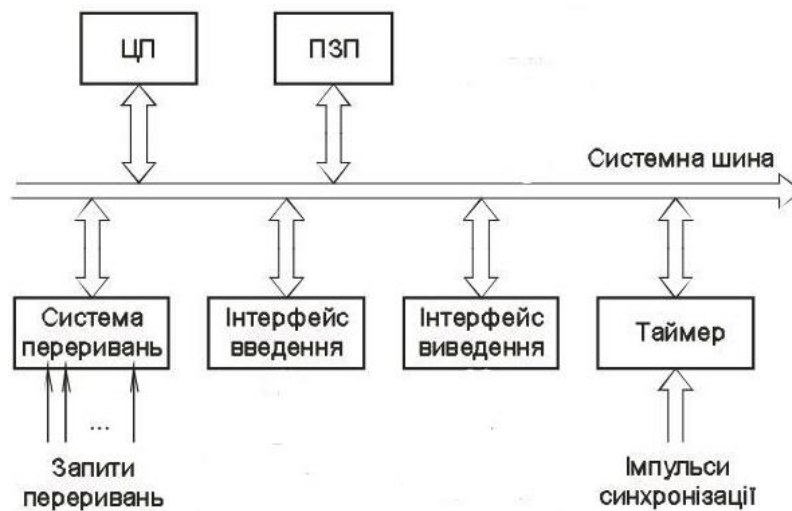


Рисунок 1.1 – Структурна схема МПС

- A) аналого-цифровий перетворювач;
- B) оперативний запам'ятовуючий пристрій;
- C) пам'ять програм;
- D) арифметично-логічний пристрій.

Завдання 1.2 На рисунку 1.2 зображена

- A) структура мікроконтролера;
- B) архітектура фон Неймана;
- C) гарвардська архітектура;
- D) структура мікропроцесора.

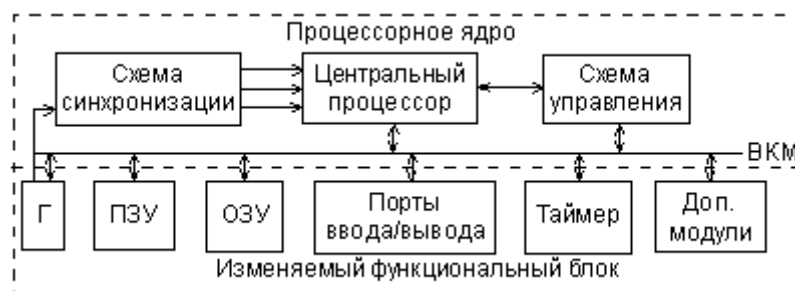


Рисунок 1.2

Завдання 1.3 На рисунку 1.3 зображена

- A) архітектура мікроконтролера;
- B) архітектура фон Неймана;
- C) гарвардська архітектура;
- D) архітектура мікропроцесорної системи обробки інформації.

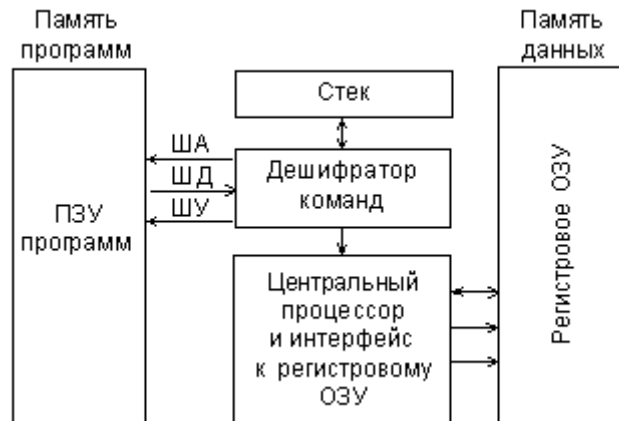


Рисунок 1.3

Завдання 1.4 На рисунку 1.4 зображена

- A) архітектура мікроконтролера;
- B) архітектура фон Неймана;
- C) гарвардська архітектура;
- D) архітектура мікропроцесорної системи обробки інформації.

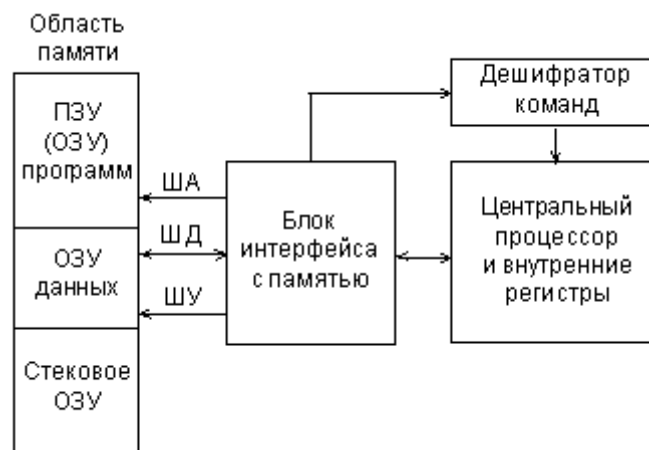


Рисунок 1.4

ТЕМА 2. ВНУТРІШНЯ СТРУКТУРА ТИПОВОГО МП

Завдання 2.1 МП працює в наступній системі числення:

- A) десятковій;
- B) шістнадцятковій;
- C) двійковій;
- D) трійковій.

Завдання 2.2 Відмінності акумулятора від інших регістрів МП полягають у:

- A) програмній доступності;
- B) розрядності;
- C) зберіганні результату операцій;
- D) зберіганні операнду при виконанні арифметичних операцій.

Завдання 2.3 Зазначте відповідність функціонального призначення виводів МП Intel 8085 та їх найменувань:

- A) HOLD – вхід сигналу запиту прямого доступу до пам'яті або запит захоплення шин, INT – вхід сигналу запиту переривання, ALE – вихід стробу адреси, SOD – послідовний вихід;
- B) HOLD – вхід сигналу запиту переривання, INT – вхід сигналу запиту прямого доступу до пам'яті або запит захоплення шин, ALE – послідовний вихід, SOD – вихід стробу адреси;
- C) HOLD – вихід стробу адреси, INT – вхід сигналу запиту переривання, ALE – вхід сигналу запиту прямого доступу до пам'яті або запит захоплення шин, SOD – послідовний вихід;
- D) HOLD – вхід сигналу запиту прямого доступу до пам'яті або запит захоплення шин, INT – послідовний вихід, ALE – вихід стробу адреси, SOD – вхід сигналу запиту переривання.

Завдання 2.4 Входи запиту переривання МП Intel 8085 не мають таке функціональне позначення, як:

- A) INT;
- B) $\overline{\text{RESI}}$;
- C) RST 7.5;
- D) TRAP.

Завдання 2.5 Пристрій введення-виведення генерує сигнал готовності, який викликає появу сигналу переривання, що подається на вхід МП Intel 8085:

- A) SID;
- B) RDY;
- C) INT;
- D) HLDA.

Завдання 2.6 За допомогою команд POP відновлюються значення змісту акумулятора та регістрів загального призначення шляхом читання:

- A) оперативного запам'ятовуючого пристрою;
- B) стекової пам'яті;
- C) постійного запам'ятовуючого пристрою;
- D) пам'яті програм.

Завдання 2.7 МП Intel 8085 завершує виконання поточної команди і, якщо переривання дозволені (не замасковані), формує сигнал підтвердження переривання:

- A) HLDA;
- B) \overline{INTA} ;
- C) ALE;
- D) RESO.

ТЕМА 3. ПОБУДОВА ОСНОВНИХ ВУЗЛІВ ТИПОВОГО МП

Завдання 3.1 Відповідно до схеми повного двійкового однорозрядного суматора (рисунок 3.1) скласти його таблицю істинності, ставлячи математичну операцію, яку виконує пристрій, у відповідність до комбінацій вхідних сигналів:

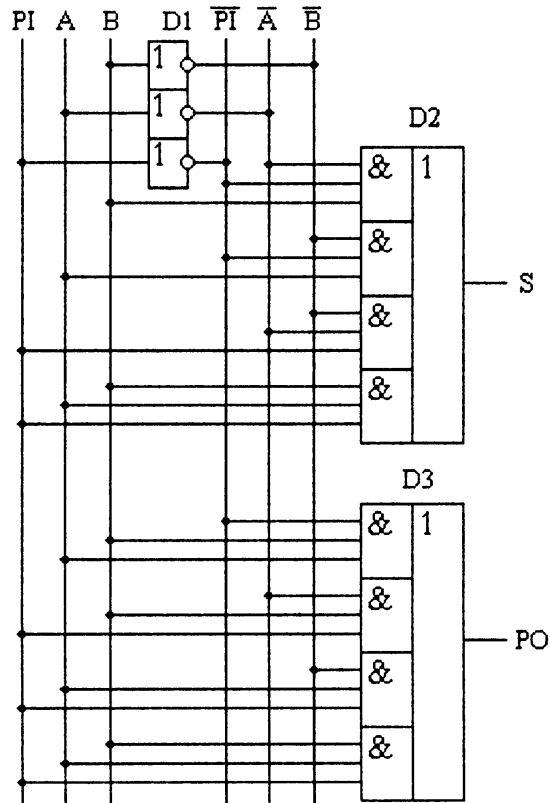


Рисунок 3.1 – Схема повного двійкового однорозрядного суматора

Завдання 3.2 Побудувати схему чотирьохрозрядного повного двійкового суматора, застосовуючи повний двійковий однорозрядного суматор на рисунку 3.2.

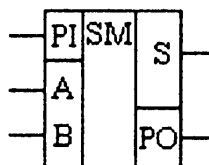


Рисунок 3.2 – Умовне графічне позначення суматора

Завдання 3.3 При умові $A=0101$ і $B=1100$, $A=1000$ і $B=1110$ визначити значення вихідних сигналів $S_3S_2S_1S_0$ цифрового пристрою (рисунок 3.3).

Роз'ясніть призначення цієї схеми у цілому та обґрунтувати необхідність інверторів на вході повного двійкового суматора.

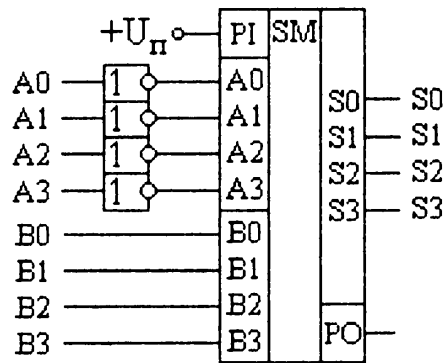


Рисунок 3.3 – Схема цифрового пристрою

Завдання 3.4 Розглянути структурну схему типового арифметичного пристрою МП та надати функціональне призначення блоків, вхідних і вихідних сигналів схеми (рисунок 3.4).

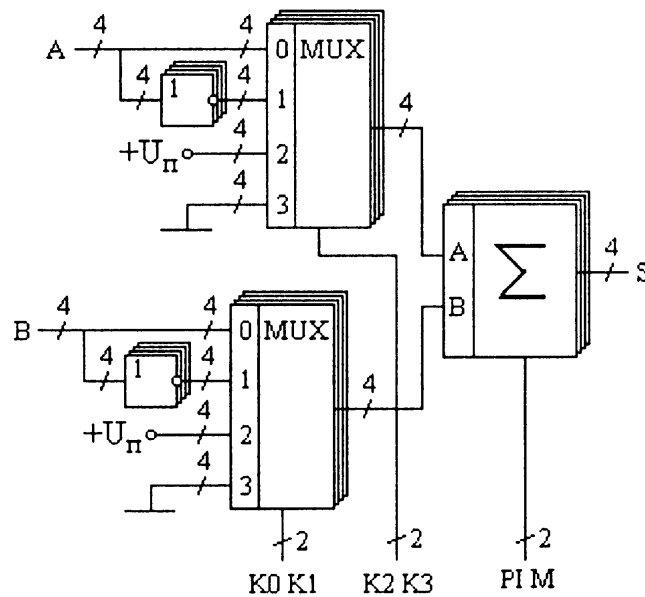


Рисунок 3.4 – Структурна схема арифметичного пристрою

Завдання 3.5 Скласти таблицю операцій, які виконує арифметичний пристрій МП в залежності від керуючого коду K0, K1, K2, K3, PI (рисунок 3.4).

Завдання 3.6 Розглянути функціональну схему операційного блоку МП (рисунок 3.5) і сформулювати функціональне призначення блоків, вхідних і вихідних сигналів схеми. Надати загальний алгоритм роботи операційного блоку.

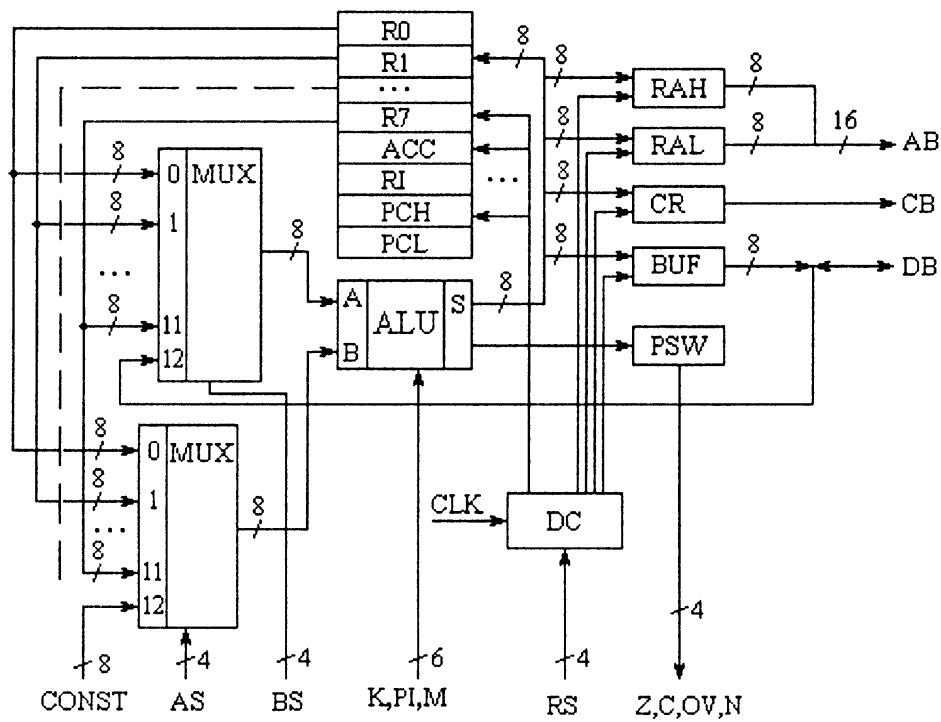


Рисунок 3.5 – Функціональна схема операційного блоку МП

Завдання 3.7 Роз'яснити принцип роботи блоку мікропрограмного управління МП (рисунок 3.6). Надати функціональне призначення вузлів блоку, вхідних та вихідних сигналів.

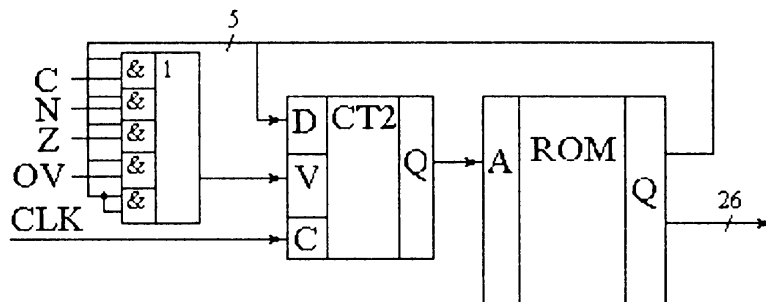


Рисунок 3.6 – Функціональна схема блоку мікропрограмного управління

ТЕМА 4. ФОРМАТ КОМАНД І ДАНИХ В МПТ

Завдання 4.1 При програмуванні МП Intel 8085 можуть бути використані операнди наступних типів:

- A) біти;
- B) 12-бітові слова;
- C) десяткові числа;
- D) 16-бітні слова;
- E) тетради.

Завдання 4.2 Які операнди можуть бути використані при програмуванні МП Intel 8085 для звернення до пам'яті програм:

- A) біти;
- B) байти;
- C) десяткові числа;
- D) 16-бітні слова.

Завдання 4.3 На значення розрядів регістра PSW ознак не впливають операції:

- A) логічні;
- B) арифметичні;
- C) введення-виведення;
- D) команди керування порядком виконання програми.

Завдання 4.4 Зазначте тип адресації, який використовується в команді МП Intel 8085 MOV A, M:

- A) пряма;
- B) непряма;
- C) безпосередня;
- D) відносна.

Завдання 4.5 Надайте відповідність числа $-73_{<10>}$ представленого:

- A) у прямому коді – 10110100, оберненому коді – 01001011, додатковому коді – 10110101;
- B) у прямому коді – 01001011, оберненому коді – 10110100, додатковому коді – 10110101;
- C) у прямому коді – 01001011, оберненому коді – 10110101, додатковому коді – 10110100;

- D) у прямому кодi – 01010010, оберненому кодi – 10101101, додатковому кодi – 10101110.

Завдання 4.6 Визначте тип адресації для команди LDA 0A96h:

- A) пряма;
- B) безпосередня;
- C) непряма;
- D) регістрова.

Завдання 4.7 Встановлення розрядів молодшої тетради комірки 0B01h в одиничний стан забезпечує наступний фрагмент програми (МП Intel 8085):

- A) LXI B, 0B01h → MOV A, 0Fh → STAX B;
- B) LDA 0B01h → ANA 0Fh → STA 0B01h;
- C) MVI A, 0Eh → STA 0B01h;
- D) LDA 0B01h → ORI 0Fh → STA 0B01h.

Завдання 4.8 Фрагмент програми для МП Intel 8085, що аналізує зміст 3-го розряду вхідного порту 20h (при нумерації розрядів з нуля) та виводить у вихідний порт 30h двійкову комбінацію 11000011, якщо значення 3-го біту дорівнює 1, виглядає наступним чином:

- A) IN 20h → ANI 04h → JNZ L1 → NOP → L1: MVI A, C3h → OUT 30h;
- B) IN 20h → XRI 08h → JZ L1 → NOP → L1: MVI A, D3h → OUT 30h;
- C) IN 20h → ANI 08h → JZ L1 → NOP → L1: MVI A, C3h → OUT 30h;
- D) IN 30h → ANI 08h → JZ L1 → NOP → L1: MVI A, C3h → OUT 30h.

Завдання 4.9 Значення Z регістра ознак МП Intel 8085 зміниться при виконанні наступного фрагмента програми:

- A) MVI A, FFh → MVI B, 80h → SUB B;
- B) MVI A, 85h → SUI C1h;
- C) ANI 00h → ADI 65h → SUI 30h;
- D) STC → CMC → MVI A, 78h → ACI 13h.

ТЕМА 5. ПОБУДОВА ПРОЦЕСОРІВ МПП

Завдання 5.1 Зазначте відповідність функціонального призначення виводів МП Intel 8085 та їх найменувань:

- Е) HOLD – вхід сигналу запиту прямого доступу до пам'яті або запит захоплення шин, INT – вхід сигналу запиту переривання, ALE – вихід стробу адреси, SOD – послідовний вихід;
- Ф) HOLD – вхід сигналу запиту переривання, INT – вхід сигналу запиту прямого доступу до пам'яті або запит захоплення шин, ALE – послідовний вихід, SOD – вихід стробу адреси;
- Г) HOLD – вихід стробу адреси, INT – вхід сигналу запиту переривання, ALE – вхід сигналу запиту прямого доступу до пам'яті або запит захоплення шин, SOD – послідовний вихід;
- Н) HOLD – вхід сигналу запиту прямого доступу до пам'яті або запит захоплення шин, INT – послідовний вихід, ALE – вихід стробу адреси, SOD – вхід сигналу запиту переривання.

Завдання 5.2 Модуль центрального процесора виконує наступну дію:

- А) усуває синфазні перешкоди у сигналах, які підсилюються;
- В) отримує код команди з пам'яті та дешифрує його;
- С) зберігає великі обсяги інформації;
- Д) узгоджує пристрої введення-виведення із сигналами системної шини.

Завдання 5.3 При проектуванні блоку процесора на основі однокристальних МП і МК необхідно вирішити задачу:

- А) побудови таблиці векторів переривань, відповідаючих сигналам переривань від зовнішніх пристроїв;
- В) ідентифікації джерела, яке подає сигнал переривання, на МП або МК;
- С) розрахунку необхідної ємності пам'яті програм та пам'яті даних;
- Д) проектування засобів управління і синхронізації операцій читання й запису на системній шині.

Завдання 5.4 Вказати послідовність з'єднань для побудови інтерфейсу шин адресу та даних блоку процесора на основі МП Intel 8085А (рисунок 5.1):

- А) 1–(6, 8), 2–6, 3–9, 5–7;
- В) (1, 2)–6, 2–8, 3–7, 4–9;
- С) 1–8, 2–6, (4, 5)–7, 3–9;
- Д) (1, 2)–6, 3–(4, 7), 5–8.

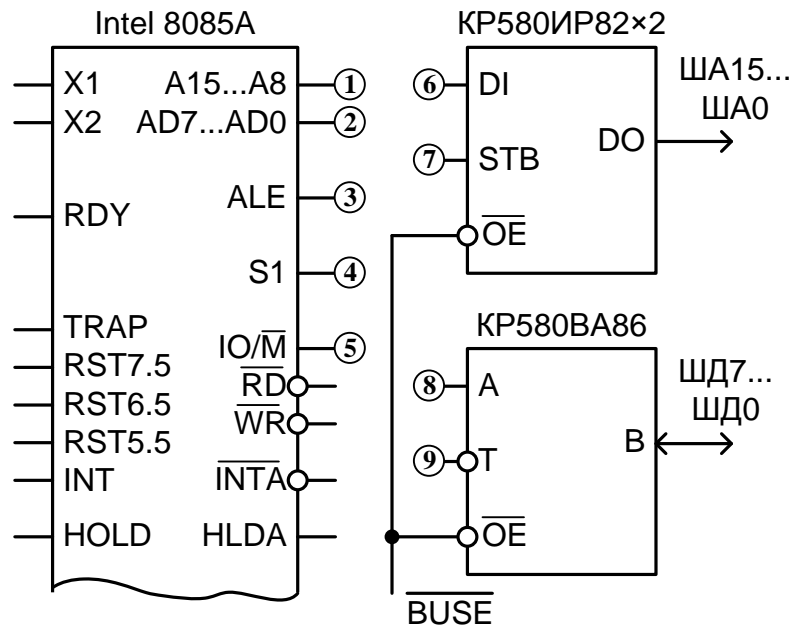


Рисунок 5.1 – Схема монтажу для блоку процесора на основі МП Intel 8085А

Завдання 5.5 Вказати послідовність з'єднань для побудови пристрою керування операціями читання й запису МПС на основі МП Intel 8085А (рисунок 5.2):

- A) 1–6, 4–(9, 14), 5–(7, 12), (8, 10, 11, 13)–15;
- B) 3–6, 4–(7, 12), 5–(9, 14), (8, 10, 11, 13)–15;
- C) 3–6, 4–(8, 11), 5–(10, 13), (7, 9, 12, 14)–15;
- D) 3–6, 4–(7, 9), 5–(8, 10), (11, 12, 13, 14)–15.

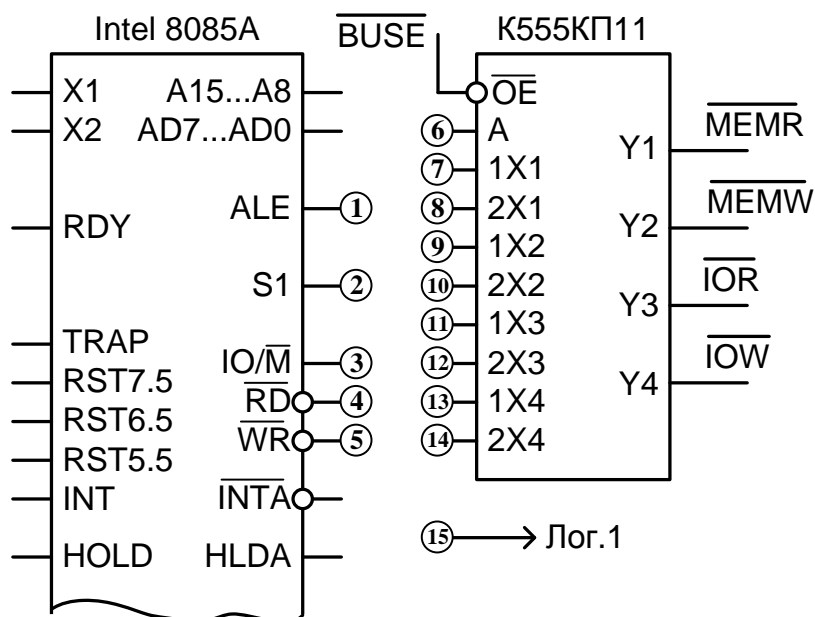


Рисунок 5.2 – Схема монтажу для пристрою керування операціями читання й запису МПС на основі МП Intel 8085А

ТЕМА 6. ПОБУДОВА ПАМ'ЯТІ МПС

Завдання 6.1 Якщо зовнішня пам'ять програм МПС має інформаційну ємність 4 Кбайт, то розрядність системної шини адреси дорівнює:

- A) 10;
- B) 8;
- C) 16;
- D) 12.

Завдання 6.2 Підсистема пам'яті МПС включає:

- A) постійний запам'ятовуючий пристрій;
- B) регістр ознак;
- C) лічильники адреси;
- D) шину живлення.

Завдання 6.3 Якщо початкова адреса пам'яті обсягом 0,5 Кбайт складає 022Ch, то її остання адреса є:

- A) 042Ch;
- B) 073Eh;
- C) 534Ch;
- D) 0902h.

Завдання 6.4 Обсяг оперативного запам'ятовуючого пристрою для запису даних з 0B00h по 0BAFh складає:

- A) AFh;
- B) 1015 байт;
- C) 175 байт;
- D) 0,5 Кбайт.

Завдання 6.5 При проектуванні пристроїв пам'яті МПС вирішують задачу:

- A) формування сигналу переривання для подачі до МП;
- B) забезпечення прямого доступу к оперативної пам'яті;
- C) забезпечення необхідної якості зберігання даних в оперативному і постійному запам'ятовуючих пристроях;
- D) розробка засобів спряження оперативного і постійного запам'ятовуючих пристроїв системною шиною.

Завдання 6.6 При розрядності n_i і обсягу N_i ВІС пам'яті необхідну розрядність n запам'ятовуючого пристрою із загальним обсягом N пам'яті забезпечують шляхом з'єднання:

- A) $k = n/n_i$ ВІС запам'ятовуючих пристроїв, які адресуються паралельно;
- B) $k = n/n_i$ ВІС запам'ятовуючих пристроїв, які адресуються послідовно;
- C) $L = N/N_i$ ВІС запам'ятовуючих пристроїв, які адресуються послідовно;
- D) $L = N/N_i$ модулів запам'ятовуючих пристроїв, які адресуються послідовно, кожний з яких має $k = n/n_i$ ВІС пам'яті, які адресуються паралельно.

Завдання 6.7 В схемі нарощування до обсягу N пам'яті ПЗП мікропроцесорної системи на основі ВІС (рисунок 6.1), кожна з яких має обсяг N_i пам'яті і вихідну розрядність $n_i = n$, вказати необхідні з'єднання:

- A) 5-1, 4-(7, 9), 2-6, 3-8, 10-12;
- B) 4-1, 5-(7, 9), 2-6, 3-8, 10-11;
- C) (4, 5)-1, 4-(7, 9), 2-8, 3-6, 10-11;
- D) 1-4, 5-(7, 9), 2-6, 3-8, 10-11.

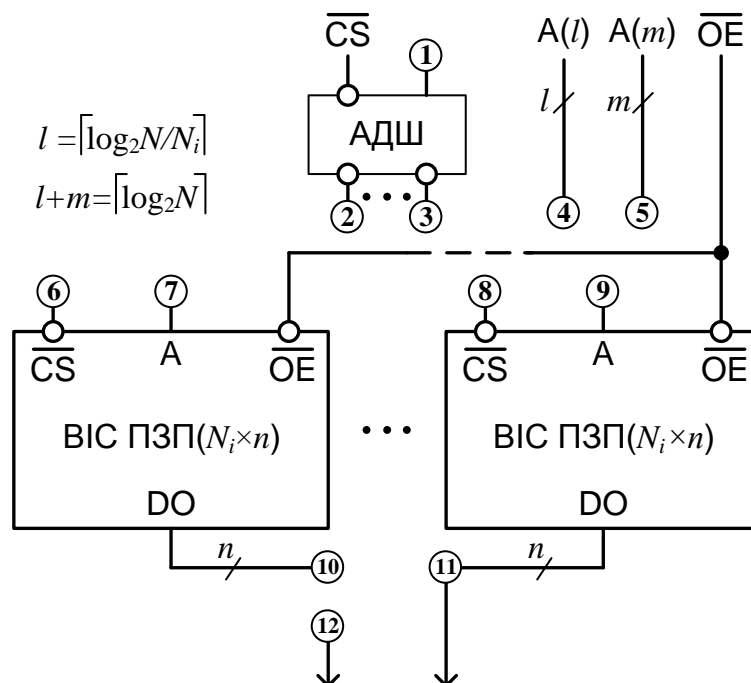


Рисунок 6.1 – Схема монтажу для нарощування обсягу пам'яті МПС

ТЕМА 7. ПОБУДОВА БЛОКА ОБРОБКИ ПЕРЕРИВАНЬ

Завдання 7.1 Входи запиту переривання МП Intel 8085 не мають таке функціональне позначення, як:

- Е) INT;
- Ф) \overline{RESI} ;
- Г) RST 7.5;
- Н) TRAP.

Завдання 7.2 За командою RET повернення з підпрограми обслуговування переривання, що є останньою командою підпрограми, відновлюються значення:

- А) тригера дозволу переривань;
- В) стекової пам'яті;
- С) програмного лічильника;
- Д) акумулятора.

Завдання 7.3 При проектуванні системи переривань від зовнішніх пристроїв вирішують задачу:

- А) комутації та перенаправлення запитів переривань на системний контролер;
- В) ідентифікації видів адресації операндів в командах;
- С) спряження системи переривань з блоком формування часових інтервалів;
- Д) зберігання поточного стану МП при переході до підпрограм обслуговування запитів переривань та його відновлення після завершення підпрограми.

Завдання 7.4 Векторний спосіб ідентифікації джерела запитів переривань має наступну відмінність:

- А) використовує ідентифікатор зовнішнього пристрою у двійковому коді;
- В) ідентифікатор переривання читається МП через шину адреси по сигналу підтвердження переривання;
- С) при ідентифікації процесор читає зміст регістру запитів переривань і аналізує кожен його розряд;
- Д) для ідентифікації багатьох джерел запитів переривань необхідні великі витрати часу.

Завдання 7.5 Вказати параметри ініціалізації контролера переривань Intel 8259 (KP580BH59A), якщо перед початком роботи він був запрограмований наступними словами ініціалізації – ISW1: 10010010, ISW2: 00001111:

- A) таблиця переходів в діапазоні адрес 0FB8-0F80, адресний інтервал в таблиці переходів – 4 байт, кількість VIC – 2;
- B) таблиця переходів в діапазоні адрес 9208-9280, адресний інтервал в таблиці переходів – 8 байт, кількість VIC – 3;
- C) таблиця переходів в діапазоні адрес 0FB8-0F80, адресний інтервал в таблиці переходів – 8 байт, кількість VIC – 1;
- D) таблиця переходів в діапазоні адрес 0FB8-0F80, адресний інтервал в таблиці переходів – 6 байт, кількість VIC – не одна.

Завдання 7.6 Забезпечте спряження контролера переривань Intel 8259 (KP580BH59A) з системною шиною МП Intel 8085А шляхом з'єднань:

- A) 1–2, 3–13, 4–12, 5–16, 6–14, 7–15, 9–20, 11–22, 17–18;
- B) 1–3, 4–12, 5–16, 6–14, 7–15, 8–13, 9–20, 11–22, 17–19;
- C) 1–(8, 13), 4–12, 6–14, 7–15, 3–22, 9–20, 11–21, 17–19;
- D) 1–3, (12, 17)–19, 13–11, 6–14, 7–15, 9–20, 10–21, 8–22, 17–18.

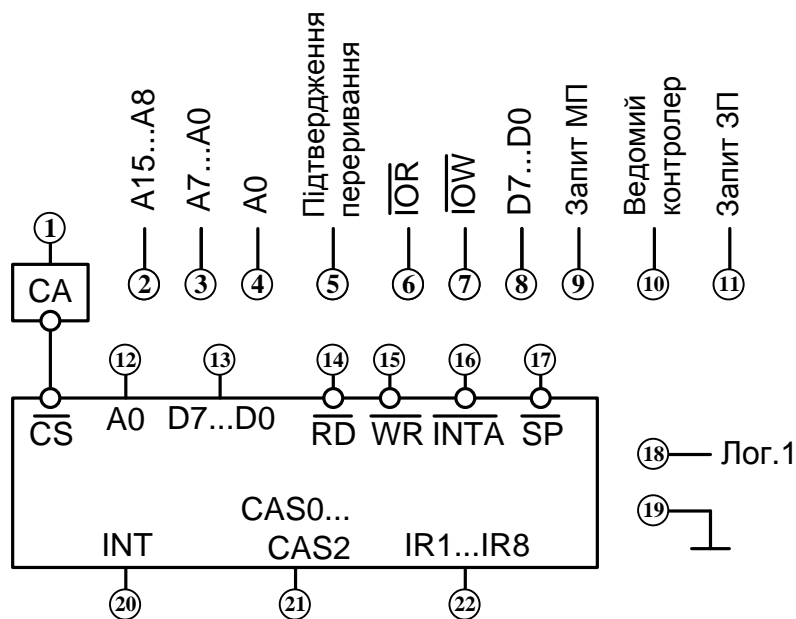


Рисунок 7.1 – Схема монтажу для спряження контролера переривань з системною шиною

ТЕМА 8. КАНАЛИ ВВЕДЕННЯ-ВИВЕДЕННЯ В МПТ

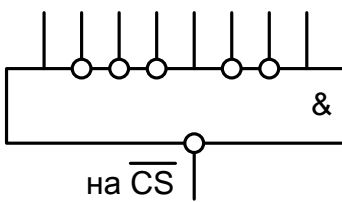
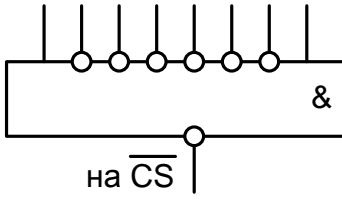
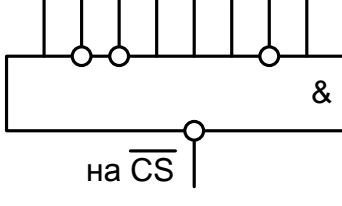
Завдання 8.1 Пристрій введення-виведення генерує сигнал готовності, який викликає появу сигналу переривання, що подається на вхід МП Intel 8085:

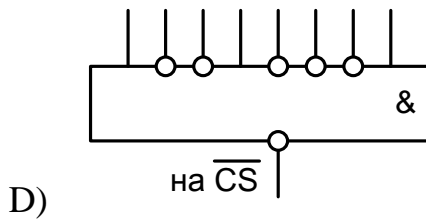
- A) SID;
- B) RDY;
- C) INT;
- D) HLDA.

Завдання 8.2 Фрагмент програми для МП Intel 8085, що аналізує зміст 3-го розряду вхідного порту 20h (при нумерації розрядів з нуля) та виводить у вихідний порт 30h двійкову комбінацію 11000011, якщо значення 3-го біту дорівнює 1, виглядає наступним чином:

- A) IN 20h → ANI 04h → JNZ L1 → NOP → L1: MVI A, C3h → OUT 30h;
- B) IN 20h → XRI 08h → JZ L1 → NOP → L1: MVI A, D3h → OUT 30h;
- C) IN 20h → ANI 08h → JZ L1 → NOP → L1: MVI A, C3h → OUT 30h;
- D) IN 30h → ANI 08h → JZ L1 → NOP → L1: MVI A, C3h → OUT 30h.

Завдання 8.3 Як буде виглядати схема адресного селектора для адресування зовнішнього пристрою з адресою 91h:

- A) 
- B) 
- C) 



Завдання 8.4 Підсистема введення-виведення МПС характеризується:

- A) кількістю сигналів управління обміном даними;
- B) тривалістю сеансу зв'язку;
- C) пропускнуою здатністю каналів введення-виведення;
- D) цінністю інформації, якої обмінюються МПС і зовнішні пристрої;

Завдання 8.5 При проектуванні підсистеми введення-виведення МПС необхідно вирішити задачу:

- A) вибору типу каналу введення-виведення;
- B) спряження з фізичним середовищем передачі;
- C) аналізу цінності даних, якими обмінюються МПС і зовнішні пристрої;
- D) проектування засобів спряження з блоком індикації.

Завдання 8.5 Каналами введення-виведення МПС можуть бути:

- A) програмні канали по опитуванню;
- B) апаратні канали по перериванню;
- C) програмні канали по типу адресації зовнішнього пристрою;
- D) програмні канали прямого доступу до пам'яті.

ТЕМА 9. ПОБУДОВА БЛОКА ВВЕДЕННЯ- ВИВЕДЕННЯ ДАНИХ

Завдання 9.1 Визначити по виду слова вибору режиму обміну MS контролера паралельного інтерфейсу Intel 8255 (KP580BB55A) режими роботи портів А, В, С і призначення вхідних й вихідних сигналів:

- А) 1 – шина введення порту В, 2 – шина введення порту С, 3 – вхідний буфер В повен (IBFB), 4 – строб порту В (-STBV), 5 – запит переривання порту В (INTV), 6 – строб порту А (-STVA), 7 – вхідний буфер порту А повен (IBFA), 8 – запит переривання порту А (INTA), 9 – шина введення порту А;
- В) 1 – шина введення порту А, 2 – шина введення порту С, 3 – запит переривання порту А (INTA), 4 – строб порту А (-STVA), 5 – вхідний буфер А повен (IBFA), 6 – строб порту В (-STBV), 7 – запит переривання порту В (INTV), 8 – вхідний буфер порту В повен (IBFB), 9 – шина введення порту В;
- С) 1 – шина введення порту А, 2 – шина введення порту С, 3 – вхідний буфер А повен (IBFA), 4 – строб порту А (-STVA), 5 – запит переривання порту А (INTA), 6 – строб порту В (-STBV), 7 – вхідний буфер порту В повен (IBFB), 8 – запит переривання порту В (INTV), 9 – шина введення порту В;
- Д) 1 – шина введення порту А, 2 – шина введення порту С, 3 – вхідний буфер А повен (IBFA), 4 – строб порту В (-STBV), 5 – запит переривання порту А (INTA), 6 – строб порту А (-STVA), 7 – вхідний буфер порту В повен (IBFB), 8 – запит переривання порту В (INTV), 9 – шина введення порту В.

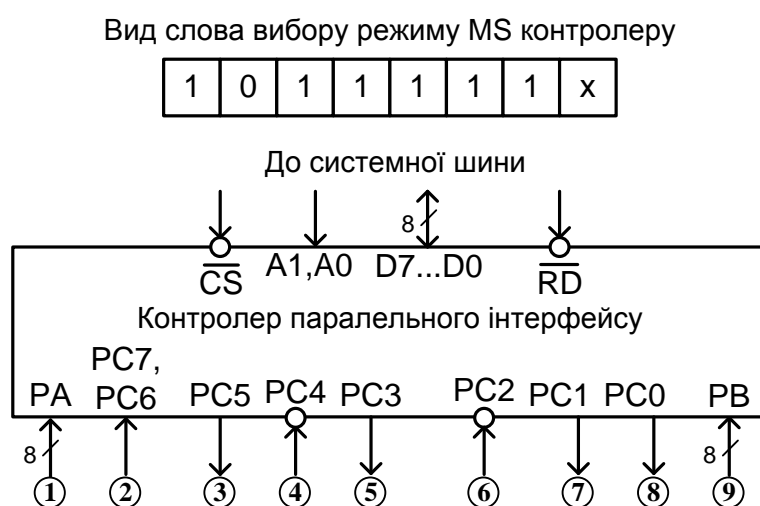


Рисунок 9.1 – Паралельний інтерфейс Intel 8255

Завдання 9.2 Контролер послідовного інтерфейсу Intel 8251 (КР580ВВ51А) знаходиться в режимах асинхронної передачі і прийому даних. Вказати функціональне призначення входів та виходів:

- А) 1 – вибірка послідовного інтерфейсу, 2 – вхід запису управління/даних, 3 – синхронізація контролеру, 4 – початкова установка, 5 – вихід передатчика, 6 – зовнішні синхронізація, 7 – готовність виведення, 8 – готовність введення, 9 – вхід приймача;
- В) 1 – початкова установка, 2 – синхронізація контролеру, 3 – вхід запису управління/даних, 4 – вибірка послідовного інтерфейсу, 5 – вихід передатчика, 6 – зовнішні синхронізація, 7 – готовність введення, 8 – готовність виведення, 9 – вхід приймача;
- С) 1 – вибірка послідовного інтерфейсу, 2 – вхід запису управління/даних, 3 – синхронізація контролеру, 4 – початкова установка, 5 – вихід передатчика, 6 – зовнішні синхронізація, 7 – готовність виведення, 8 – готовність введення, 9 – вхід приймача;
- Д) 1 – вибірка послідовного інтерфейсу, 2 – вхід запису управління/даних, 3 – синхронізація контролеру, 4 – початкова установка, 5 – вхід приймача, 6 – зовнішні синхронізація, 7 – готовність виведення, 8 – готовність введення, 9 – вихід передатчика.

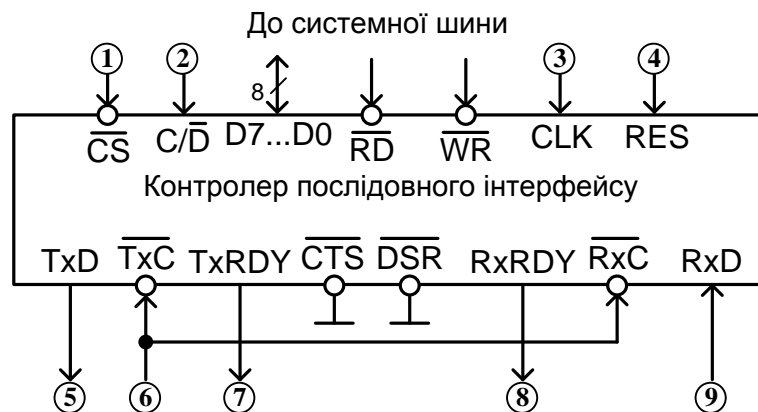


Рисунок 9.2 – Послідовний інтерфейс Intel 8251

ТЕМА 10. КОНТРОЛЕР ОБРОБКИ ДАНИХ

Завдання 10.1 Надати обґрунтування структурної схеми мікропроцесорного контролеру обробки даних: роз'ясніть принципи побудови схеми, призначення блоків і функціональних сигналів, розкрити сутність взаємозв'язків між блоками (рисунок 10.1).

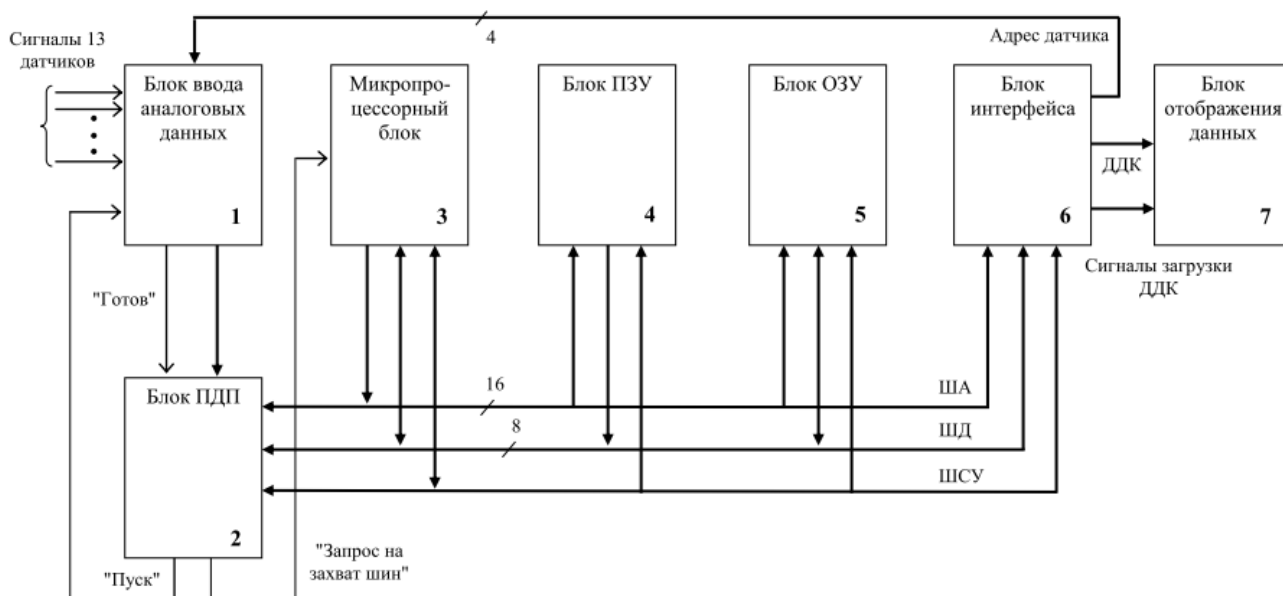


Рисунок 10.1 – Структурна схема мікропроцесорного контролеру обробки даних

Завдання 10.2 Описати роботу схеми блоку введення аналогових даних мікропроцесорного контролеру обробки даних(рисунок 10.2).

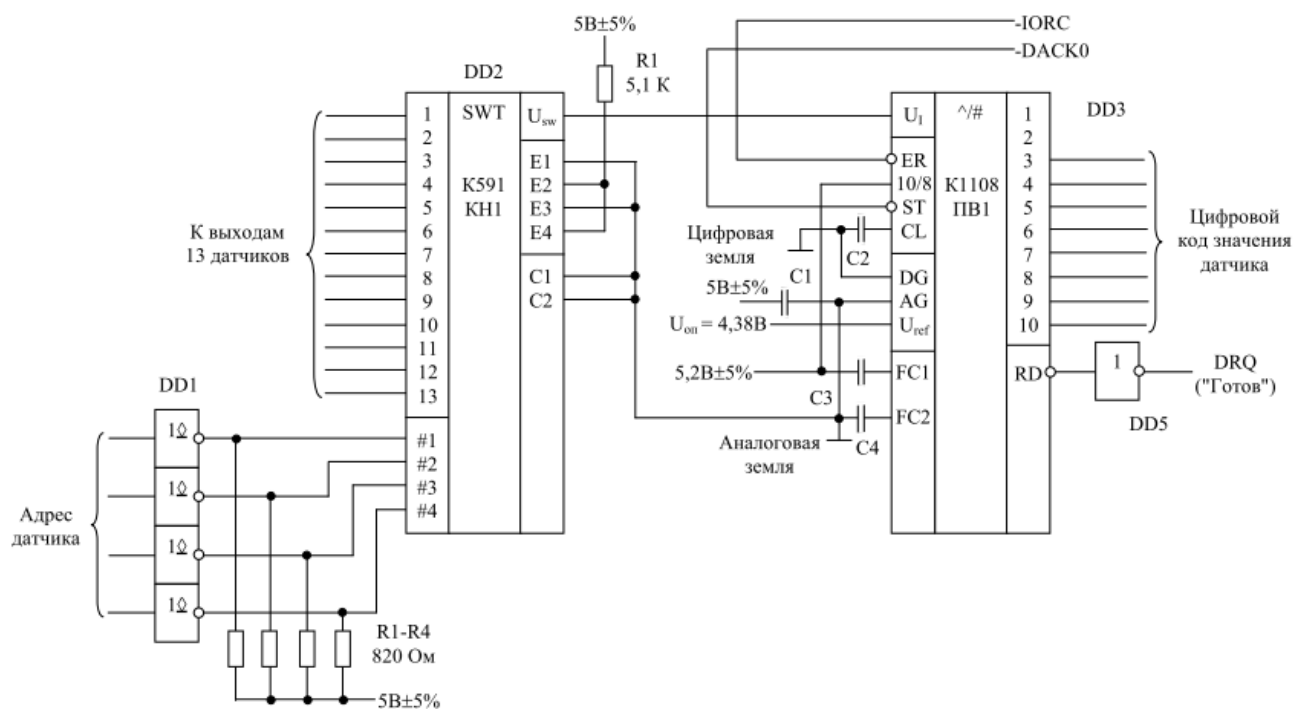


Рисунок 10.2 – Схема блоку введення аналогових даних

Завдання 10.3 Підпрограма, яка підготовлює мікропроцесорний контролер обробки даних на основі МП Intel 8085A, має вигляд (таблиця 10.1). Надати машинні коди до команд та коментар до кожної команди, який пояснює дії, що виконує МП.

Таблиця 10.1 – Підпрограма ініціалізації мікропроцесорного контролеру

Адреса	Мнемокод	Машинний код	Коментар
0030	ANI 00h		
0032	MVI 0Dh		
0034	LHLD AA12h		
0035	ANA M<HL>		
0036	LHLD 9000h		
0039	ANA M<HL>		
003A	INX HL		
003B	DCR B		
003E	JNZ 0036h		
0041	MVI 0Dh		
0043	LHLD AA20h		