

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
ХАРКІВСЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ
МІСЬКОГО ГОСПОДАРСТВА імені О. М. БЕКЕТОВА

МЕТОДИЧНІ РЕКОМЕНДАЦІЇ

до проведення практичних занять та самостійної роботи

з навчальної дисципліни

«МІКРОСХЕМОТЕХНІКА»

*(для студентів усіх форм навчання зі спеціальності 141 – Електроенергетика,
електротехніка та електромеханіка, освітньої програми «Електромеханіка»)*

Харків
ХНУМГ ім. О. М. Бекетова
2020

Методичні рекомендації до проведення практичних занять та самостійної роботи з навчальної дисципліни «Мікросхемотехніка» (для студентів усіх форм навчання зі спеціальності 141 – Електроенергетика, електротехніка та електромеханіка, освітньої програми «Електромеханіка») / Харків. нац. ун-т міськ. госп-ва ім. О. М. Бекетова ; уклад. : М. Ф. Смирний, Р. В. Воронов. – Харків : ХНУМГ ім. О. М. Бекетова, 2020. – 60 с.

Укладачі : д-р техн. наук, проф. М. Ф. Смирний, асист. Р. В. Воронов

Рецензент

Є. М. Шапран, доктор технічних наук, професор Національного технічного університету «Харківський політехнічний інститут»

Рекомендовано кафедрою електричного транспорту, протокол № 1 від 25 серпня 2020 р.

ЗМІСТ

ВСТУП.....	4
1 РОЗРАХУНОК ЕЛЕКТРИЧНИХ КІЛ ПОСТІЙНОГО СТРУМУ.....	5
2 ДОСЛІДЖЕННЯ БІПОЛЯРНОГО ТРАНЗИСТОРА.....	9
3 ДОСЛІДЖЕННЯ ТИРИСТОРА.....	14
4 ДОСЛІДЖЕННЯ ПІДСИЛЮВАЛЬНОГО КАСКАДУ НА БІПОЛЯРНОМУ ТРАНЗИСТОРИ У СХЕМІ (СЕ).....	17
5 ДОСЛІДЖЕННЯ ПІДСИЛЮВАЛЬНИХ КАСКАДІВ НА ОПЕРАЦІЙНИХ ПІДСИЛЮВАЧАХ (ОП).....	20
6 КОМПАРАТОР. ТРИГЕР ШМІТТА.....	22
7 СИСТЕМИ ЧИСЛЕННЯ.....	25
8 ЛОГІЧНІ ОПЕРАЦІЇ. ЛОГІЧНІ ЕЛЕМЕНТИ. ЗАКОНИ АЛГЕБРИ ЛОГІКИ	27
9 ДЕШИФРАТОРИ.....	32
10 МУЛЬТИПЛЕКСОРИ.....	35
11 СИНТЕЗ КОМБІНАЦІЙНИХ ЛОГІЧНИХ СХЕМ.....	38
12 ТРИГЕРИ.....	42
13 ДВІЙКОВІ ЛІЧІЛЬНИКИ.....	47
14 ПРОГРАМУВАННЯ МІКРОПРОЦЕСОРІВ.....	50
15 РОЗРОБКА ПРОГРАМИ «ОПИТУВАННЯ ДВІЙКОВОГО ДАТЧИКА».....	53
16 РОЗРОБКА ПІДПРОГРАМИ ЗАТРИМКИ ЧАСУ.....	55
СПИСОК РЕКОМЕНДОВАНИХ ДЖЕРЕЛ.....	58

ВСТУП

Ці методичні рекомендації підготовлені на основі робочої навчальної програми дисципліни «Мікросхемотехніка» та призначені для студентів, які навчаються за спеціальністю 141 – Електроенергетика, електротехніка та електромеханіка, освітньої програми «Електромеханіка».

Метою проведення практичних занять та самостійної роботи з мікросхемотехніки є поглиблене освоєння студентами принципів функціонування, побудови, методів розрахунку напівпровідникових приладів, елементів аналогової та цифрової мікросхемотехніки і програмування мікропроцесорних пристроїв.

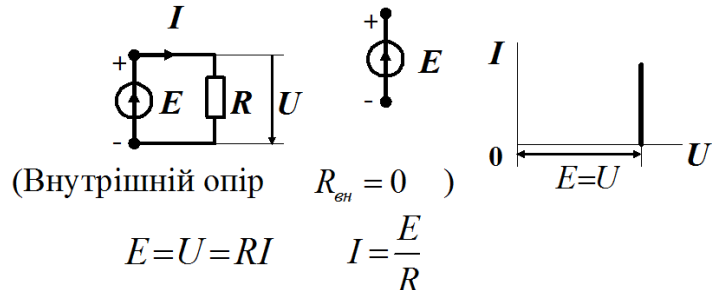
Розв'язуючи задачі на практичних заняттях та самостійно виконуючи завдання, студенти знайомляться з методами розрахунків основних елементів та вузлів електронних пристроїв та схем, наочно бачать порядок тих або інших розрахункових величин.

Практичні заняття з навчальної дисципліни «Мікросхемотехніка», поряд із самостійним опрацюванням завдань, передбачають поглиблене вивчення фізичних процесів в електронних схемах, принципів їхньої побудови та програмування мікропроцесорних систем.

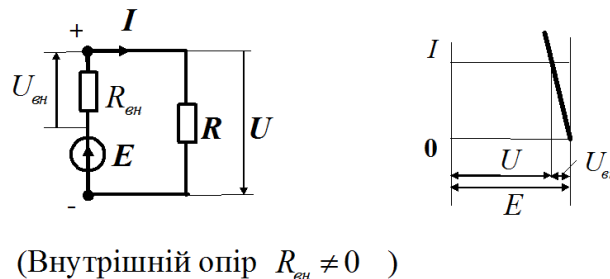
1 РОЗРАХУНОК ЕЛЕКТРИЧНИХ КІЛ ПОСТІЙНОГО СТРУМУ

Джерела електричної енергії

Ідеалізоване джерело енергії (джерело ЕРС):

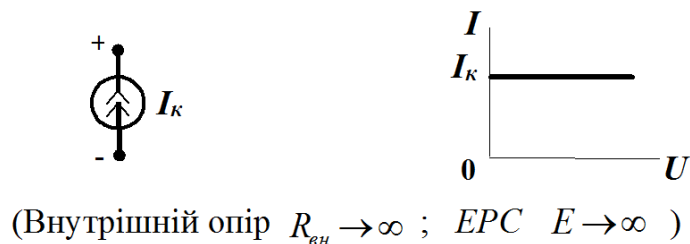


Розрахунковий еквівалент реального джерела енергії (джерело ЕРС):



$$E = U_{вн} + U = R_{вн}I + RI = (R_{вн} + R)I \quad I = \frac{E}{R_{вн} + R}$$

Ідеалізоване джерело енергії (джерело струму):



I закон Кірхгофа:

Алгебраїчна сума струмів у будь-якому вузлі дорівнює нулю

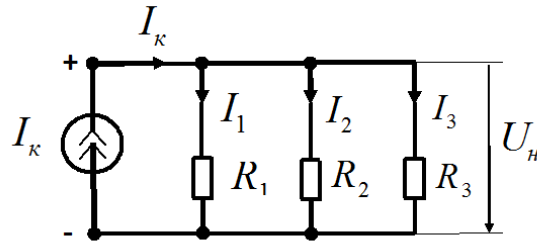
$$\sum I = 0.$$

II закон Кірхгофа:

Алгебраїчна сума спадів напруг на опорах у будь-якому замкнутому контурі дорівнює алгебраїчній сумі всіх ЕРС, що діють у цьому контурі

$$\sum U = \sum E.$$

Задача. Коло з джерелом струму.



Дано: $I_k = 1 \text{ A}$; $R_1 = 1 \text{ Ом}$; $R_2 = 2 \text{ Ом}$; $R_3 = 2 \text{ Ом}$

Знайти: I_1, I_2, I_3, U_n, P_n –?

Розв'язання. Знаходимо величину загального опору:

$$\frac{1}{R_{\text{заг}}} = \frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_3} = \frac{1}{1} + \frac{1}{2} + \frac{1}{2} = 2 \text{ Ом}^{-1} = 2 \text{ См} \quad - \text{ загальна провідність.}$$

Звідси величина загального опору $R_{\text{заг}} = 0,5 \text{ Ом}$.

Напряга на навантаженні $U_n = R_{\text{заг}} I_k = 0,5 \cdot 1 = 0,5 \text{ В}$.

$$I_1 = \frac{U_n}{R_1} = \frac{0,5}{1} = 0,5 \text{ A} \quad I_2 = \frac{U_n}{R_2} = \frac{0,5}{2} = 0,25 \text{ A} \quad I_3 = \frac{U_n}{R_3} = \frac{0,5}{2} = 0,25 \text{ A}$$

$$P_n = R_{\text{заг}} I_k^2 = 0,5 \cdot 1^2 = 0,5 \text{ Вт}$$

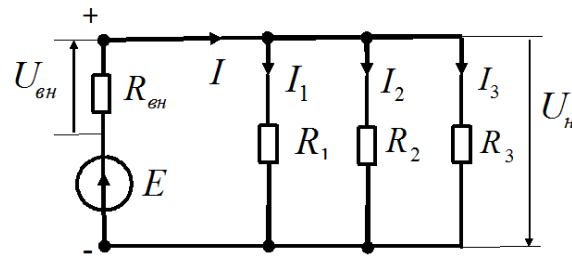
Перевірка: $I_k = I_1 + I_2 + I_3 = 0,5 + 0,25 + 0,25 = 1 \text{ A}$.

Задача для самостійного виконання:

Дані	Варіанти									
	1	2	3	4	5	6	7	8	9	10
$I_k, \text{ A}$	0,1	0,2	0,3	0,4	0,5	0,6	0,7	0,8	0,9	1,0
$R_1, \text{ Ом}$	1	2	3	4	5	6	7	6	9	10
$R_2, \text{ Ом}$	2	3	4	5	6	7	8	9	10	11
$R_3, \text{ Ом}$	3	4	5	6	7	8	9	10	11	12

Варіанти									
11	12	13	14	15	16	17	18	19	20
1,1	1,2	1,3	1,4	1,5	1,6	1,7	1,8	1,9	2,0
11	12	13	14	15	16	17	18	19	20
12	13	14	15	16	17	18	19	20	21
13	14	15	16	17	16	19	20	21	22

Задача. Коло з джерелом ЕРС.



Дано: $E = 11 \text{ В}; R_{\text{вн}} = 50 \text{ Ом}; R_1 = 1000 \text{ Ом}; R_2 = R_3 = 2000 \text{ Ом}$

Знайти: $I_1, I_2, I_3, I, U_{\text{н}}, U_{\text{вн}}, P_{\text{н}}, P_{\text{вн}} - ?$

Розв'язання. Знаходимо величину опору навантаження:

$$\frac{1}{R_{\text{н}}} = \frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_3} = \frac{1}{1000} + \frac{1}{2000} + \frac{1}{2000} = 0,002 \text{ Ом}^{-1} = 0,002 \text{ См}$$

Звідси $R_{\text{н}} = 500 \text{ Ом}$.

Загальний опір $R_{\text{заг}} = R_{\text{вн}} + R_{\text{н}} = 50 + 500 = 550 \text{ Ом}$.

$$I = \frac{E}{R_{\text{заг}}} = \frac{11}{550} = 0,02 \text{ А. } U_{\text{вн}} = R_{\text{вн}} I = 50 \cdot 0,02 = 1 \text{ В.}$$

$$U_{\text{н}} = R_{\text{н}} I = 500 \cdot 0,02 = 10 \text{ В. } I_1 = \frac{U_{\text{н}}}{R_1} = \frac{10}{1000} = 0,01 \text{ А.}$$

$$I_2 = \frac{U_{\text{н}}}{R_2} = \frac{10}{2000} = 0,005 \text{ А. } I_3 = \frac{U_{\text{н}}}{R_3} = \frac{10}{2000} = 0,005 \text{ А.}$$

$$P_{\text{вн}} = R_{\text{вн}} I^2 = 50 \cdot 0,02^2 = 0,02 \text{ Вт. } P_{\text{н}} = R_{\text{н}} I^2 = 500 \cdot 0,02^2 = 0,2 \text{ Вт.}$$

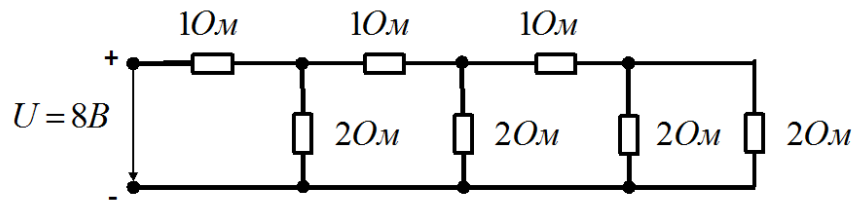
Перевірка: $I = I_1 + I_2 + I_3 = 0,01 + 0,005 + 0,005 = 0,02 \text{ А}$.

Задача для самостійного виконання:

Дані	Варіанти									
	1	2	3	4	5	6	7	8	9	10
$E, \text{ В}$	1	2	3	4	5	6	7	8	9	10
$R_1, \text{ Ом}$	100	200	300	400	500	600	700	800	900	1000
$R_2, \text{ Ом}$	200	300	400	500	600	700	800	900	1000	1100
$R_3, \text{ Ом}$	300	400	500	600	700	800	900	1000	1100	1200
$R_{\text{вн}}, \text{ Ом}$	5	6	7	8	9	10	11	12	13	14

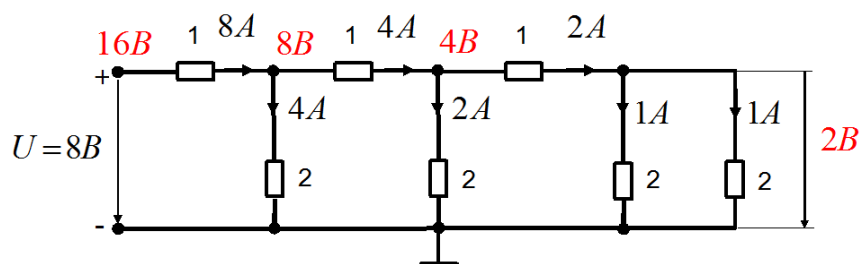
Варіанти									
11	12	13	14	15	16	17	18	19	20
11	12	13	14	15	16	17	18	19	20
1100	1200	1300	1400	1500	1600	1700	1800	1900	2000
1200	1300	1400	1500	1600	1700	1800	1900	2000	2100
1300	1400	1500	1600	1700	1600	1900	2000	2100	2200
15	16	17	18	19	20	21	22	23	24

Задача. Розрахунок резисторної лінійки $R-2R$

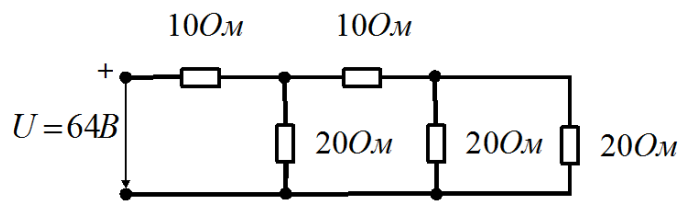


Знайти величини всіх струмів та напруг.

Розв'язання. Відповідно до методу пропорційного перерахунку задаємося у крайньому опорі величиною струму, наприклад в 1 A . Напряга на ньому буде 2 B . Тоді струм у сусідньому (паралельному) опорі буде теж 1 A , а в горизонтальному опорі струм буде дорівнювати $1 + 1 = 2\text{ A}$. Таким чином, треба рухатися до джерела напруги. Отримана напруга живлення становить 16 B . Отже, всі величини, які приймалися, необхідно зменшити у два рази.



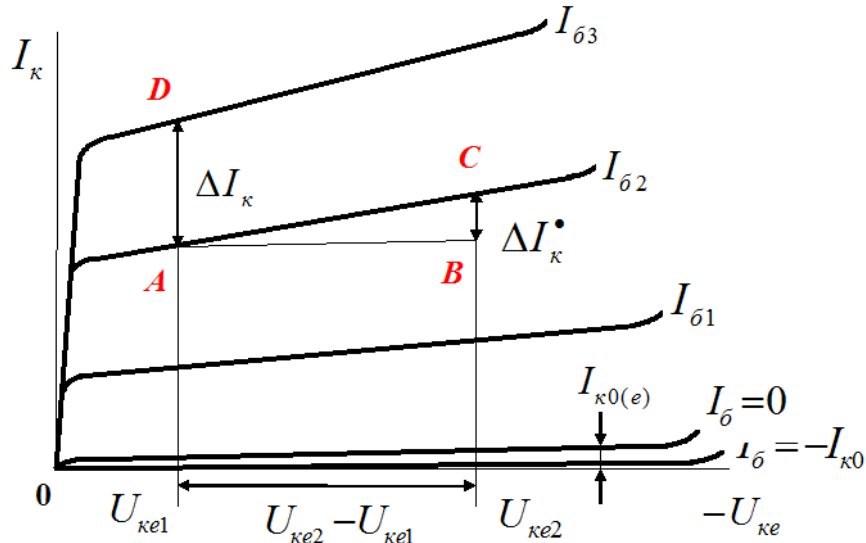
Задача (самостійно). Розрахунок резисторної лінійки $R-2R$



Знайти величини всіх струмів та напруг.

2 ДОСЛІДЖЕННЯ БІПОЛЯРНОГО ТРАНЗИСТОРА

У схемі ввімкнення *p-n-p*-транзистора зі спільним емітером далі – (СЕ) вихідні вольт-амперні характеристики далі – (ВАХ) відображають залежності струму колектора I_{κ} від напруги на колекторі $U_{\kappa e}$ при фіксованому струмі бази $I_{\bar{o}}$: $I_{\kappa} = f(U_{\kappa e})|_{I_{\bar{o}}=const}$.



Зростання струму I_{κ} при зростанні напруги $U_{\kappa e}$ характеризується диференційним опором колекторного переходу $r_{\kappa(e)} = \frac{dU_{\kappa e}}{dI_{\kappa}}|_{I_{\bar{o}}=const}$.

Аналitична форма запису вихідних характеристик схеми СЕ:

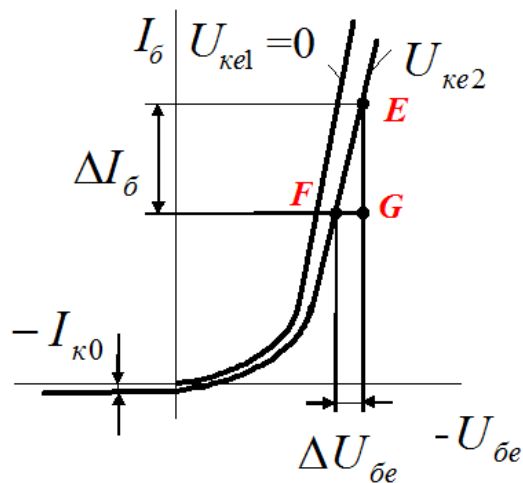
$I_{\kappa} = \beta I_{\bar{o}} + U_{\kappa e} / r_{\kappa(e)} + I_{\kappa(0)}$, де $\beta = I_{\kappa} / I_{\bar{o}} = \alpha / (1 - \alpha)$ – коефіцієнт передачі струму у схемі СЕ.

На підставі вихідних характеристик знаходять параметри схеми:

$$r_{\kappa(e)} = \frac{\Delta U_{\kappa e}}{\Delta I_{\kappa}^*} = \frac{AB}{BC} - \text{диференційний опір колекторного переходу};$$

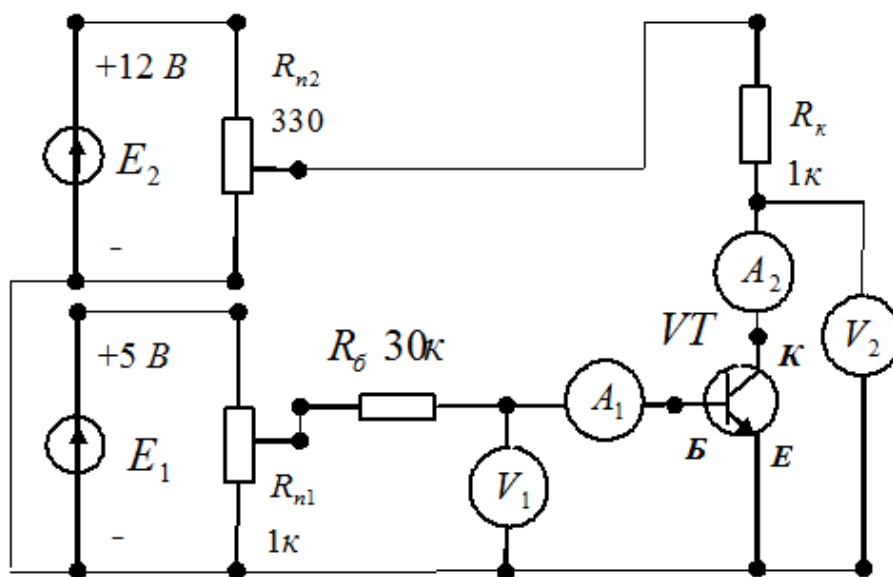
$$\beta = \frac{\Delta I_{\kappa}}{I_{\bar{o}3} - I_{\bar{o}2}} = \frac{AD}{I_{\bar{o}3} - I_{\bar{o}2}} - \text{коефіцієнт передачі струму у схемі СЕ.}$$

Вхідні вольт-амперні характеристики (ВАХ) схеми СЕ відображають залежності струму бази $I_{\bar{o}}$ від напруги база-емітер $U_{\bar{o}e}$ при фіксованій напрузі колектор-емітер $U_{\kappa e}$: $I_{\bar{o}} = f(U_{\bar{o}e})|_{U_{\kappa e}=const}$.



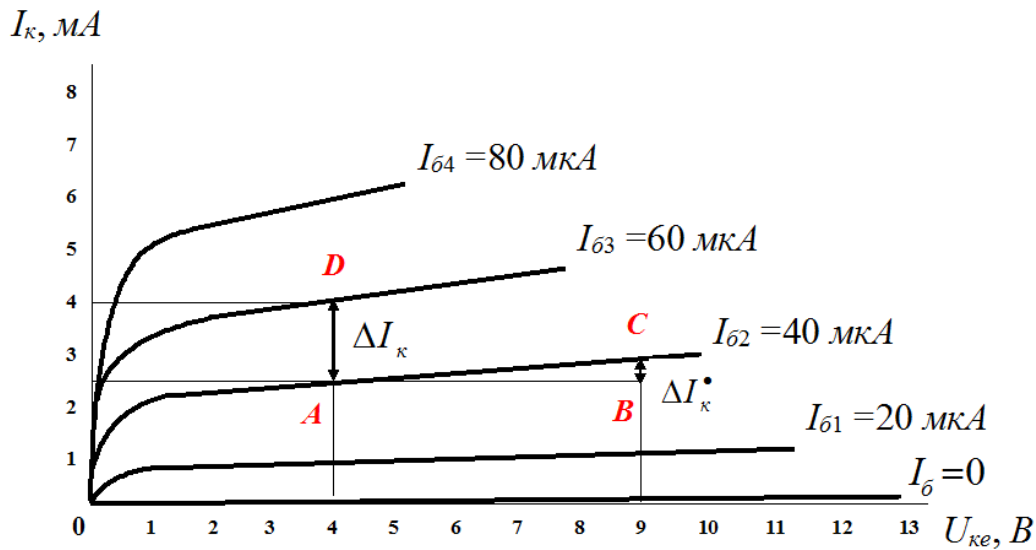
На підставі вхідних характеристик знаходять вхідний опір транзистора змінному струму $r_{вх} = \frac{\Delta U_{бе}}{\Delta I_{б}} = \frac{FG}{EG}$.

Для зняття вихідних та вхідних вольт-амперних характеристик біполярного транзистора *n-p-n*-типу (КТ315Г) використовується така схема:



Тут E_1 , E_2 – джерела живлення; VT – транзистор; R_k – резистор у ланцюгу колектору; $R_б$ – резистор у ланцюгу бази; R_{n1} , R_{n2} – потенціометри; A_1 , A_2 – амперметри для вимірювання струмів бази та колектора відповідно; V_1 , V_2 – вольтметри для вимірювання напруг база-емітер та колектор-емітер відповідно.

У результаті дослідження *вихідних ВАХ* біполярного транзистора отримано такі дані:



Згідно з цими даними визначаємо:

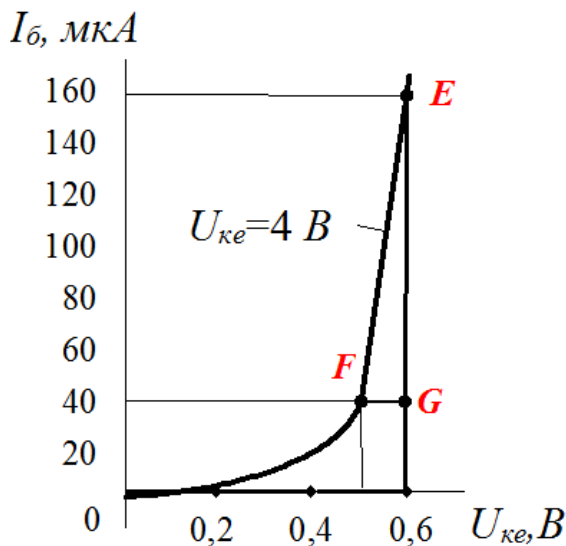
– диференційний опір колекторного переходу:

$$r_{к(e)} = \frac{\Delta U_{ке}}{\Delta I_{к}^*} = \frac{AB}{BC} = (9-4)/(2,8-2,5) \cdot 10^{-3} = 16,7 \text{ кОм};$$

– коефіцієнт передачі струму у схемі СЕ:

$$\beta = \frac{\Delta I_{к}}{I_{б3} - I_{б2}} = \frac{AD}{I_{б3} - I_{б2}} = (4,0 - 2,5)/(60 - 40) \cdot 10^{-6} = 75.$$

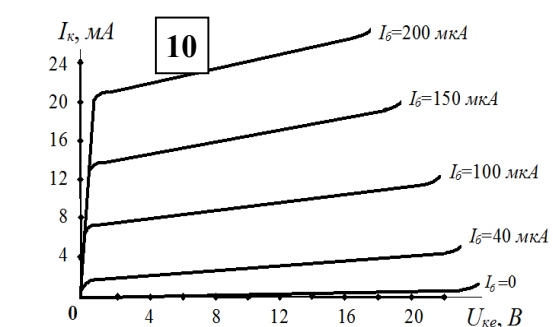
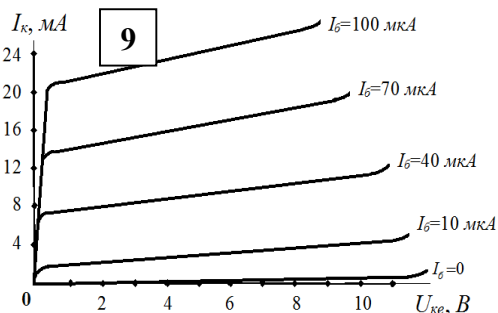
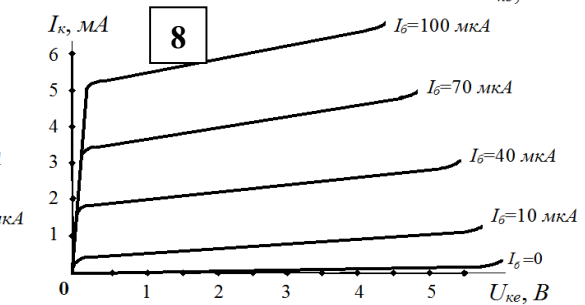
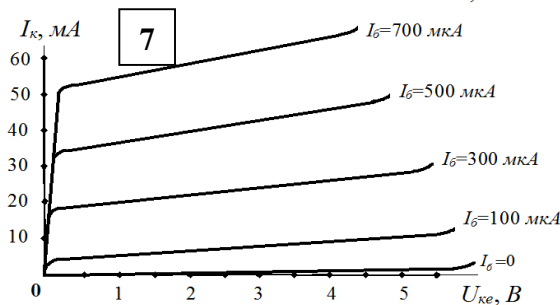
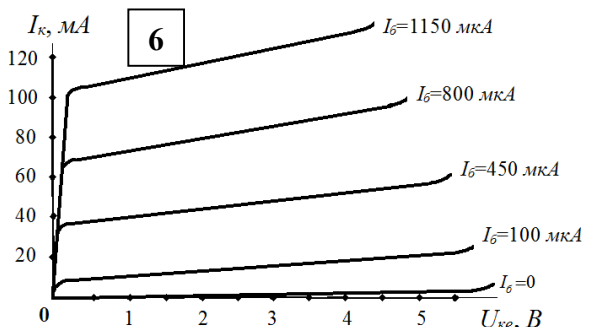
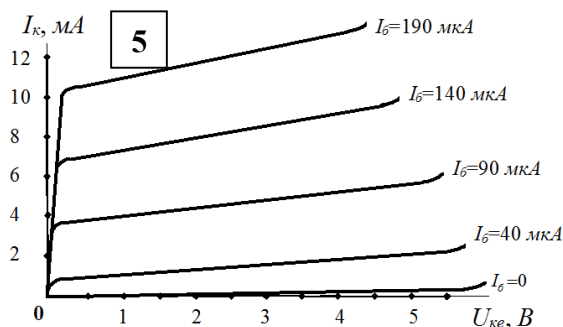
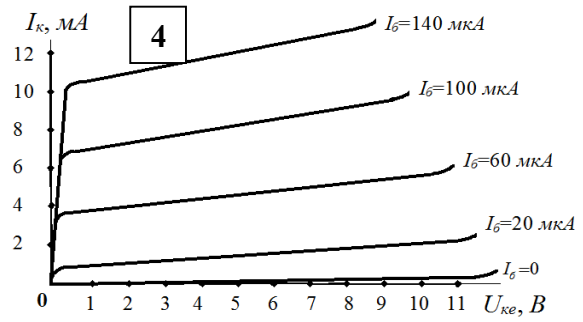
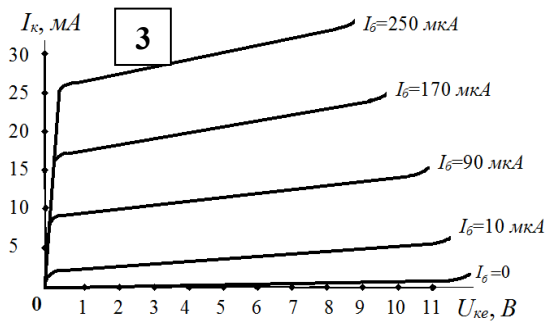
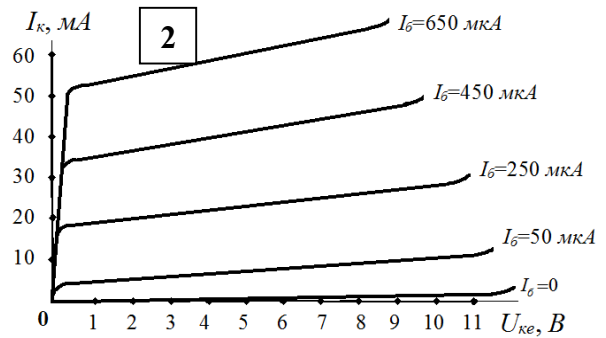
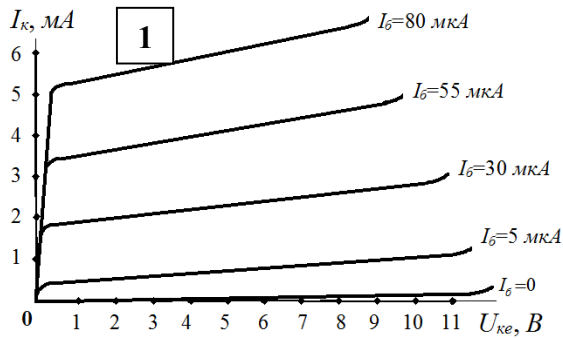
У результаті дослідження *вхідних ВАХ* біполярного транзистора *n-p-n*-типу (КТ315Г), увімкненого у схемі СЕ, отримано такі дані:

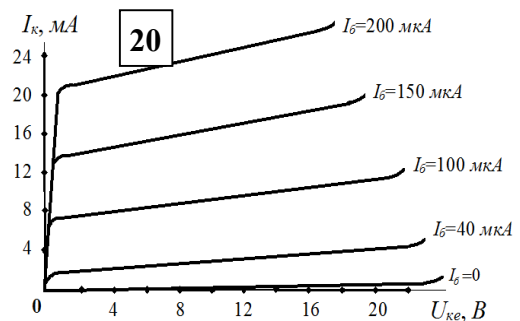
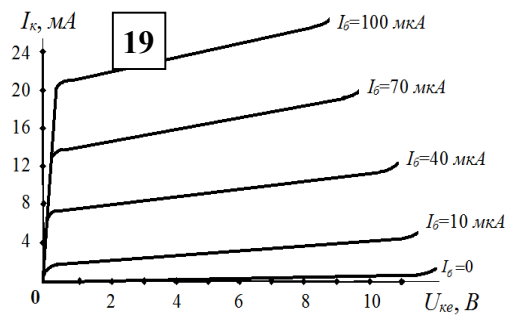
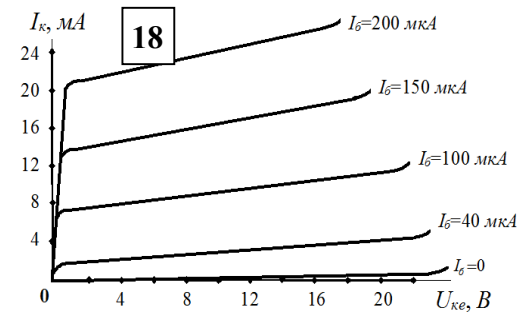
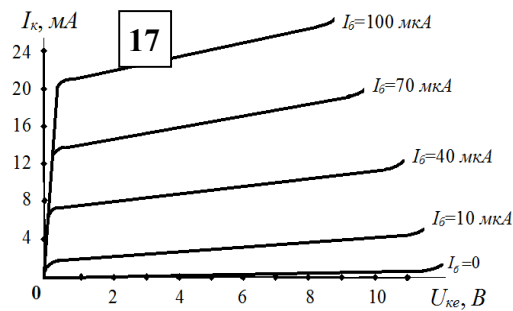
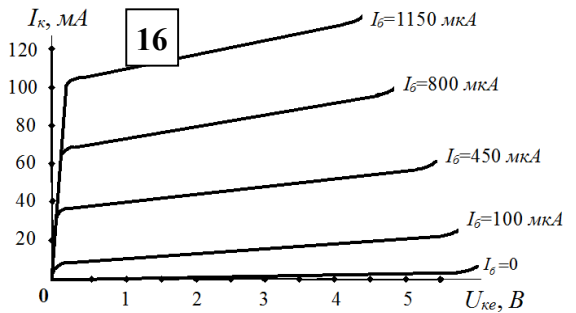
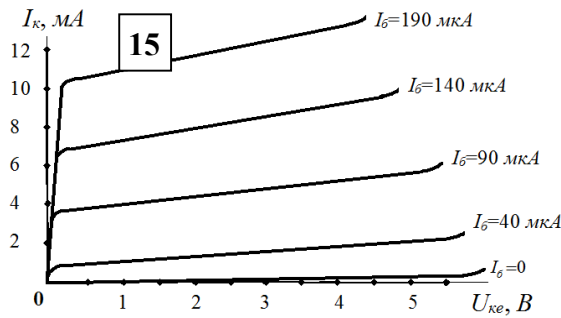
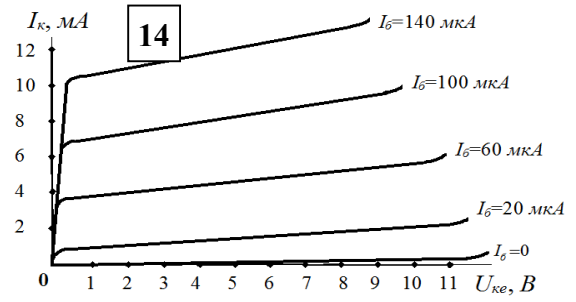
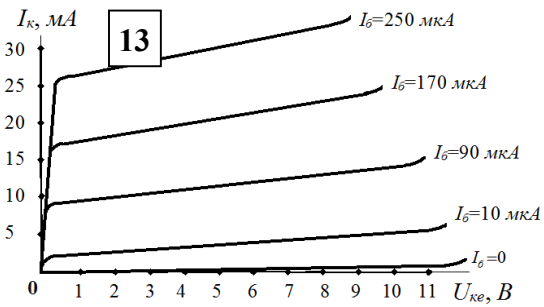
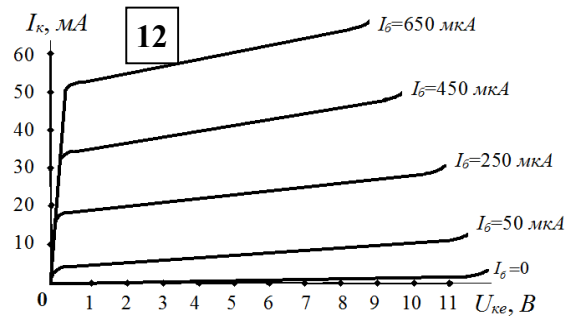
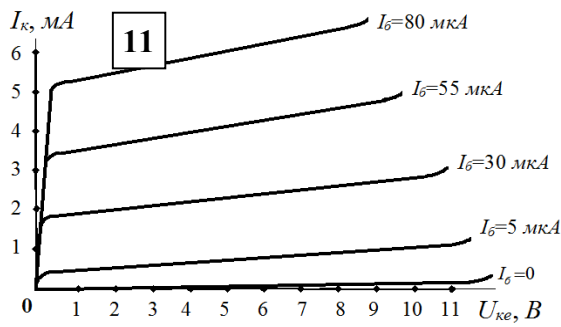


Визначаємо *вхідний опір* транзистора

$$\begin{aligned} \text{змінному струму } r_{ex} &= \frac{\Delta U_{бе}}{\Delta I_{б}} = \frac{FG}{EG} = \\ &= (0,6 - 0,5) / (160 - 40) \cdot 10^{-6} = 833 \text{ Ом}. \end{aligned}$$

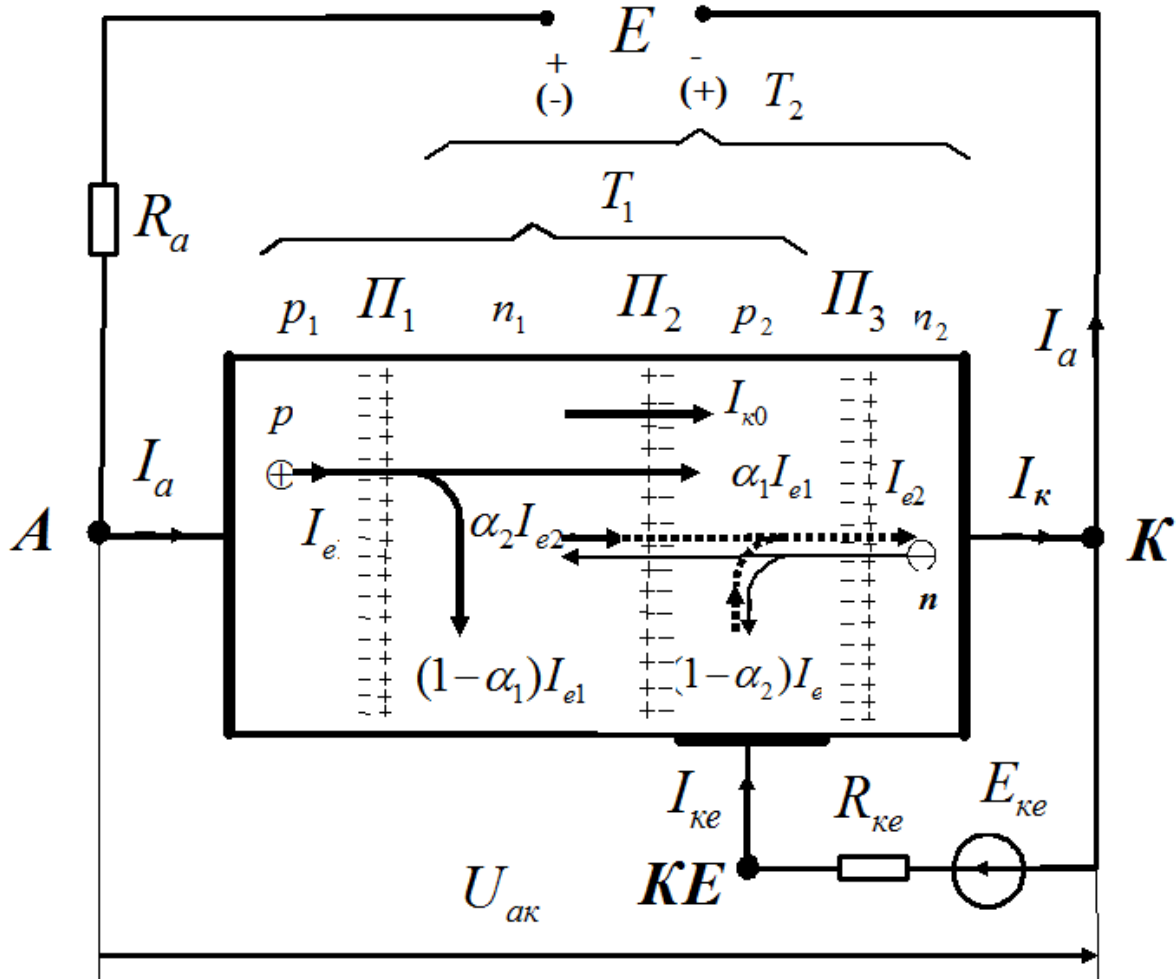
Задача (самостійно). Використовуючи задане сімейство вихідних ВАХ біполярного транзистора, увімкненого за схемою (СЕ), визначити диференціальний опір колекторного переходу $r_{K(e)}$ та коефіцієнт передачі струму β :



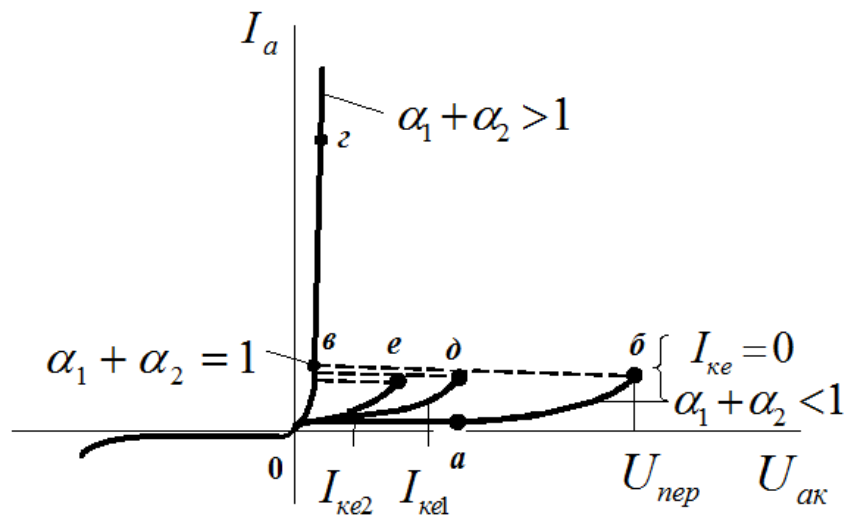


3 ДОСЛІДЖЕННЯ ТИРИСТОРА

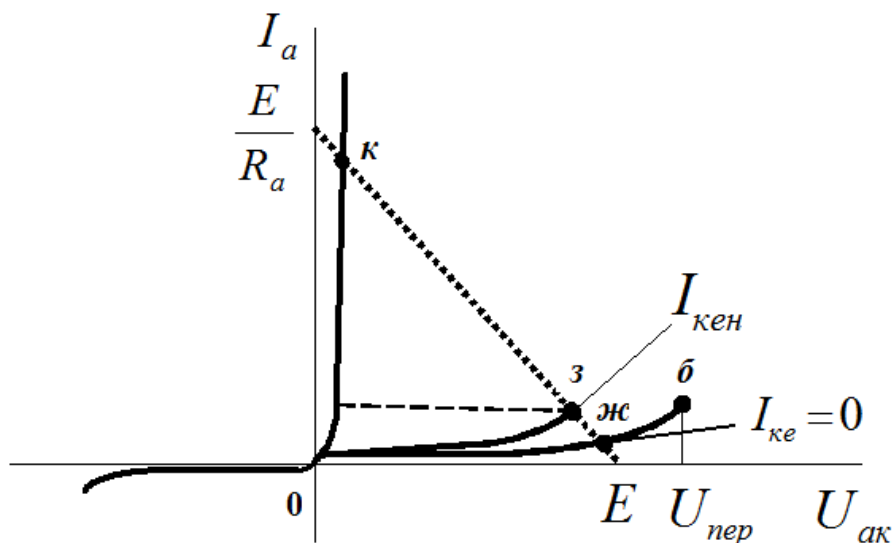
Схема підімкнення тиристора та складові струмів у ньому:



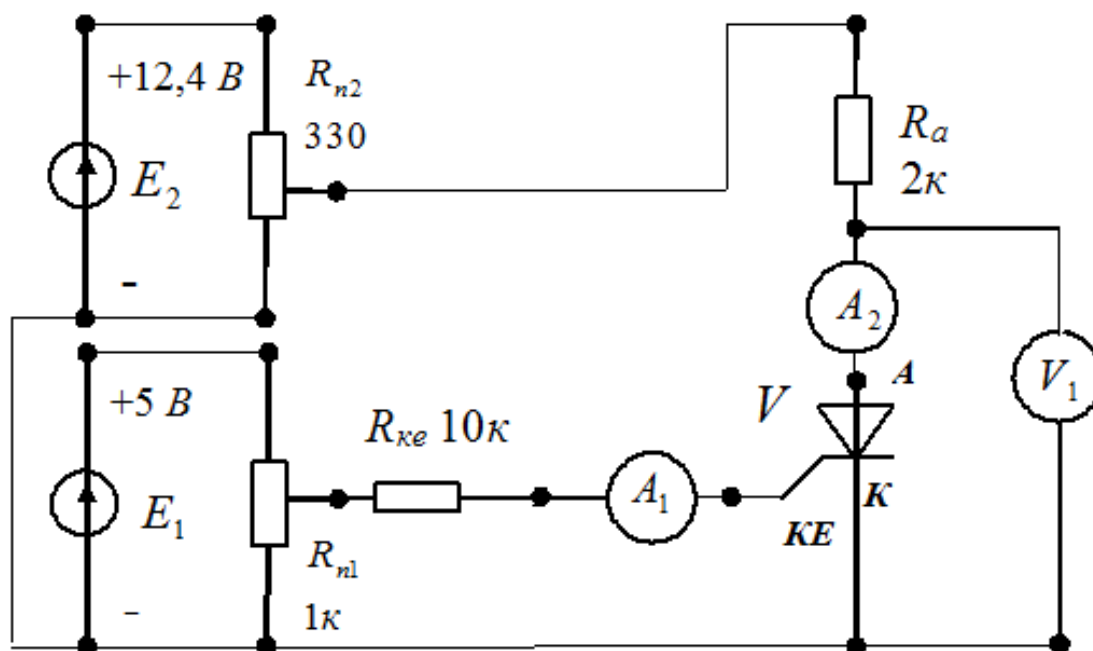
(ВАХ) тиристора:



Робота тиристора з навантаженням R_a :

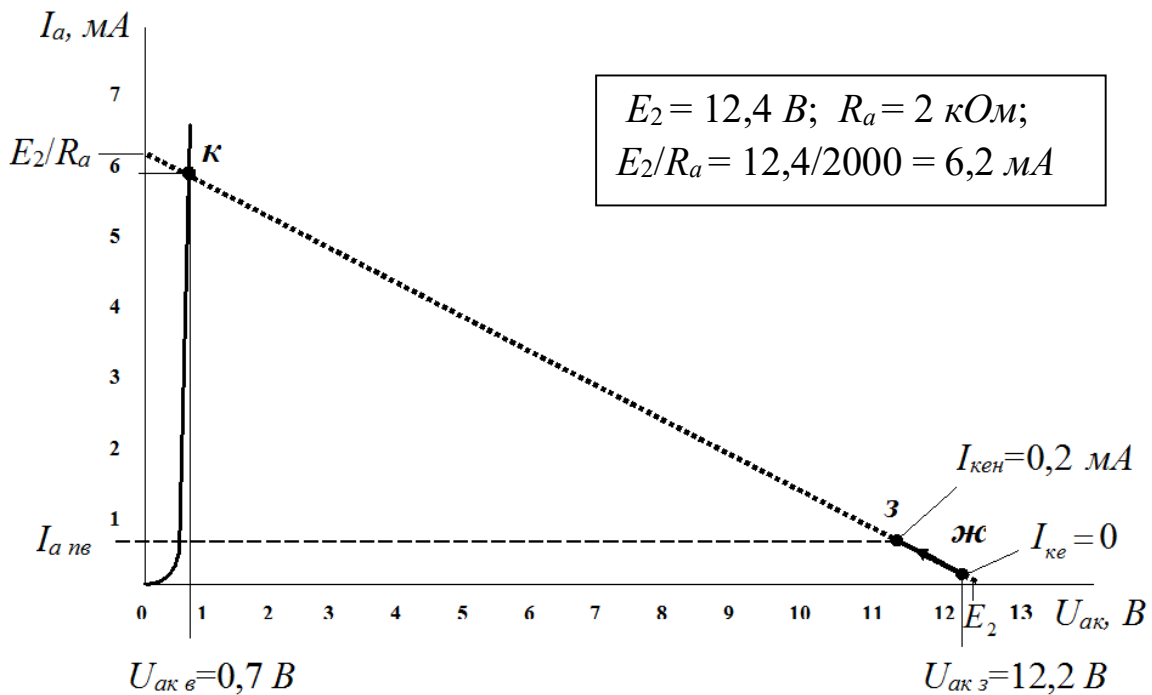


Для дослідження роботи тиристора КУ101Б з навантаженням R_a використовується схема:



Тут E_1, E_2 – джерела живлення; V – тиристор; R_a – резистор у ланцюгу анода; $R_{ке}$ – резистор у ланцюгу керуючого електрода; R_{n1}, R_{n2} – потенціометри; A_1 – амперметр для вимірювання струму в керуючому електроді; A_2 – амперметр для вимірювання струму в аноді; V_1 – вольтметр для вимірювання напруги анод-катод.

У результаті дослідження тиристора КУ101Б отримано такі дані:



Тиристор закритий (точка Ж): величина струму через тиристор $I_{a_з} = 10 \text{ мкА}$; величина опору між анодом і катодом $R_{ак_з} = U_{ак_з} / I_{a_з} = 12,2 / 10 \cdot 10^{-6} = 122 \text{ МОм}$.

Тиристор у момент відкриття (точка З): струм керуючого електроду $I_{кен} = 0,2 \text{ мА}$; струм через анод $I_{a_в} = 0,2 \text{ мА}$.

Тиристор відкритий (точка К): величина струму через тиристор $I_{a_в} = 5,9 \text{ мА}$; величина опору між анодом і катодом $R_{ак_в} = U_{ак_в} / I_{a_в} = 0,7 / 5,9 \cdot 10^{-3} = 119 \text{ Ом}$.

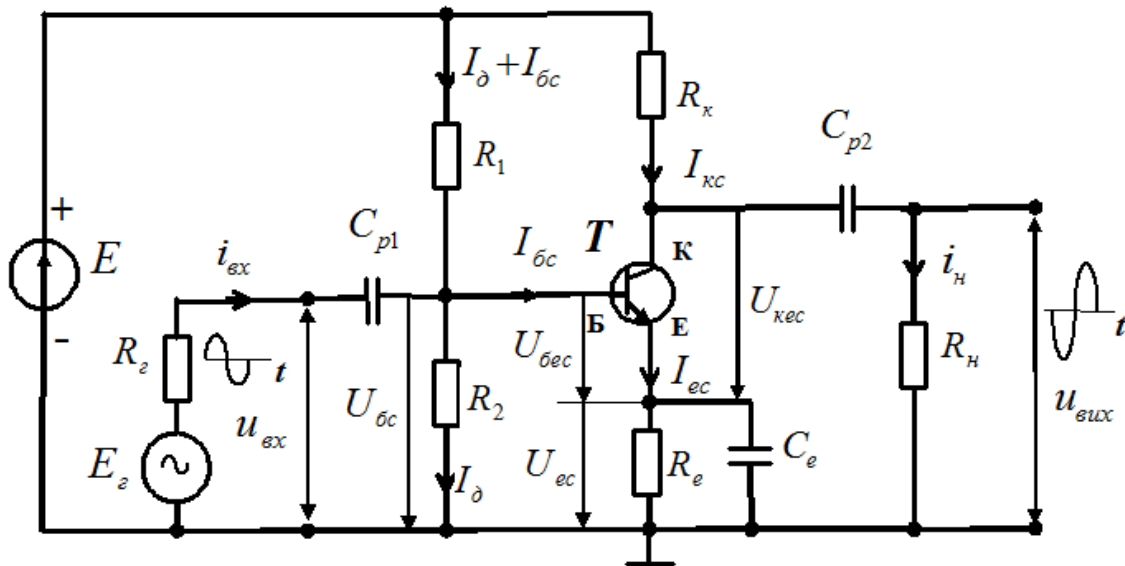
Задача для самостійного виконання:

Дані	Варіанти									
	1	2	3	4	5	6	7	8	9	10
$E, \text{ В}$	11	12	13	14	15	16	17	18	19	20
$R_a, \text{ Ом}$	1000	1000	1000	1000	1000	1000	1000	1000	1000	1000
$U_{ак_з}, \text{ В}$	10,8	11,8	12,8	13,8	14,8	15,8	16,7	17,7	18,7	19,7
$I_{a_з}, \text{ мкА}$	10	13	12	14	15	13	14	16	20	17
$U_{ак_в}, \text{ В}$	0,6	0,6	0,7	0,65	0,7	0,6	0,65	0,7	0,7	0,6

Варіанти									
11	12	13	14	15	16	17	18	19	20
21	22	23	24	25	26	27	28	29	30
1000	1000	1000	1000	1000	1000	1000	1000	1000	1000
20,7	21,7	22,7	23,7	24,6	25,6	26,6	27,6	28,6	29,6
19	21	20	22	26	24	19	27	30	25
0,65	0,65	0,7	0,7	0,6	0,7	0,75	0,65	0,75	0,6

4 ДОСЛІДЖЕННЯ ПІДСИЛЮВАЛЬНОГО КАСКАДУ НА БІПОЛЯРНОМУ ТРАНЗИСТОРІ У СХЕМІ (СЕ)

Схема підсилювального каскаду на біполярному транзисторі *n-p-n*-типу:



Параметри підсилювального каскаду (СЕ):

1. Вхідний опір каскаду СЕ $R_{\text{вх}} = R_1 \parallel R_2 \parallel r_{\text{вх}} \approx r_{\text{вх}} = r_{\text{б}} + (1 + \beta)r_{\text{е}}$,

оскільки $R_1 \parallel R_2 > r_{\text{вх}}$.

2. Опір навантаження каскаду СЕ $R_{\text{нк}} = R_{\text{к}} \parallel R_{\text{н}}$.

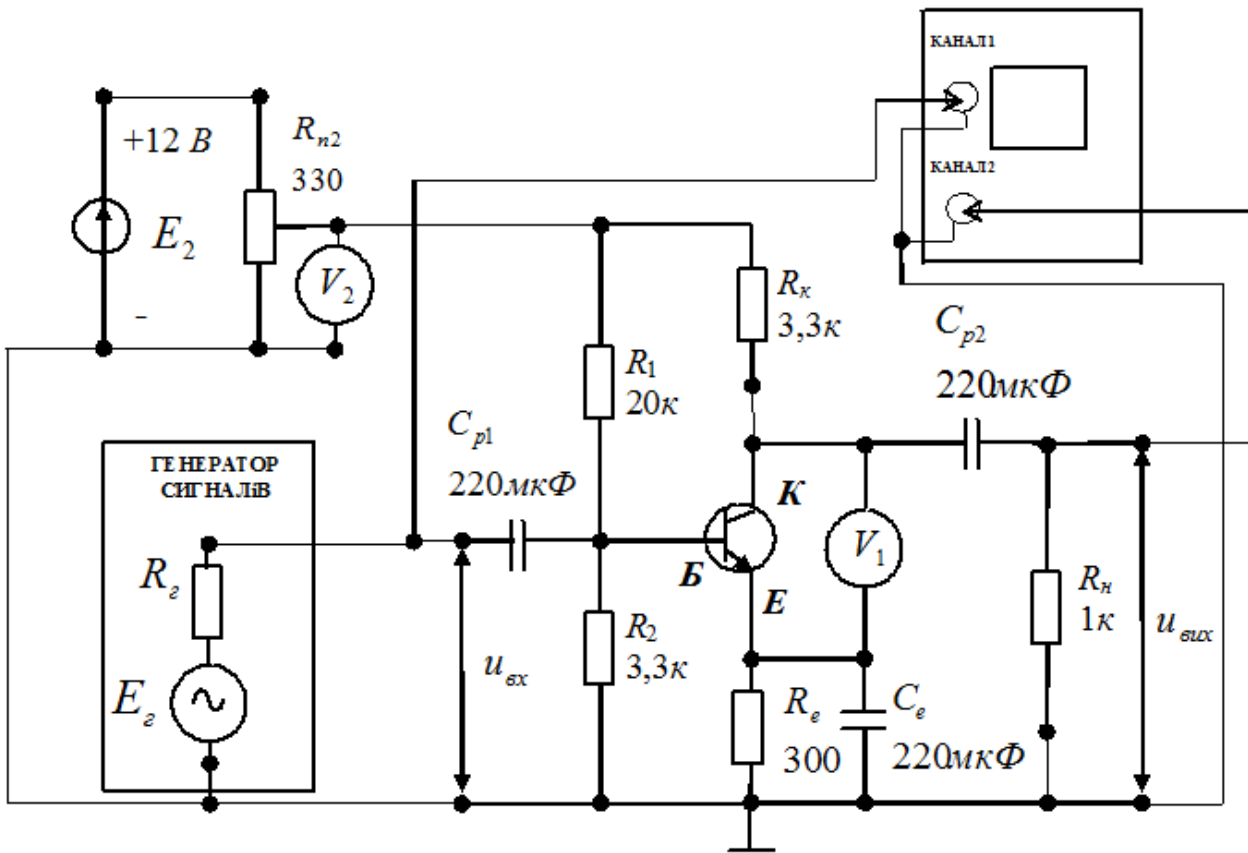
3. Вихідний опір каскаду СЕ $R_{\text{вих}} = R_{\text{к}} \parallel r_{\text{к(е)}} \approx R_{\text{к}}$, оскільки $R_{\text{к}} \ll r_{\text{к(е)}}$.

4. Коефіцієнт підсилення за струмом $K_I \approx \beta \frac{R_{\text{нк}}}{R_{\text{н}}}$.

5. Коефіцієнт підсилення за напругою $K_U \approx \beta \frac{R_{\text{нк}}}{R_2 + R_{\text{вх}}}$.

6. Коефіцієнт підсилення за потужністю $K_P = \frac{P_{\text{вих}}}{P_{\text{вх}}} = K_U K_I$.

Схема підсилювального каскаду (СЕ) на транзисторі *n-p-n*-типу (КТ315Г) для визначення його параметрів:



Тут $r_{к(е)} = 16,7 \text{ кОм}$; $r_{ex} = 0,833 \text{ кОм}$; $\beta = 75$; $R_2 = 0,6 \text{ кОм}$.

У схемі E_2 – джерело живлення; E_2 – ЕРС генератора сигналів; R_2 – внутрішній опір генератора сигналів; VT – транзистор; R_k – резистор у ланцюгу колектора; R_1, R_2 – резистори діляника напруги; R_{n2} – потенціометр; V_1, V_2 – вольтметри для вимірювання напруг база-емітер та напруги живлення відповідно; R_n – резистор навантаження; КАНАЛ1, КАНАЛ2 – вхідні канали осцилографа.

Розрахунок параметрів підсилювального каскаду СЕ:

1. Вхідний опір каскаду СЕ $R_{вх} = R_1 \parallel R_2 \parallel r_{ex} = 20 \parallel 3,3 \parallel 0,833 = 0,64 \text{ кОм}$.
2. Опір навантаження каскаду СЕ $R_{нк} = R_k \parallel R_n = 3,3 \parallel 1 = 0,77 \text{ кОм}$.
3. Вихідний опір каскаду СЕ $R_{вих} = R_k \parallel r_{к(е)} = 3,3 \parallel 16,7 = 2,76 \text{ кОм}$.
4. Коефіцієнт підсилення за струмом $K_I \approx \beta \frac{R_{нк}}{R_n} = 75 \frac{0,77}{1} = 57,7$.

5. Коефіцієнт підсилення за напругою

$$K_U \approx \beta \frac{R_{нк}}{R_2 + R_{вх}} = 75 \frac{0,77}{0,6 + 0,64} = 46,6.$$

6. Коефіцієнт підсилення за потужністю

$$K_P = \frac{P_{вих}}{P_{вх}} = K_U K_I = 46,6 \cdot 57,7 = 2688,8.$$

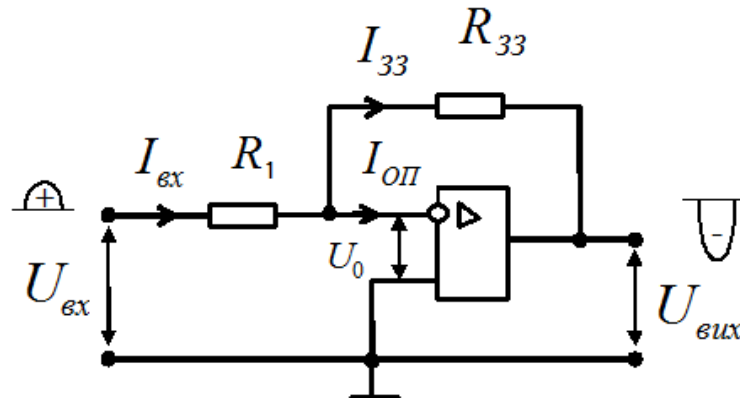
Задача для самостійного виконання. Розрахувати параметри підсилювального каскаду схеми СЕ ($R_{вх}$; $R_{нк}$; $R_{вих}$; K_I ; K_U ; K_P) з такими вихідними даними:

Дані	Варіанти									
	1	2	3	4	5	6	7	8	9	10
$r_{к(е)}, кОм$	40	22	32	21	24	33	27	30	35	36
$r_{вх}, кОм$	1,0	1,1	0,9	1,2	1,4	1,1	0,9	1,0	1,3	1,1
β	80	70	65	71	58	72	69	82	62	75
$R_2, кОм$	0,5	0,6	0,7	0,6	0,8	0,5	0,5	0,6	0,7	0,5
$R_1, кОм$	22	28	25	31	24	30	27	21	25	34
$R_2, кОм$	3,1	4,0	4,1	4,4	3,2	4,0	3,5	3,0	3,7	5,0
$R_к, кОм$	2,0	2,2	3,0	2,3	2,7	2,5	2,7	3,1	2,1	2,8
$R_н, кОм$	1,0	1,1	1,3	1,4	1,6	1,7	1,2	2,0	1,0	1,7

Варіанти									
11	12	13	14	15	16	17	18	19	20
27	34	21	38	20	37	29	26	39	28
1,2	1,0	1,1	1,1	1,3	1,4	0,9	1,3	1,2	1,0
74	72	68	85	71	66	70	77	73	65
0,6	0,7	0,5	0,6	0,7	0,6	0,0,5	0,6	0,7	0,8
33	23	32	29	35	36	22	26	32	27
4,3	3,7	4,6	3,9	5,0	5,1	3,5	3,6	4,1	3,9
2,5	2,6	3,1	2,8	2,9	3,2	2,4	3,0	2,0	3,1
1,2	1,6	1,8	1,5	1,9	2,0	1,5	1,8	1,1	1,9

5 ДОСЛІДЖЕННЯ ПІДСИЛЮВАЛЬНИХ КАСКАДІВ НА ОПЕРАЦІЙНИХ ПІДСИЛЮВАЧАХ (ОП)

Інвертуючий підсилювач

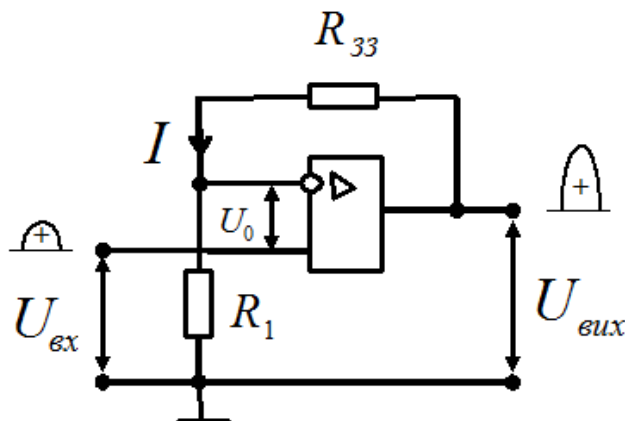


Оскільки $K_{U_{OP}} \rightarrow \infty$ та $R_{вх} \rightarrow \infty$, то $U_0 = 0$ та $I_{OP} = 0$. Тоді

$I_{вх} = I_{33}$, або $\frac{U_{вх}}{R_1} = -\frac{U_{вих}}{R_{33}}$. Звідси коефіцієнт підсилення за напругою дорівнює

$$K_{U_i} = \frac{U_{вих}}{U_{вх}} = -\frac{R_{33}}{R_1}.$$

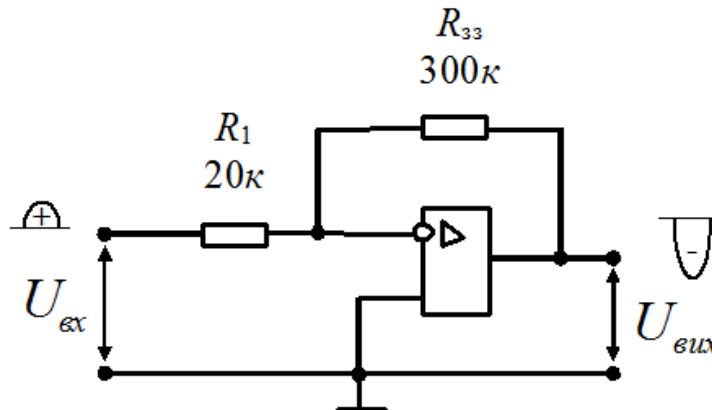
Неінвертуючий підсилювач



Оскільки $U_0 = 0$, вхідна напруга $U_{вх} = R_1 I$, а вихідна напруга $U_{вих} = (R_{33} + R_1) I$, звідки коефіцієнт підсилення за напругою дорівнює

$$K_{U_n} = \frac{U_{вих}}{U_{вх}} = \frac{R_1 + R_{33}}{R_1} = 1 + \frac{R_{33}}{R_1}.$$

Задача. Побудувати інвертуючий підсилювач на ОП з коефіцієнтом підсилення за напругою $K_{U_i} = 15$.

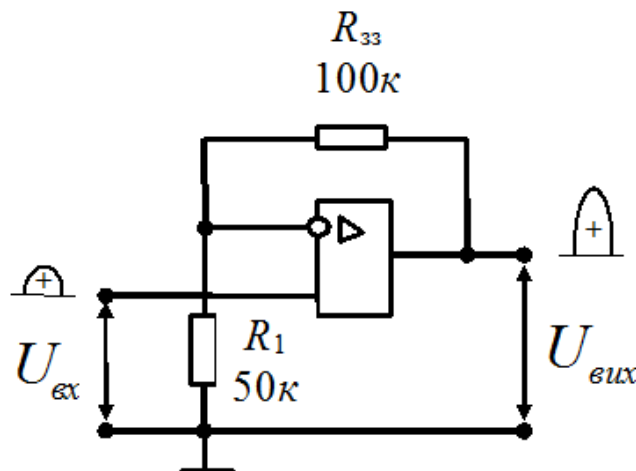


Розв'язання. Коефіцієнт підсилення за напругою дорівнює $K_{U_i} = \frac{R_{33}}{R_1} = 15$.

Задаємося величиною резистора $R_{33} = 300 \text{ кОм}$, тоді

$$R_1 = \frac{R_{33}}{K_{U_i}} = \frac{300}{15} = 20 \text{ кОм.}$$

Задача. Побудувати неінвертуючий підсилювач на ОП з коефіцієнтом підсилення за напругою $K_{U_n} = 3$.



Розв'язання. Коефіцієнт підсилення за напругою дорівнює $K_{U_n} = 1 + \frac{R_{33}}{R_1} = 3$. Задаємося величиною резистора $R_{33} = 100 \text{ кОм}$, тоді

$$R_1 = \frac{R_{33}}{2} = \frac{100}{2} = 50 \text{ кОм.}$$

Задача (самостійно). Побудувати інвертуючий підсилювач на ОП із заданим коефіцієнтом підсилення за напругою:

	Варіанти									
	1	2	3	4	5	6	7	8	9	10
K_{U_i}	10	15	20	25	30	35	40	45	50	12

Варіанти									
11	12	13	14	15	16	17	18	19	20
23	28	33	37	42	48	53	57	60	65

Задача (самостійно). Побудувати неінвертуючий підсилювач на ОП із заданим коефіцієнтом підсилення за напругою:

	Варіанти									
	1	2	3	4	5	6	7	8	9	10
K_{U_n}	45	41	14	17	34	43	62	51	19	16

Варіанти									
11	12	13	14	15	16	17	18	19	20
52	55	61	26	54	47	21	24	39	36

6 КОМПАРАТОР. ТРИГЕР ШМІТТА

Компаратор

Компаратор (пороговий елемент) здійснює порівняння вхідної напруги $u_{вх}$ з опорною напругою U_{on} .

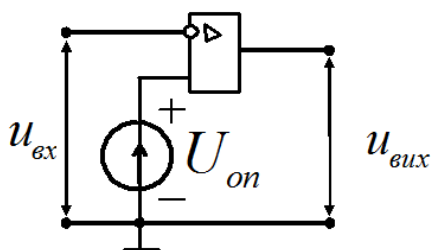
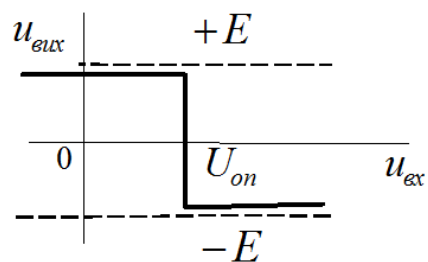


Схема компаратора



Передавальна характеристика

При $U_{on} = 0$ компаратор здійснює фіксацію моменту переходу вхідної напруги через нуль, тому його називають *нуль-органом*.

Тригер Шмітта

У тригері Шмітта операційний підсилювач охоплений позитивним зворотним зв'язком по неінвертуючому входу дільником напруги R_1, R_2 . Його передавальна характеристика є з гістерезисом.

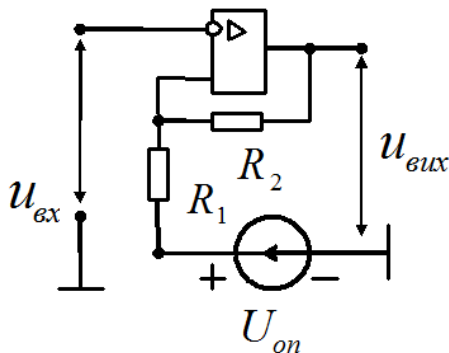
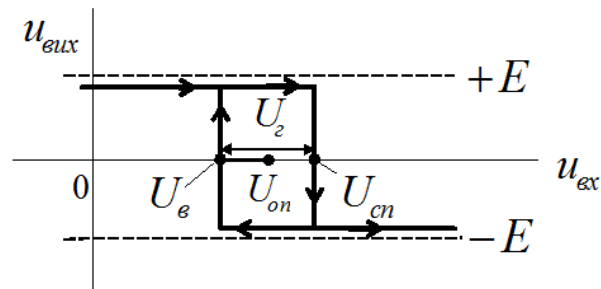


Схема тригера Шмітта



Передавальна характеристика

Величина порога спрацювання $U_{cn} \approx U_{on} + \frac{E - U_{on}}{R_1 + R_2} R_1$.

Величина порога відпускання $U_{в} \approx U_{on} - \frac{|-E| + U_{on}}{R_1 + R_2} R_1$.

Ширина петлі гістерезису $U_{г} = U_{cn} - U_{в} \approx \frac{R_1}{R_1 + R_2} [E + |-E|]$.

Задача. Розрахувати пороги спрацювання та відпускання, а також ширину петлі гістерезису тригера Шмітта з такими параметрами:

$$E = 12,4 \text{ В}; U_{on} = 0,5 \text{ В}; R_1 = 51 \text{ кОм}; R_2 = 1 \text{ кОм}.$$

Зобразити передавальну характеристику.

Розв'язання. Величина порога спрацювання:

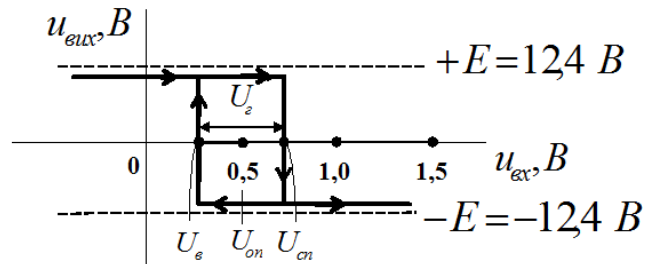
$$U_{cn} \approx U_{on} + \frac{E - U_{on}}{R_1 + R_2} R_1 = 0,5 + \frac{12,4 - 0,5}{51000 + 1000} 1000 = 0,5 + 0,23 = 0,73 \text{ В}.$$

Величина порога відпускання:

$$U_{в} \approx U_{on} - \frac{|-E| + U_{on}}{R_1 + R_2} R_1 = 0,5 - \frac{12,4 + 0,5}{51000 + 1000} 1000 = 0,5 - 0,25 = 0,25 \text{ В}.$$

Величина ширини петлі гістерезису: $U_z = U_{cn} - U_g = 0,73 - 0,25 = 0,28V$.

Передавальна характеристика тригера Шмітта:



Задача (самостійно). Розрахувати пороги спрацювання та відпускання, а також ширину петлі гістерезису тригера Шмітта, зобразити його передавальну характеристику з такими заданими параметрами:

	Варіанти									
	1	2	3	4	5	6	7	8	9	10
E, B	5,0	5,5	6,0	6,5	7,0	7,5	8,0	8,5	9,0	9,5
$U_{оп}, B$	0,5	0,5	0,5	0,5	0,5	0,75	0,75	0,75	0,75	0,75
$R_1, кОм$	1,0	1,0	1,0	1,0	1,0	1,0	1,0	1,0	1,0	1,0
$R_2, кОм$	10	11	13	14	15	20	22	24	26	30

Варіанти									
11	12	13	14	15	16	17	18	19	20
10,0	10,5	11,0	11,5	12,0	12,5	13,0	13,5	14,0	14,5
0,9	0,9	0,9	0,9	0,9	1,2	1,2	1,2	1,2	1,2
1,0	1,0	1,0	1,0	1,0	1,0	1,0	1,0	1,0	1,0
32	34	36	38	40	42	44	46	48	50

7 СИСТЕМИ ЧИСЛЕННЯ

Система числення – це сукупність цифр і правил для записування чисел. Системи числення поділяються на позиційні та непозиційні. Число в *позиційній системі* можна представити у вигляді полінома

$$A_q = a_n q^n + a_{n-1} q^{n-1} + \dots + a_0 q^0 + a_{-1} q^{-1} + \dots + a_{-m} q^{-m},$$

де q – основа системи числення; a_i – цифра в позиції; $0, 1, 2, \dots, n$ – номери розрядів цілої частини; $-1, -2, \dots, -m$ – номери розрядів дробової частини числа.

У залежності від основи q позиційні системи поділяються на *десяткову (DEC)* з основою $q = 10$ (цифри в позиції числа $0, 1, 2, 3, 4, 5, 6, 7, 8, 9$), *двійкову (BIN)* з основою $q = 2$ (цифри в позиції числа $0, 1$), *вісімкову (OCT)* з основою $q = 8$ (цифри в позиції числа $0, 1, 2, 3, 4, 5, 6, 7$), *шістнадцяткову (HEX)* з основою $q = 16$ (цифри та букви в позиції числа $0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E, F$).

Для переведення цілого числа *десятькової* системи в іншу необхідно поділити це число на нову основу за правилом: одержана перша остача є значенням молодшого розряду в новій системі, а першу частку необхідно знову ділити. Це ділення продовжується до появи неподільної частки. Результат записують у порядку, оберненому одержанню остач, причому неподільна частка є старшим розрядом. Приклад переведення десяткового числа 95D у системи:

двійкову	вісімкову	шістнадцяткову
$ \begin{array}{r} 95 \overline{)2} \\ \underline{8} 47 \overline{)2} \\ \underline{15} 23 \overline{)2} \\ \underline{14} 7 2 11 \overline{)2} \\ \underline{1} 6 3 10 5 \overline{)2} \\ \underline{1} 1 2 1 4 2 \overline{)2} \\ 1 2 1 0 \\ \hline 95D = 1011111B \end{array} $	$ \begin{array}{r} 95 \overline{)8} \\ \underline{8} 11 \overline{)8} \\ \underline{15} 8 1 \\ \underline{8} 3 \\ \underline{7} \\ \hline 95D = 137Q \end{array} $ <p style="text-align: center;">OCT ↔ BIN:</p> $ \begin{array}{ccc} 1 & 3 & 7Q \\ 001 & 011 & 111B \\ \text{(тріади)} & & \end{array} $	$ \begin{array}{r} 95 \overline{)16} \\ \underline{80} 5 \\ \underline{15} \\ \hline 95D = 5FH \end{array} $ <p style="text-align: center;">HEX ↔ BIN:</p> $ \begin{array}{ccc} 5 & FH \\ 0101 & 1111B \\ \text{(тетради)} & & \end{array} $

Для переведення цілого двійкового, вісімкового та шістнадцяткового числа у десяткове число необхідно послідовно множити проміжні результати на відповідну основу з додаванням значення наступного розряду. Цей процес

продовжується до опрацювання всіх розрядів. Починати множення необхідно зі старшого розряду.

Приклад переведення двійкового 1011111B, вісімкового 137Q та шістнадцяткового 5FH чисел у десяткову систему числення:

1011111B	137Q	5FH
1 - ст. розряд	1 - ст. розряд	5 - ст. розряд
$1 \times 2^0 = 2$	$1 \times 8^3 = 11$	$5 \times 16^1 = 95D$
$2 \times 2^1 = 5$	$11 \times 8^0 = 95D$	
$5 \times 2^2 = 11$		
$11 \times 2^3 = 23$		
$23 \times 2^4 = 47$		
$47 \times 2^5 = 95D$		
	<i>Двійково-десяткова система:</i>	
	9 5 D	
	1001 0101 B-D	

Задача (самостійно). Перевести задане десяткове число у двійкову, вісімкову та шістнадцяткову системи:

	Варіанти									
	1	2	3	4	5	6	7	8	9	10
<i>D</i>	100	105	110	115	120	125	130	135	140	145

Варіанти									
11	12	13	14	15	16	17	18	19	20
150	155	160	165	170	175	180	185	190	195

Задача (самостійно). Перевести задані двійкове, вісімкове та шістнадцяткове числа у десяткову систему числення.

	Варіанти									
	1	2	3	4	5	6	7	8	9	10
<i>B</i>	100001	10001	10011	10010	10110	100110	100111	101000	10100	101010
<i>Q</i>	100	105	124	131	153	147	126	116	135	141
<i>H</i>	2E	3F	4D	5C	6A	3D	52	48	37	2F

Варіанти									
11	12	13	14	15	16	17	18	19	20
101011	101100	101101	101110	101111	110000	110001	110010	110011	110100
150	140	103	117	130	160	165	120	122	143
3A	4B	61	29	5B	40	25	6C	5F	2B

8 ЛОГІЧНІ ОПЕРАЦІЇ. ЛОГІЧНІ ЕЛЕМЕНТИ.

ЗАКОНИ АЛГЕБРИ ЛОГІКИ

Математичним апаратом аналізу та синтезу цифрових систем слугує алгебра логіки (булева алгебра), яка вивчає зв'язок між логічними змінними, що приймають тільки значення 0 та 1.

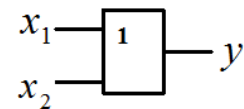
Базовими логічними операціями є логічне додавання (диз'юнкція) АБО, логічне множення (кон'юнкція) І, логічне заперечення (інверсія) НЕ.

Логічне додавання АБО: $y = x_1 + x_2 = x_1 \vee x_2 = \begin{cases} 0 & \text{при } x_1 = x_2 = 0 \\ 1 & \text{в інших випадках} \end{cases}$

У вигляді таблиці відповідності:

x_1	x_2	y
0	0	0
0	1	1
1	0	1
1	1	1

Позначення логічного елемента (диз'юнктора), який реалізує логічну операцію АБО:



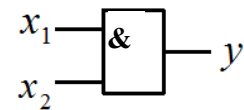
Логічна операція АБО читається так: x_1 або x_2 .

Логічне множення І: $y = x_1 \cdot x_2 = x_1 \wedge x_2 = x_1 x_2 = \begin{cases} 1 & \text{при } x_1 = x_2 = 1 \\ 0 & \text{в інших випадках} \end{cases}$

У вигляді таблиці відповідності:

x_1	x_2	y
0	0	0
0	1	0
1	0	0
1	1	1

Позначення логічного елемента (кон'юнктора), який реалізує логічну операцію І:



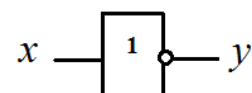
Логічна операція І читається так: x_1 і x_2 .

Логічне заперечення НЕ: $y = \bar{x} = \begin{cases} 1 & \text{при } x = 0 \\ 0 & \text{при } x = 1 \end{cases}$

У вигляді таблиці відповідності:

x	y
0	1
1	0

Позначення логічного елемента (інвертора), який реалізує логічну операцію НЕ:



Логічна операція НЕ читається так: не x .

Аксиоми та закони алгебри логіки

Аксиоми: $0+0=0$; $0\cdot 1=0$; $1\cdot 0=0$; $1+0=1$; $0+1=1$; $1\cdot 1=1$; $1+1=1$; $x\cdot 0=0$;
 $0\cdot x=0$; $x+0=x$; $0+x=x$; $x\cdot 1=x$; $1\cdot x=x$; $x+1=1$; $1+x=1$.

Закони: 1. Закон тавтології (повторення):

$$x+x=x; \quad x\cdot x=x.$$

2. Переставний (комутативний) закон:

$$x_1+x_2=x_2+x_1; \quad x_1\cdot x_2=x_2\cdot x_1.$$

3. Сполучний (асоціативний) закон:

$$(x_1+x_2)+x_3=x_1+(x_2+x_3)=x_1+x_2+x_3; \quad (x_1\cdot x_2)\cdot x_3=x_1\cdot(x_2\cdot x_3)=x_1\cdot x_2\cdot x_3.$$

4. Розподільний (дистрибутивний) закон:

$$x_1\cdot(x_2+x_3)=x_1\cdot x_2+x_1\cdot x_3; \quad x_1+x_2\cdot x_3=(x_1+x_2)\cdot(x_1+x_3).$$

5. Закон поглинання:

$$x_1+x_1\cdot x_2=x_1; \quad x_1\cdot(x_1+x_2)=x_1.$$

6. Закон склеювання:

$$x+\bar{x}=1; \quad x\cdot\bar{x}=0.$$

7. Закон подвійного заперечення:

$$\bar{\bar{x}}=x.$$

8. Закон деортогоналізації:

$$x_1+\bar{x}_1\cdot x_2=x_1+x_2; \quad x_1\cdot(\bar{x}_1+x_2)=x_1\cdot x_2.$$

9. Закон заперечення (правило де Моргана):

$$\overline{x_1+x_2}=\bar{x}_1\cdot\bar{x}_2; \quad \bar{x}_1+\bar{x}_2=\overline{x_1\cdot x_2}.$$

10. Закон про додатковий член:

$$x_1\cdot x_2+\bar{x}_1\cdot x_3=x_1\cdot x_2+\bar{x}_1\cdot x_3+x_2\cdot x_3.$$

Зазначені закони використовуються для мінімізації логічних функцій.

Додаткові основні логічні операції

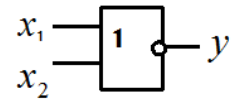
Інверсія логічного додавання АБО-НЕ (стрілка Пірса):

$$y=x_1\downarrow x_2=\overline{x_1+x_2}=\overline{x_1}\cdot\overline{x_2}=\bar{x}_1\cdot\bar{x}_2.$$

У вигляді таблиці відповідності:

x_1	x_2	y
0	0	1
0	1	0
1	0	0
1	1	0

Позначення логічного елемента, який реалізує логічну операцію АБО-НЕ:



Логічна операція АБО-НЕ читається так: ні x_1 , ні x_2 .

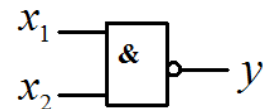
Інверсія логічного множення І-НЕ (штрих Шеффера):

$$y = x_1 | x_2 = \overline{x_1 \cdot x_2} = \overline{x_1} \wedge \overline{x_2} = \overline{x_1 x_2} = \overline{x_1} + \overline{x_2}.$$

У вигляді таблиці відповідності:

x_1	x_2	y
0	0	1
0	1	1
1	0	1
1	1	0

Позначення логічного елемента, який реалізує логічну операцію І-НЕ:



Логічна операція І-НЕ читається так: не x_1 , або не x_2 .

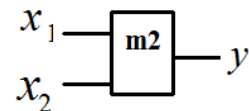
СУМА ЗА МОДУЛЕМ 2 (що виключає АБО; нерівнозначність):

$$y = x_1 \oplus x_2 = (x_1 \vee x_2) \cdot \overline{x_1 \cdot x_2} = x_1 \cdot \overline{x_2} \vee \overline{x_1} \cdot x_2.$$

У вигляді таблиці відповідності:

x_1	x_2	y
0	0	0
0	1	1
1	0	1
1	1	0

Позначення логічного елемента, який реалізує логічну операцію СУМА ЗА МОДУЛЕМ 2:



Логічна операція СУМА ЗА МОДУЛЕМ 2 читається так: або x_1 , або x_2 .

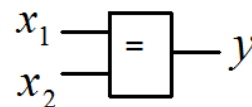
ЕКВІВАЛЕНЦІЯ (рівнозначність; ІНВЕРСІЯ СУМИ ЗА МОДУЛЕМ 2; логічна операція порівняння; логічний компаратор):

$$y = x_1 \sim x_2 = \overline{x_1 \oplus x_2} = x_1 \cdot x_2 \vee \overline{x_1} \cdot \overline{x_2}.$$

У вигляді таблиці відповідності:

x_1	x_2	y
0	0	1
0	1	0
1	0	0
1	1	1

Позначення логічного елемента, який реалізує логічну операцію ЕКВІВАЛЕНЦІЯ:



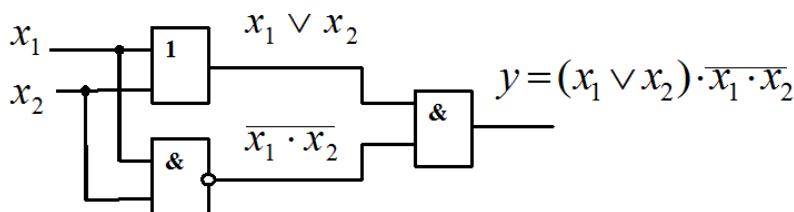
Логічна операція ЕКВІВАЛЕНЦІЯ читається так: x_1 як x_2 .

Задача. Реалізувати логічну операцію СУМА ЗА МОДУЛЕМ 2 на логічних елементах:

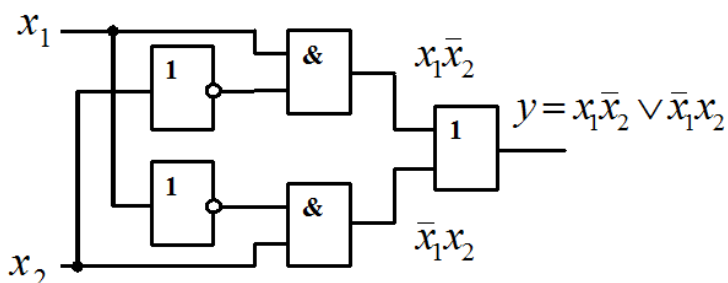
Розв'язання.

$$y = x_1 \oplus x_2 = (x_1 \vee x_2) \cdot \overline{x_1 \cdot x_2} = x_1 \cdot \overline{x_2} \vee \overline{x_1} \cdot x_2$$

Варіант 1:



Варіант 2:

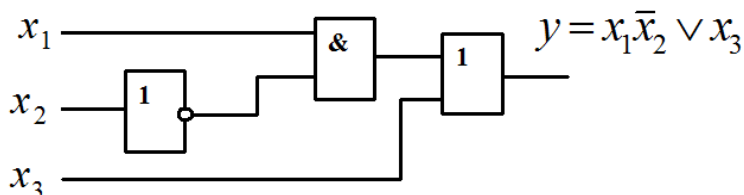


Задача. Мінімізувати логічну функцію $y = x_1 \overline{x_2} \vee \overline{x_1} x_3 \vee x_1 x_3$ та побудувати відповідну схему на логічних елементах.

Розв'язання. На підставі 6-го закону алгебри логіки запишемо:

$$y = x_1 \overline{x_2} \vee \overline{x_1} x_3 \vee x_1 x_3 = x_1 \overline{x_2} \vee x_3 (\overline{x_1} \vee x_1) = x_1 \overline{x_2} \vee x_3.$$

Схема на логічних елементах, яка реалізує отриману логічну функцію:



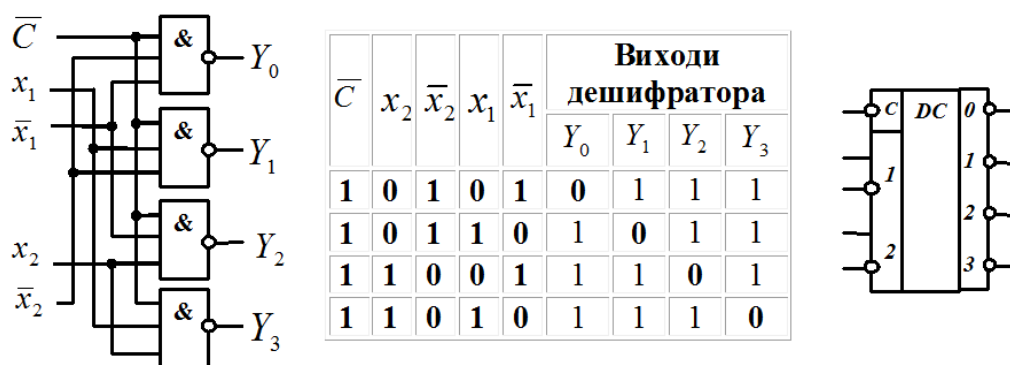
Задача (самостійно). Мінімізувати задану логічну функцію та побудувати відповідну логічну схему.

Варіанти		
1	2	3
$y = x_1\bar{x}_2 \vee \bar{x}_1x_3 \vee x_1x_3$	$y = x_1x_2 \vee x_2\bar{x}_3 \vee x_2x_3$	$y = x_1\bar{x}_3 \vee x_1 \vee \bar{x}_1x_2$
4	5	6
$y = \overline{x_1\bar{x}_2 \vee \bar{x}_1x_3 \vee x_1x_3}$	$y = \overline{x_1x_2 \vee x_2\bar{x}_3 \vee x_2x_3}$	$y = \overline{x_1\bar{x}_3 \vee x_1 \vee \bar{x}_1x_2}$
7	8	9
$y = x_1x_2 \vee \bar{x}_1x_2 \vee \bar{x}_2x_3$	$y = x_1\bar{x}_2 \vee \bar{x}_1\bar{x}_2 \vee x_1x_3$	$y = x_1x_2 \vee \bar{x}_1x_3 \vee x_1$
10	11	12
$y = \overline{x_1x_2 \vee \bar{x}_1x_2 \vee \bar{x}_2x_3}$	$y = \overline{x_1\bar{x}_2 \vee \bar{x}_1\bar{x}_2 \vee x_1x_3}$	$y = \overline{x_1x_2 \vee \bar{x}_1x_3 \vee x_1}$
13	14	15
$y = \overline{\overline{x_1\bar{x}_2 \vee \bar{x}_2x_3 \vee \bar{x}_2\bar{x}_3}}$	$y = \bar{x}_1x_3 \vee x_1x_2 \vee \bar{x}_1x_2$	$y = x_1\bar{x}_2 \vee \bar{x}_1\bar{x}_2 \vee x_3$
16	17	18
$y = x_1\bar{x}_2 \vee \overline{\bar{x}_2x_3 \vee \bar{x}_2\bar{x}_3}$	$y = \overline{\bar{x}_1x_3 \vee x_1x_2 \vee \bar{x}_1x_2}$	$y = \overline{x_1\bar{x}_2 \vee \bar{x}_1\bar{x}_2 \vee x_3}$
19	20	21
$y = \bar{x}_1x_2 \vee \bar{x}_2x_3 \vee \bar{x}_2\bar{x}_3$	$y = \overline{\bar{x}_1x_2 \vee \bar{x}_2x_3 \vee \bar{x}_2\bar{x}_3}$	$y = \bar{x}_1x_2 \vee \overline{\bar{x}_2x_3 \vee \bar{x}_2\bar{x}_3}$

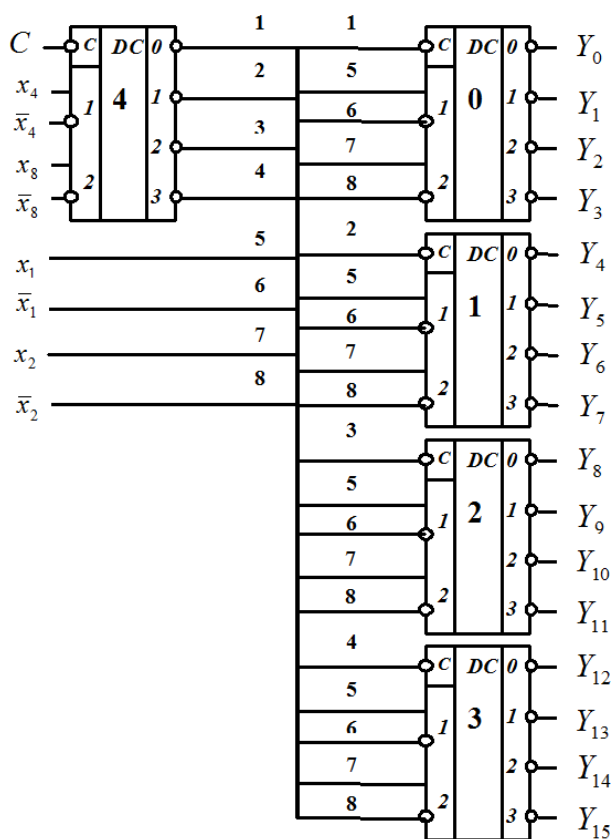
9 ДЕШИФРАТОРИ

Дешифратор – електронна схема, в якій кожній з комбінацій вхідних сигналів відповідає сигнал тільки на одному обраному виході. Дешифратор призначений для переведення двійкового коду в унітарний код.

На рисунку зображено структурну схему *двохрозрядного синхронного дешифратора* на чотири виходи, таблицю функціонування та позначення дешифратора.



Структурна схема *чотирьохрозрядного двохкаскадного дешифратора* та таблиця його функціонування наводяться нижче.



Виходи першого каскаду $DC4$ з'єднані зі входами синхронізації дешифраторів другого каскаду $DC0, DC1, DC2, DC3$. У $DC4$ в залежності від комбінації двох старших розрядів x_8, x_4 вибирається один відповідний вихід. З нього сигнал «0» поступає на C -вхід лише одного дешифратора другого каскаду та дозволяє його роботу. Відповідний дешифратор другого каскаду по сигналах двох молодших розрядів x_2, x_1 здійснює вибір одного з $Y_0 \dots Y_{15}$ виходів дешифратора.

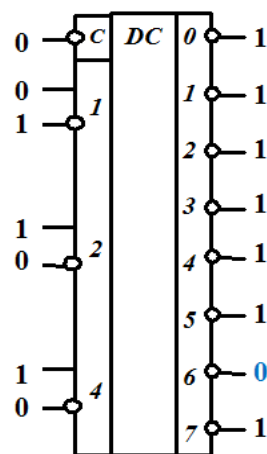
Наприклад, комбінації вхідних сигналів $x_8 \bar{x}_4 x_2 \bar{x}_1 = 1010$ відповідає вихід Y_{10} , що позначено в таблиці функціонування.

C	x_8	\bar{x}_8	x_4	\bar{x}_4	x_2	\bar{x}_2	x_1	\bar{x}_1	Виходи дешифратора																	
									Y_0	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7	Y_8	Y_9	Y_{10}	Y_{11}	Y_{12}	Y_{13}	Y_{14}	Y_{15}		
0	0	1	0	1	0	1	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	1	0	1	0	1	1	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	1	0	1	1	0	0	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	1	0	1	1	0	1	0	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	1	1	0	0	1	0	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	1	1	0	0	1	1	0	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1
0	0	1	1	0	1	0	0	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1
0	0	1	1	0	1	0	1	0	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1
0	1	0	0	1	0	1	0	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1
0	1	0	0	1	0	1	1	0	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
0	1	0	0	1	1	0	0	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
0	1	0	0	1	1	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1
0	1	0	1	0	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1
0	1	0	1	0	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1
0	1	0	1	0	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1
0	1	0	1	0	1	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1
0	1	0	1	0	1	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0

Задача. Зобразити позначення трьохрозрядного синхронного дешифратора на вісім виходів та таблицю його функціонування. Який вихід буде обраним, якщо на його входи подати комбінацію вхідних сигналів $x_4 x_2 \bar{x}_1 = 110$?

Розв'язання.

\bar{C}	x_4	\bar{x}_4	x_2	\bar{x}_2	x_1	\bar{x}_1	Виходи дешифратора							
							Y_0	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7
0	0	1	0	1	0	1	0	1	1	1	1	1	1	1
0	0	1	0	1	1	0	1	0	1	1	1	1	1	1
0	0	1	1	0	0	1	1	1	0	1	1	1	1	1
0	0	1	1	0	1	0	1	1	1	0	1	1	1	1
0	1	0	0	1	0	1	1	1	1	1	0	1	1	1
0	1	0	0	1	1	0	1	1	1	1	1	0	1	1
0	1	0	1	0	1	0	1	1	1	1	1	1	0	1
0	1	0	1	0	1	0	1	1	1	1	1	1	1	0



Задача (самостійно). Зобразити позначення чотирьохрозрядного синхронного дешифратора. Який вихід дешифратора буде обраним, якщо на його інформаційні входи подати задану комбінацію вхідних сигналів?

Варіанти				
1	2	3	4	5
$\bar{x}_8 \bar{x}_4 \bar{x}_2 \bar{x}_1$	$\bar{x}_8 \bar{x}_4 \bar{x}_2 x_1$	$\bar{x}_8 \bar{x}_4 x_2 \bar{x}_1$	$\bar{x}_8 \bar{x}_4 x_2 x_1$	$\bar{x}_8 x_4 \bar{x}_2 \bar{x}_1$
6	7	8	9	10
$\bar{x}_8 x_4 \bar{x}_2 x_1$	$\bar{x}_8 x_4 x_2 \bar{x}_1$	$\bar{x}_8 x_4 x_2 x_1$	$x_8 \bar{x}_4 \bar{x}_2 \bar{x}_1$	$x_8 \bar{x}_4 \bar{x}_2 x_1$
11	12	13	14	15
$x_8 \bar{x}_4 x_2 x_1$	$x_8 x_4 \bar{x}_2 \bar{x}_1$	$x_8 x_4 \bar{x}_2 x_1$	$x_8 x_4 x_2 \bar{x}_1$	$x_8 x_4 x_2 x_1$
16	17	18	19	20
$\bar{x}_8 \bar{x}_4 \bar{x}_2 \bar{x}_1$	$\bar{x}_8 \bar{x}_4 \bar{x}_2 x_1$	$\bar{x}_8 \bar{x}_4 x_2 \bar{x}_1$	$\bar{x}_8 \bar{x}_4 x_2 x_1$	$\bar{x}_8 x_4 \bar{x}_2 \bar{x}_1$

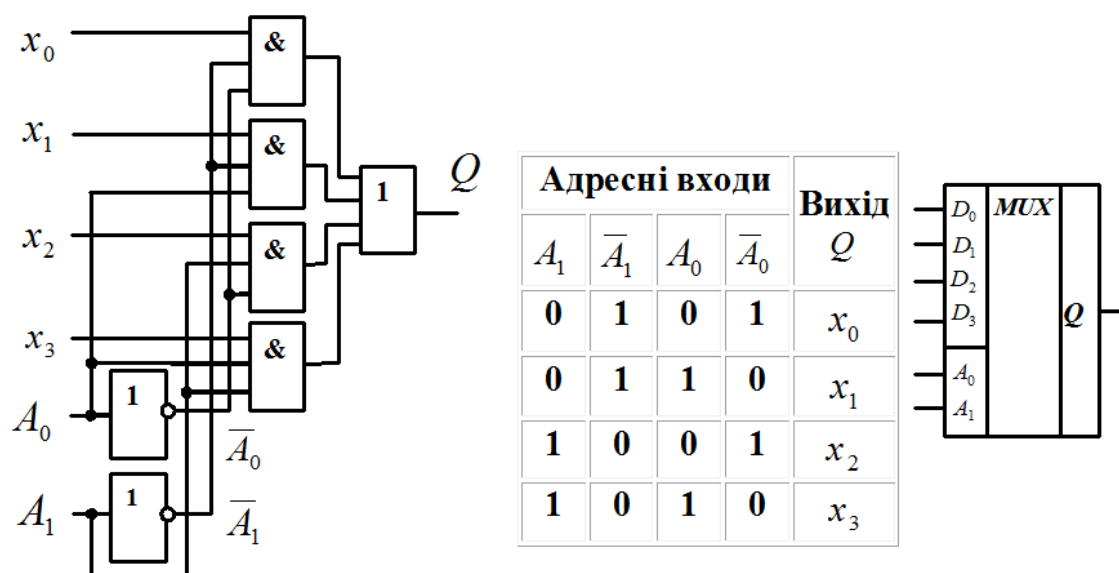
10 МУЛЬТИПЛЕКСОРИ

Мультиплексор – це цифровий пристрій, призначений для передачі сигналу з одного із декількох входів на один вихід під впливом керуючих адресних сигналів. Мультиплексор має 2^n інформаційних входів $x_0, x_1, x_2, \dots, x_{n-1}$ та один вихід Q .

Рівняння мультиплексора на чотири входи має такий вигляд:

$$Q = \bar{A}_1 \bar{A}_0 x_0 \vee \bar{A}_1 A_0 x_1 \vee A_1 \bar{A}_0 x_2 \vee A_1 A_0 x_3 .$$

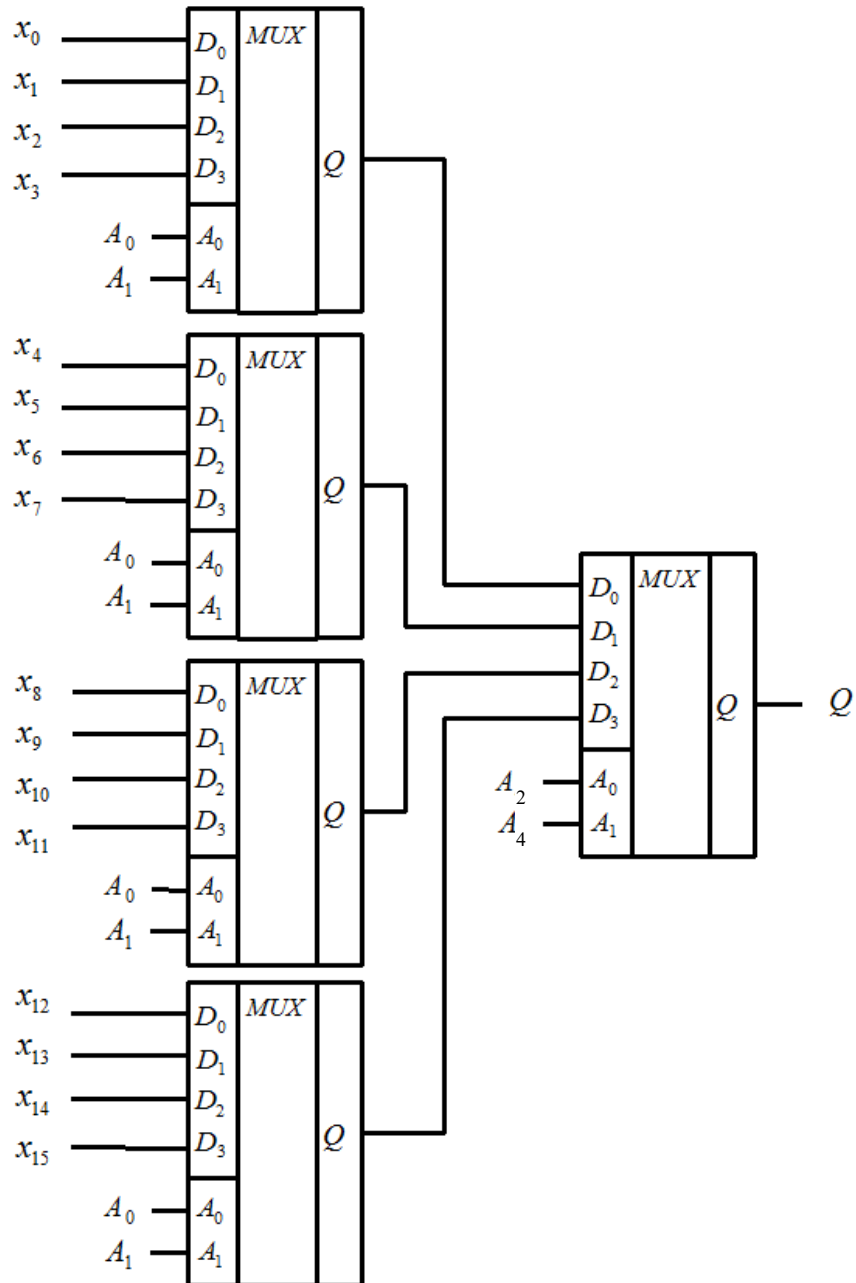
На рисунку зображено структурну схему мультиплексора на чотири інформаційні входи, таблицю функціонування та позначення мультиплексора.



Для побудови мультиплексорів з великою кількістю інформаційних входів використовують каскадне з'єднання мультиплексорів. На рисунку зображена структурна схема так званого *мультиплексорного дерева* на 16 входів.

Наприклад, для підключення інформаційного входу x_9 до виходу мультиплексора необхідно на його адресні входи подати слово $A_4 \bar{A}_2 \bar{A}_1 A_0 = 1001$, тобто на адресні входи мультиплексорів першого каскаду подати сигнали $\bar{A}_1 A_0 = 01$, а на адресні входи мультиплексорів другого

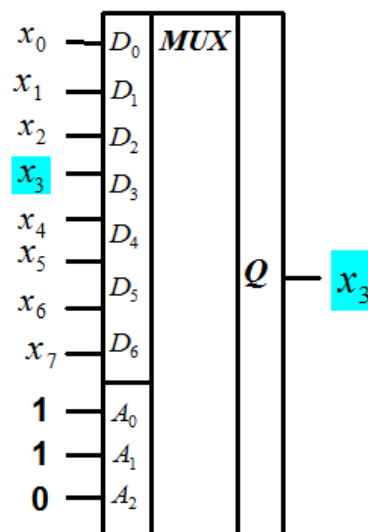
каскаду подати сигнали $A_4 \bar{A}_2 = 10$. При цьому мультиплексор другого каскаду по інформаційному входу D_2 підключає третій мультиплексор першого каскаду до виходу, на якому з'явиться інформаційний сигнал, що відповідає x_9 .



Задача. Зобразити позначення мультиплексора на вісім входів та таблицю його функціонування. Який вхід буде обрано, якщо на його адресні входи подати комбінацію сигналів $\bar{A}_2 A_1 A_0 = 011$?

Розв'язання.

Адресні входи						Вихід Q
A_2	\bar{A}_2	A_1	\bar{A}_1	A_0	\bar{A}_0	
0	1	0	1	0	1	x_0
0	1	0	1	1	0	x_1
0	1	1	0	0	1	x_2
0	1	1	0	1	0	x_3
1	0	0	1	0	1	x_4
1	0	0	1	1	0	x_5
1	0	1	0	0	1	x_6
1	0	1	0	1	0	x_7



Задача (самостійно). Зобразити позначення мультиплексора на 16 інформаційних входів. Який інформаційний вхід буде обраним, якщо на адресні входи подати задану комбінацію сигналів?

Варіанти				
1	2	3	4	5
$\bar{A}_4 \bar{A}_2 \bar{A}_1 \bar{A}_0$	$\bar{A}_4 \bar{A}_2 \bar{A}_1 A_0$	$\bar{A}_4 \bar{A}_2 A_1 \bar{A}_0$	$\bar{A}_4 \bar{A}_2 A_1 A_0$	$\bar{A}_4 A_2 \bar{A}_1 \bar{A}_0$
6	7	8	9	10
$\bar{A}_4 A_2 \bar{A}_1 A_0$	$\bar{A}_4 A_2 A_1 \bar{A}_0$	$\bar{A}_4 A_2 A_1 A_0$	$A_4 \bar{A}_2 \bar{A}_1 \bar{A}_0$	$A_4 \bar{A}_2 \bar{A}_1 A_0$
11	12	13	14	15
$A_4 \bar{A}_2 A_1 \bar{A}_0$	$A_4 \bar{A}_2 A_1 A_0$	$A_4 A_2 \bar{A}_1 \bar{A}_0$	$A_4 A_2 \bar{A}_1 A_0$	$A_4 A_2 A_1 \bar{A}_0$
16	17	18	19	20
$A_4 A_2 A_1 A_0$	$\bar{A}_4 \bar{A}_2 \bar{A}_1 \bar{A}_0$	$\bar{A}_4 \bar{A}_2 \bar{A}_1 A_0$	$\bar{A}_4 \bar{A}_2 A_1 \bar{A}_0$	$\bar{A}_4 \bar{A}_2 A_1 A_0$

11 СИНТЕЗ КОМБІНАЦІЙНИХ ЛОГІЧНИХ СХЕМ

Комбінаційна логічна схема далі – (КЛС) – це пристрій, стан вихідних сигналів якого однозначно визначається комбінацією вхідних сигналів. Це схеми без зворотного зв'язку та без пам'яті.

Синтезувати КЛС – означає спроектувати логічний пристрій мінімальної складності в заданому базисі.

Синтез КЛС включає такі операції:

1. Завдання логічного алгоритму функціонування пристрою та базису. Алгоритм задається за допомогою ФАЛ, таблиці істинності або словами.
2. Перехід від заданого алгоритму до рівнянь у ДДНФ або ДКНФ.
3. Мінімізація логічних функцій.
4. Перехід від мінімізованих рівнянь до рівнянь у заданому базисі.
5. Графічна або практична реалізація пристрою.

Приклад синтезу КЛС. Необхідно синтезувати КЛС, алгоритм функціонування якої заданий словами: Відповідна таблиця істинності:

1. На виході комбінаційної логічної схеми з'являється «1» тоді, коли з трьох вхідних змінних не менш як дві вхідні змінні мають значення «1».

Базисом, в якому буде побудована синтезована КЛС, обрано базис І-НЕ.

x_1	x_2	x_3	y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

2. Відповідна істинна функція алгебри логіки у ДДНФ має такий вигляд:

$$y = \bar{x}_1 x_2 x_3 \vee x_1 \bar{x}_2 x_3 \vee x_1 x_2 \bar{x}_3 \vee x_1 x_2 x_3.$$

3. Для мінімізації логічних функцій застосовуються такі методи:

3.1 *Метод безпосередніх перетворень* на основі законів алгебри логіки.

Перетворимо задану логічну функцію з урахуванням правил склеювання та деортогоналізації:

$$\begin{aligned}
y &= \bar{x}_1 x_2 x_3 \vee x_1 \bar{x}_2 x_3 \vee x_1 x_2 \bar{x}_3 \vee x_1 x_2 x_3 = \\
&= \bar{x}_1 x_2 x_3 \vee x_1 \bar{x}_2 x_3 \vee x_1 x_2 (\bar{x}_3 \vee x_3) = x_1 x_2 x_3 \vee x_1 (\bar{x}_2 x_3 \vee x_2) = \\
&= \bar{x}_1 x_2 x_3 \vee x_1 (x_3 \vee x_2) = \bar{x}_1 x_2 x_3 \vee x_1 x_3 \vee x_1 x_2 = \\
&= x_3 (\bar{x}_1 x_2 \vee x_1) \vee x_1 x_2 = x_3 x_2 \vee x_3 x_1 \vee x_1 x_2.
\end{aligned}$$

3.2 Метод Квайна – Мак-Класки застосовується коли кількість змінних більше 5-6. Ефективно працює з використанням комп'ютера.

3.3 Метод карт Карно застосовується при кількості змінних не більше 5-6. Простий та наочний. Карти Карно являють собою графічне зображення всіх можливих комбінацій змінних, тобто число клітин 2^n . У клітинах всі прості кон'юнкції розташовуються так, що кожна з них відрізняється від суміжних тільки однією змінною.

Карти Карно для двох, трьох та чотирьох змінних мають такий вигляд:

	\bar{x}_1	x_1
\bar{x}_2	$\bar{x}_1 \bar{x}_2$	$x_1 \bar{x}_2$
x_2	$\bar{x}_1 x_2$	$x_1 x_2$

	$\bar{x}_1 \bar{x}_2$	$\bar{x}_1 x_2$	$x_1 x_2$	$x_1 \bar{x}_2$
\bar{x}_3	$\bar{x}_1 \bar{x}_2 \bar{x}_3$	$\bar{x}_1 x_2 \bar{x}_3$	$x_1 x_2 \bar{x}_3$	$x_1 \bar{x}_2 \bar{x}_3$
x_3	$\bar{x}_1 \bar{x}_2 x_3$	$\bar{x}_1 x_2 x_3$	$x_1 x_2 x_3$	$x_1 \bar{x}_2 x_3$

	$\bar{x}_1 \bar{x}_2$	$\bar{x}_1 x_2$	$x_1 x_2$	$x_1 \bar{x}_2$
$\bar{x}_3 \bar{x}_4$	$\bar{x}_1 \bar{x}_2 \bar{x}_3 \bar{x}_4$	$\bar{x}_1 x_2 \bar{x}_3 \bar{x}_4$	$x_1 x_2 \bar{x}_3 \bar{x}_4$	$x_1 \bar{x}_2 \bar{x}_3 \bar{x}_4$
$\bar{x}_3 x_4$	$\bar{x}_1 \bar{x}_2 \bar{x}_3 x_4$	$\bar{x}_1 x_2 \bar{x}_3 x_4$	$x_1 x_2 \bar{x}_3 x_4$	$x_1 \bar{x}_2 \bar{x}_3 x_4$
$x_3 x_4$	$\bar{x}_1 \bar{x}_2 x_3 x_4$	$\bar{x}_1 x_2 x_3 x_4$	$x_1 x_2 x_3 x_4$	$x_1 \bar{x}_2 x_3 x_4$
$x_3 \bar{x}_4$	$\bar{x}_1 \bar{x}_2 x_3 \bar{x}_4$	$\bar{x}_1 x_2 x_3 \bar{x}_4$	$x_1 x_2 x_3 \bar{x}_4$	$x_1 \bar{x}_2 x_3 \bar{x}_4$

Під час заповнення карти Карно мінтерми функції, що мінімізується, у відповідній клітині карти записують як «1», а в інших клітинах записують «0».

Для функції, що розглядається, карта Карно після запису «1» та «0» у відповідні клітини має такий вигляд:

	$\bar{x}_1\bar{x}_2$	\bar{x}_1x_2	x_1x_2	$x_1\bar{x}_2$
\bar{x}_3	0	0	1	0
x_3	0	1	1	1

1
2
3

Потім проводять прямокутні контури (1, 2, 3) за такими правилами:

- всередині прямокутника повинні бути лише «1»;
- кількість клітин всередині контуру має бути одним із цих чисел: 1, 2, 4, 8, 16, 32;
- одні й ті ж клітини з «1» можуть входити до декількох контурів;
- при проведенні контурів нижній та верхній рядки, а також лівий та правий стовпчики вважаються відповідно суміжними;
- кількість контурів має бути якомога меншою, а самі контури – якомога більшими.

Щоб знайти мінімальну функцію записують суму кон'юнкцій в кожному контурі, а потім остаточно формують вираз функції:

- для контуру № 1: $\bar{x}_1x_2x_3 \vee x_1x_2x_3 = x_2x_3$,
- для контуру № 2: $x_1x_2x_3 \vee x_1\bar{x}_2x_3 = x_1x_3$,
- для контуру № 3: $x_1x_2\bar{x}_3 \vee x_1x_2x_3 = x_1x_2$,

$$y_{\min} = x_1x_2 \vee x_2x_3 \vee x_1x_3.$$

4. Перехід від мінімізованого рівняння до рівняння в базисі І-НЕ здійснюється таким чином:

- необхідно двічі проінвертувати отримане рівняння;
- за правилом де Моргана розкрити праву частину рівняння.

У нашому випадку $y_{\min} = \overline{\overline{x_1x_2 \vee x_2x_3 \vee x_1x_3}} = \overline{\overline{x_1x_2} \cdot \overline{x_2x_3} \cdot \overline{x_1x_3}}$.

5. Реалізація комбінаційної логічної схеми в заданому базисі І-НЕ:

13	14	15																																																																											
<table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <tr><td>$\bar{x}_3\bar{x}_4$</td><td>1</td><td>1</td><td>0</td><td>0</td></tr> <tr><td>\bar{x}_3x_4</td><td>1</td><td>1</td><td>0</td><td>0</td></tr> <tr><td>x_3x_4</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>$x_3\bar{x}_4$</td><td>1</td><td>1</td><td>1</td><td>1</td></tr> <tr><td></td><td>$\bar{x}_1\bar{x}_2$</td><td>\bar{x}_1x_2</td><td>x_1x_2</td><td>$x_1\bar{x}_2$</td></tr> </table>	$\bar{x}_3\bar{x}_4$	1	1	0	0	\bar{x}_3x_4	1	1	0	0	x_3x_4	0	0	0	0	$x_3\bar{x}_4$	1	1	1	1		$\bar{x}_1\bar{x}_2$	\bar{x}_1x_2	x_1x_2	$x_1\bar{x}_2$	<table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <tr><td>$\bar{x}_3\bar{x}_4$</td><td>1</td><td>1</td><td>1</td><td>1</td></tr> <tr><td>\bar{x}_3x_4</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>x_3x_4</td><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>$x_3\bar{x}_4$</td><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td></td><td>$\bar{x}_1\bar{x}_2$</td><td>\bar{x}_1x_2</td><td>x_1x_2</td><td>$x_1\bar{x}_2$</td></tr> </table>	$\bar{x}_3\bar{x}_4$	1	1	1	1	\bar{x}_3x_4	0	0	0	0	x_3x_4	0	0	1	1	$x_3\bar{x}_4$	0	0	1	1		$\bar{x}_1\bar{x}_2$	\bar{x}_1x_2	x_1x_2	$x_1\bar{x}_2$	<table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <tr><td>$\bar{x}_3\bar{x}_4$</td><td>0</td><td>0</td><td>0</td><td>1</td></tr> <tr><td>\bar{x}_3x_4</td><td>0</td><td>0</td><td>0</td><td>1</td></tr> <tr><td>x_3x_4</td><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>$x_3\bar{x}_4$</td><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td></td><td>$\bar{x}_1\bar{x}_2$</td><td>\bar{x}_1x_2</td><td>x_1x_2</td><td>$x_1\bar{x}_2$</td></tr> </table>	$\bar{x}_3\bar{x}_4$	0	0	0	1	\bar{x}_3x_4	0	0	0	1	x_3x_4	0	0	1	1	$x_3\bar{x}_4$	0	0	1	1		$\bar{x}_1\bar{x}_2$	\bar{x}_1x_2	x_1x_2	$x_1\bar{x}_2$
$\bar{x}_3\bar{x}_4$	1	1	0	0																																																																									
\bar{x}_3x_4	1	1	0	0																																																																									
x_3x_4	0	0	0	0																																																																									
$x_3\bar{x}_4$	1	1	1	1																																																																									
	$\bar{x}_1\bar{x}_2$	\bar{x}_1x_2	x_1x_2	$x_1\bar{x}_2$																																																																									
$\bar{x}_3\bar{x}_4$	1	1	1	1																																																																									
\bar{x}_3x_4	0	0	0	0																																																																									
x_3x_4	0	0	1	1																																																																									
$x_3\bar{x}_4$	0	0	1	1																																																																									
	$\bar{x}_1\bar{x}_2$	\bar{x}_1x_2	x_1x_2	$x_1\bar{x}_2$																																																																									
$\bar{x}_3\bar{x}_4$	0	0	0	1																																																																									
\bar{x}_3x_4	0	0	0	1																																																																									
x_3x_4	0	0	1	1																																																																									
$x_3\bar{x}_4$	0	0	1	1																																																																									
	$\bar{x}_1\bar{x}_2$	\bar{x}_1x_2	x_1x_2	$x_1\bar{x}_2$																																																																									
16	17	18																																																																											
<table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <tr><td>$\bar{x}_3\bar{x}_4$</td><td>1</td><td>1</td><td>1</td><td>1</td></tr> <tr><td>\bar{x}_3x_4</td><td>0</td><td>0</td><td>0</td><td>1</td></tr> <tr><td>x_3x_4</td><td>0</td><td>0</td><td>0</td><td>1</td></tr> <tr><td>$x_3\bar{x}_4$</td><td>0</td><td>0</td><td>0</td><td>1</td></tr> <tr><td></td><td>$\bar{x}_1\bar{x}_2$</td><td>\bar{x}_1x_2</td><td>x_1x_2</td><td>$x_1\bar{x}_2$</td></tr> </table>	$\bar{x}_3\bar{x}_4$	1	1	1	1	\bar{x}_3x_4	0	0	0	1	x_3x_4	0	0	0	1	$x_3\bar{x}_4$	0	0	0	1		$\bar{x}_1\bar{x}_2$	\bar{x}_1x_2	x_1x_2	$x_1\bar{x}_2$	<table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <tr><td>$\bar{x}_3\bar{x}_4$</td><td>1</td><td>1</td><td>1</td><td>1</td></tr> <tr><td>\bar{x}_3x_4</td><td>1</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>x_3x_4</td><td>1</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>$x_3\bar{x}_4$</td><td>1</td><td>0</td><td>0</td><td>0</td></tr> <tr><td></td><td>$\bar{x}_1\bar{x}_2$</td><td>\bar{x}_1x_2</td><td>x_1x_2</td><td>$x_1\bar{x}_2$</td></tr> </table>	$\bar{x}_3\bar{x}_4$	1	1	1	1	\bar{x}_3x_4	1	0	0	0	x_3x_4	1	0	0	0	$x_3\bar{x}_4$	1	0	0	0		$\bar{x}_1\bar{x}_2$	\bar{x}_1x_2	x_1x_2	$x_1\bar{x}_2$	<table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <tr><td>$\bar{x}_3\bar{x}_4$</td><td>1</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>\bar{x}_3x_4</td><td>1</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>x_3x_4</td><td>1</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>$x_3\bar{x}_4$</td><td>1</td><td>1</td><td>1</td><td>1</td></tr> <tr><td></td><td>$\bar{x}_1\bar{x}_2$</td><td>\bar{x}_1x_2</td><td>x_1x_2</td><td>$x_1\bar{x}_2$</td></tr> </table>	$\bar{x}_3\bar{x}_4$	1	0	0	0	\bar{x}_3x_4	1	0	0	0	x_3x_4	1	0	0	0	$x_3\bar{x}_4$	1	1	1	1		$\bar{x}_1\bar{x}_2$	\bar{x}_1x_2	x_1x_2	$x_1\bar{x}_2$
$\bar{x}_3\bar{x}_4$	1	1	1	1																																																																									
\bar{x}_3x_4	0	0	0	1																																																																									
x_3x_4	0	0	0	1																																																																									
$x_3\bar{x}_4$	0	0	0	1																																																																									
	$\bar{x}_1\bar{x}_2$	\bar{x}_1x_2	x_1x_2	$x_1\bar{x}_2$																																																																									
$\bar{x}_3\bar{x}_4$	1	1	1	1																																																																									
\bar{x}_3x_4	1	0	0	0																																																																									
x_3x_4	1	0	0	0																																																																									
$x_3\bar{x}_4$	1	0	0	0																																																																									
	$\bar{x}_1\bar{x}_2$	\bar{x}_1x_2	x_1x_2	$x_1\bar{x}_2$																																																																									
$\bar{x}_3\bar{x}_4$	1	0	0	0																																																																									
\bar{x}_3x_4	1	0	0	0																																																																									
x_3x_4	1	0	0	0																																																																									
$x_3\bar{x}_4$	1	1	1	1																																																																									
	$\bar{x}_1\bar{x}_2$	\bar{x}_1x_2	x_1x_2	$x_1\bar{x}_2$																																																																									
19	20	21																																																																											
<table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <tr><td>$\bar{x}_3\bar{x}_4$</td><td>0</td><td>0</td><td>0</td><td>1</td></tr> <tr><td>\bar{x}_3x_4</td><td>0</td><td>0</td><td>0</td><td>1</td></tr> <tr><td>x_3x_4</td><td>0</td><td>0</td><td>0</td><td>1</td></tr> <tr><td>$x_3\bar{x}_4$</td><td>1</td><td>1</td><td>1</td><td>1</td></tr> <tr><td></td><td>$\bar{x}_1\bar{x}_2$</td><td>\bar{x}_1x_2</td><td>x_1x_2</td><td>$x_1\bar{x}_2$</td></tr> </table>	$\bar{x}_3\bar{x}_4$	0	0	0	1	\bar{x}_3x_4	0	0	0	1	x_3x_4	0	0	0	1	$x_3\bar{x}_4$	1	1	1	1		$\bar{x}_1\bar{x}_2$	\bar{x}_1x_2	x_1x_2	$x_1\bar{x}_2$	<table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <tr><td>$\bar{x}_3\bar{x}_4$</td><td>0</td><td>1</td><td>0</td><td>1</td></tr> <tr><td>\bar{x}_3x_4</td><td>0</td><td>1</td><td>0</td><td>1</td></tr> <tr><td>x_3x_4</td><td>0</td><td>1</td><td>0</td><td>1</td></tr> <tr><td>$x_3\bar{x}_4$</td><td>0</td><td>1</td><td>0</td><td>1</td></tr> <tr><td></td><td>$\bar{x}_1\bar{x}_2$</td><td>\bar{x}_1x_2</td><td>x_1x_2</td><td>$x_1\bar{x}_2$</td></tr> </table>	$\bar{x}_3\bar{x}_4$	0	1	0	1	\bar{x}_3x_4	0	1	0	1	x_3x_4	0	1	0	1	$x_3\bar{x}_4$	0	1	0	1		$\bar{x}_1\bar{x}_2$	\bar{x}_1x_2	x_1x_2	$x_1\bar{x}_2$	<table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <tr><td>$\bar{x}_3\bar{x}_4$</td><td>0</td><td>1</td><td>0</td><td>0</td></tr> <tr><td>\bar{x}_3x_4</td><td>1</td><td>1</td><td>1</td><td>1</td></tr> <tr><td>x_3x_4</td><td>0</td><td>1</td><td>0</td><td>0</td></tr> <tr><td>$x_3\bar{x}_4$</td><td>0</td><td>1</td><td>0</td><td>0</td></tr> <tr><td></td><td>$\bar{x}_1\bar{x}_2$</td><td>\bar{x}_1x_2</td><td>x_1x_2</td><td>$x_1\bar{x}_2$</td></tr> </table>	$\bar{x}_3\bar{x}_4$	0	1	0	0	\bar{x}_3x_4	1	1	1	1	x_3x_4	0	1	0	0	$x_3\bar{x}_4$	0	1	0	0		$\bar{x}_1\bar{x}_2$	\bar{x}_1x_2	x_1x_2	$x_1\bar{x}_2$
$\bar{x}_3\bar{x}_4$	0	0	0	1																																																																									
\bar{x}_3x_4	0	0	0	1																																																																									
x_3x_4	0	0	0	1																																																																									
$x_3\bar{x}_4$	1	1	1	1																																																																									
	$\bar{x}_1\bar{x}_2$	\bar{x}_1x_2	x_1x_2	$x_1\bar{x}_2$																																																																									
$\bar{x}_3\bar{x}_4$	0	1	0	1																																																																									
\bar{x}_3x_4	0	1	0	1																																																																									
x_3x_4	0	1	0	1																																																																									
$x_3\bar{x}_4$	0	1	0	1																																																																									
	$\bar{x}_1\bar{x}_2$	\bar{x}_1x_2	x_1x_2	$x_1\bar{x}_2$																																																																									
$\bar{x}_3\bar{x}_4$	0	1	0	0																																																																									
\bar{x}_3x_4	1	1	1	1																																																																									
x_3x_4	0	1	0	0																																																																									
$x_3\bar{x}_4$	0	1	0	0																																																																									
	$\bar{x}_1\bar{x}_2$	\bar{x}_1x_2	x_1x_2	$x_1\bar{x}_2$																																																																									

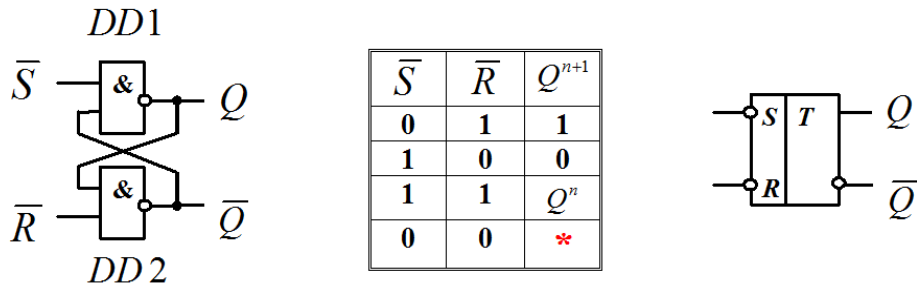
12 ТРИГЕРИ

Електронні пристрої з двома стійкими станами, при яких зберігається двійкова інформація («0», «1») після закінчення дії вхідних керуючих сигналів, називаються *тригерами*.

За функціональними ознаками розрізняють тригери типів *RS*, *D*, *JK*, *T* тощо.

За способом керування розділяють на *асинхронні* та *синхронні*.

RS-тригери. На рисунку наведені структурна схема *асинхронного RS-тригера* на логічних елементах І-НЕ, таблиця переходів до нового стану Q^{n+1} та позначення тригера.



По входу \bar{S} – set (установка) здійснюється установка тригера в «1», а по входу \bar{R} – reset (повернення у вихідний стан) – в «0».

На рисунку зображено структурну схему синхронного RS-тригера на логічних елементах І-НЕ та його позначення.

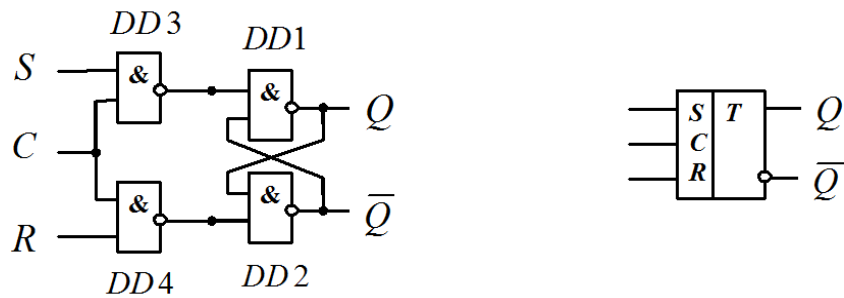
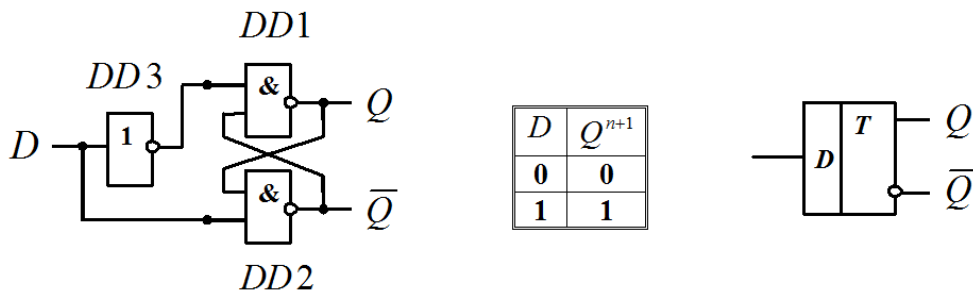


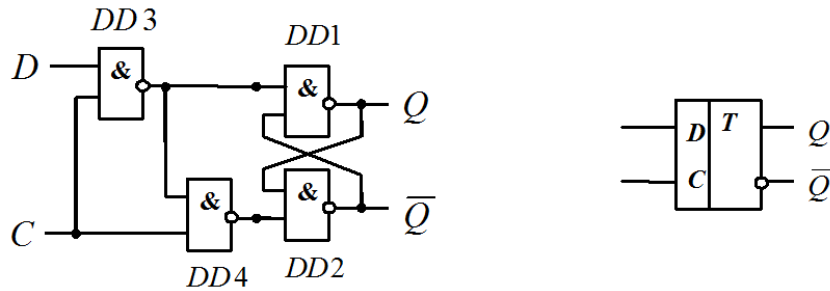
Схема має керуючий вхід (синхровхід) C – clock (годинник). Він підключений до входів елементів $DD1$, $DD2$ через додаткові елементи $DD3$, $DD4$. Переключення в синхронному RS-тригері можливі лише при подачі на вхід C імпульсу синхронізації.

D-тригери. Вони мають один інформаційний вхід. Стану логічної одиниці відповідає «1» на вході тригера, а стану логічного нуля – «0» на його вході.

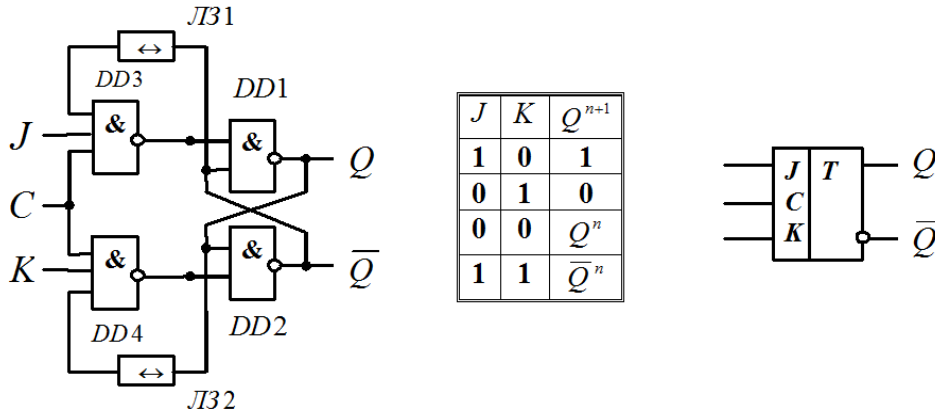
На рисунку наведено структурну схему асинхронного D-тригера на логічних елементах І-НЕ, таблиця переходів та його позначення. Назва D – delay (затримка) обумовлена властивістю тригера зберігати попередній стан.



На рисунку наведено структурну схему синхронного *D*-тригера зі статичним керуванням на логічних елементах І-НЕ та його позначення. Схема має керуючий вхід (синхровхід) *C*. Він підключений до входів елементів *DD1*, *DD2* через додаткові елементи *DD3*, *DD4*. Перемикання в синхронному *D*-тригері можливі лише при подачі на вхід *C* імпульсу синхронізації «1».



JK-тригери. Вони є універсальними тригерами. Назва *JK*-тригера обумовлена початком слів *J* – jerk (увімкнути) та *K* – kill (відімкнути). Їхня робота аналогічна роботі *RS*-тригера. На рисунку наведені структурна схема синхронного *JK*-тригера, таблиця переходів та позначення тригера.



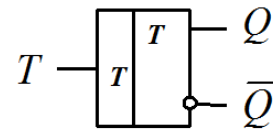
На основі *JK*-тригера також можна реалізувати синхронний *RS*-тригер та синхронний *D*-тригер, що наведено на рисунку.



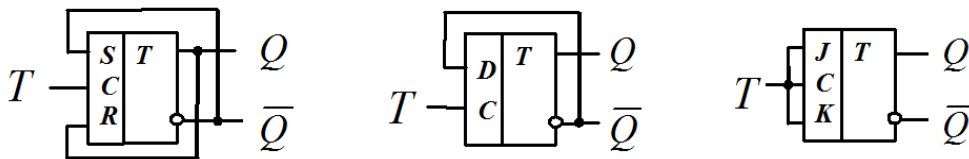
T-тригери. Назва *T*-тригера обумовлена початком слова *T* – toggle (перекидатися). Тригер перемикається у протилежний стан з приходом кожного

чергового вхідного сигналу, тобто він є з рахунковим входом. На рисунку наведені таблиця переходів T -тригера та його позначення.

T	Q^{n+1}
0	Q^n
1	\bar{Q}^n

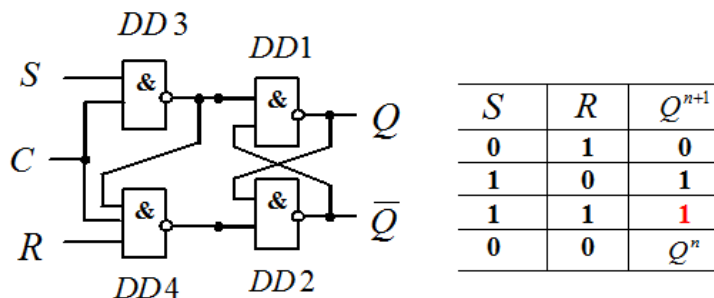


Для реалізації T -тригера використовують інші типи тригерів, наприклад, RS -, D -, JK -тригери, що зображено на рисунку.

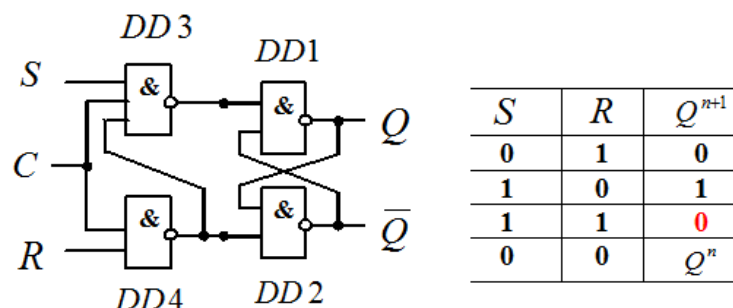


Додаткова інформація про тригери.

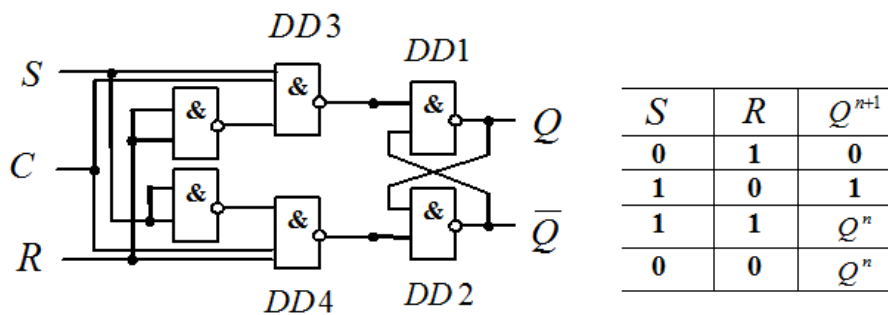
Синхронний S -тригер. Структурна схема та таблиця переходів до нового стану Q^{n+1} наведені на рисунку. При $S = R = 1$ S -тригер установлюється в одиничний стан.



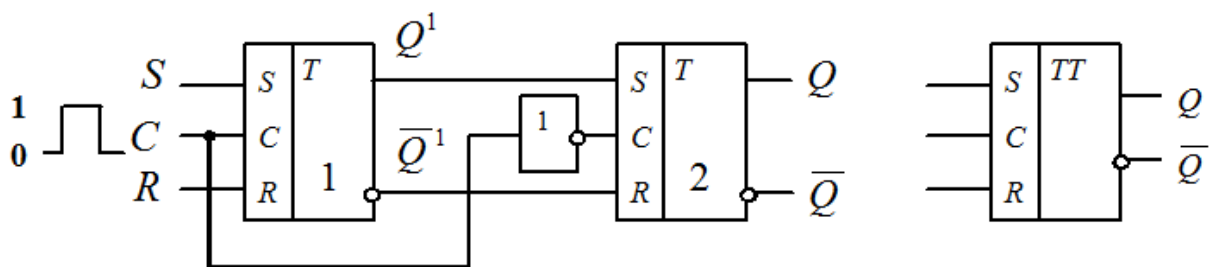
Синхронний R -тригер. Структурна схема та таблиця переходів до нового стану Q^{n+1} наведені на рисунку. При $S = R = 1$ R -тригер установлюється в нульовий стан.



Синхронний E -тригер. Структурна схема та таблиця переходів до нового стану Q^{n+1} наведені на рисунку. При $S = R = 1$ E -тригер зберігає попередній стан Q^n .



MS-тригери. Двоступеневий RS-тригер. Він містить два одноступеневих RS-тригера: основний (M – master) та допоміжний (S – slave). Перемикання тригера здійснюється в два етапи: під час дії синхросигнала («1») перемикається перша ступінь, а по його завершенню (0) – друга ступінь. Це підвищує завадостійкість тригера.



Структура RS-тригера MS-типу

Графічне позначення

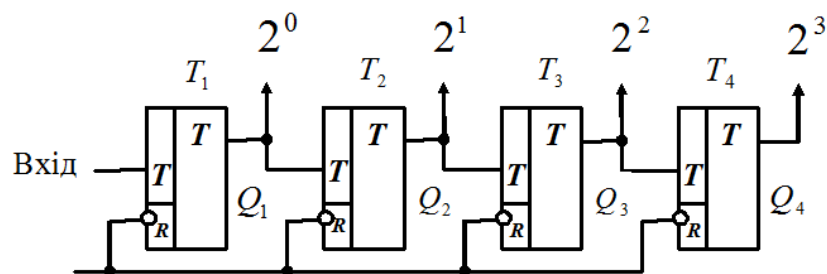
Завдання. Зобразити графічне позначення певного тригера.

Варіант	Тригер
1	2
1	Асинхронний RS-тригер з прямими входами
2	Асинхронний RS-тригер з інверсними входами
3	Синхронний RS-тригер з прямими інформаційними входами та прямим синхровходом
4	Синхронний RS-тригер з прямими інформаційними входами та інверсним синхровходом
5	Синхронний RS-тригер з інверсними інформаційними входами та прямим синхровходом
6	Синхронний RS-тригер з інверсними інформаційними входами та інверсним синхровходом
7	Асинхронний D-тригер з прямим входом
8	Асинхронний D-тригер з інверсним входом

1	2
9	Синхронний <i>D</i> -тригер з прямим інформаційним входом та прямим синхровходом
10	Синхронний <i>D</i> -тригер з прямим інформаційним входом та інверсним синхровходом
11	Синхронний <i>D</i> -тригер з інверсним інформаційним входом та прямим синхровходом
12	Синхронний <i>D</i> -тригер з інверсним інформаційним входом та інверсним синхровходом
13	Асинхронний <i>JK</i> -тригер з прямими входами
14	Асинхронний <i>JK</i> -тригер з інверсними входами
15	Синхронний <i>JK</i> -тригер з прямими входами
16	Синхронний <i>JK</i> -тригер з інверсними входами
17	<i>T</i> -тригер з прямим входом
18	<i>T</i> -тригер з інверсним входом
19	<i>RS</i> -тригер <i>MS</i> -типу з прямими входами
20	<i>RS</i> -тригер <i>MS</i> -типу з інверсними входами

13 ДВІЙКОВІ ЛІЧИЛЬНИКИ

Двійковими лічильниками називають електронні пристрої для підрахунку та запам'ятовування кількості імпульсів. Коефіцієнт рахунку визначає максимальне число імпульсів, яке може бути підрахованим лічильником. Принцип дії підсумовуючого двійкового лічильника з безпосереднім зв'язком розглянемо на прикладі чотирьохрозрядного лічильника.

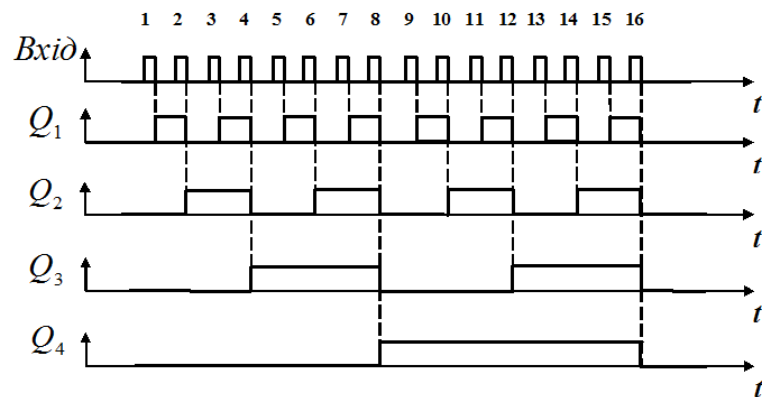


«Установка нуля»

Перед підрахунком імпульсів усі розряди лічильника встановлюються у стан «0» подачею імпульса на вхід «Установка нуля». Після закінчення

першого рахункового імпульсу перший тригер T_1 переходить у стан $Q_1 = 1$. 16-й імпульс переводить лічильник у вихідний стан. Таким чином, коефіцієнт рахунку цього лічильника дорівнює $K_{лч} = 2^4 = 16$.

Часові діаграми, які ілюструють роботу двійкового лічильника.



Таблиця станів тригерів чотирьохрозрядного лічильника

Кількість вхідних імпульсів	Стан тригерів			
	T_4	T_3	T_2	T_1
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
16	0	0	0	0

У разі побудови лічильника з парним коефіцієнтом рахунку $K_{лч} \neq 2^N$ часто використовують спосіб примусової установки окремих розрядів у стан «1» під час рахунку. Примусова установка здійснюється введенням зворотних зв'язків зі старших розрядів у молодші, завдяки чому молодші розряди поза чергою перемикаються у стан «1».

Як приклад розглянемо структурну схему лічильника з $K_{ліч} = 10$

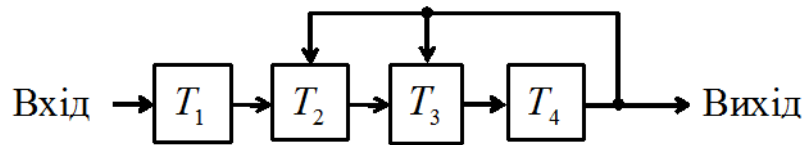


Схема містить чотири тригери та ланцюги зворотного зв'язку з виходу четвертого розряду на запис «1» у другий та третій розряди.

З приходом восьмого рахункового імпульсу «1» з виходу тригера T_4 подаються сигнали у другий та третій розряди, тому у лічильник записалось число $8 + 6 = 14$. Дев'ятий імпульс установлює «1» у тригері T_1 , а 10-й рахунковий імпульс переводить лічильник у вихідний (нульовий) стан.

Принцип рахунку пояснюється також таблицею станів тригерів.

Кількість вхідних імпульсів	Стан тригерів			
	T_4	T_3	T_2	T_1
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8*	1	0(1)	0(1)	0
9	1	1	1	1
10	0	0	0	0

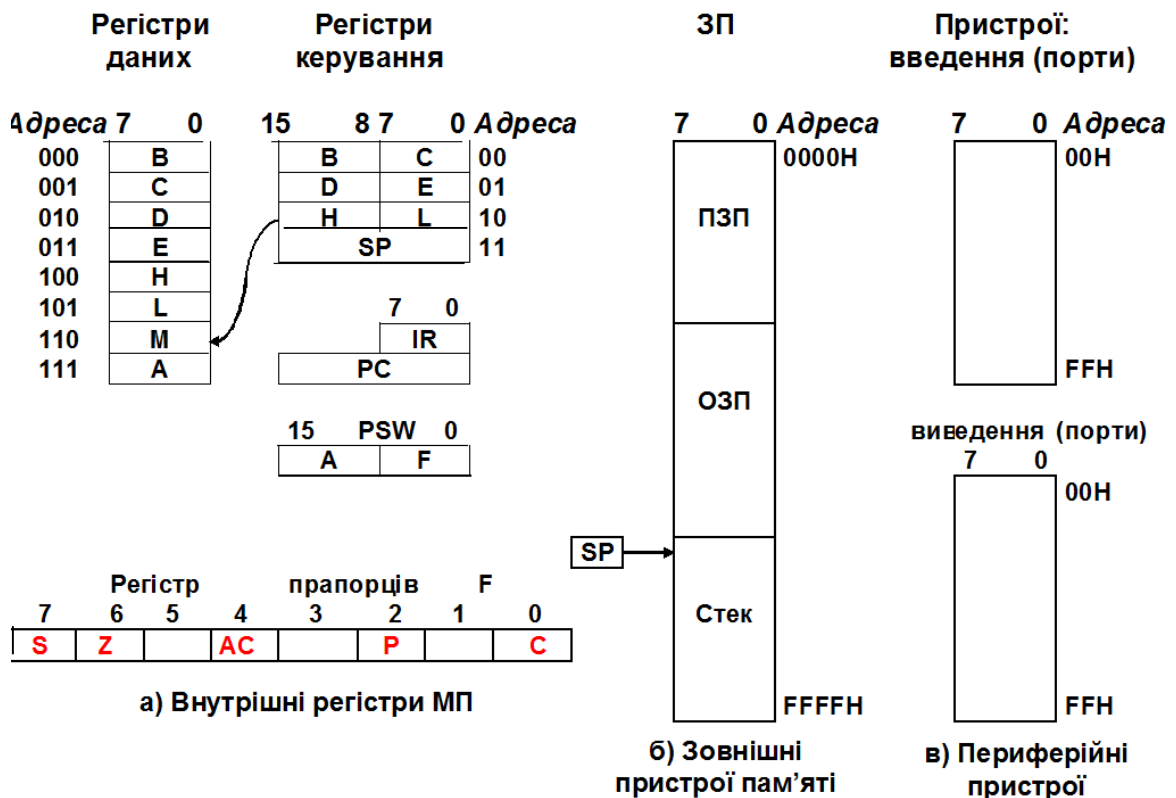
Задача (самостійно). Побудувати двійковий лічильник із заданим коефіцієнтом рахунку. Навести структурну схему лічильника та таблицю станів тригерів.

	Варіанти									
	1	2	3	4	5	6	7	8	9	10
$K_{ліч}$	12	6	14	30	26	20	22	24	18	28

Варіанти									
11	12	13	14	15	16	17	18	19	20
22	18	24	6	14	30	20	26	28	12

14 ПРОГРАМУВАННЯ МІКРОПРОЦЕСОРІВ

Для програмування мікропроцесорів важливу роль відіграє *програмна модель мікропроцесора* та зовнішніх пристроїв (запам'ятовуючих та периферійних пристроїв), яка зображена на рисунку.



Примітка: А – акумулятор; В, С, D, E, H, L – реєстри загального призначення РЗН; BC, DE, HL – реєстрові пари; М – комірці пам'яті за адресою, яка знаходиться в реєстровій парі HL; SP – покажчик стеку; IR – реєстр команд; PC – лічильник команд; PSW – реєстр слова стану; S, Z, AC, P, C – прапорці реєстру прапорців; ПЗП – постійні запам'ятовуючі пристрої; ОЗП – оперативні запам'ятовуючі пристрої.

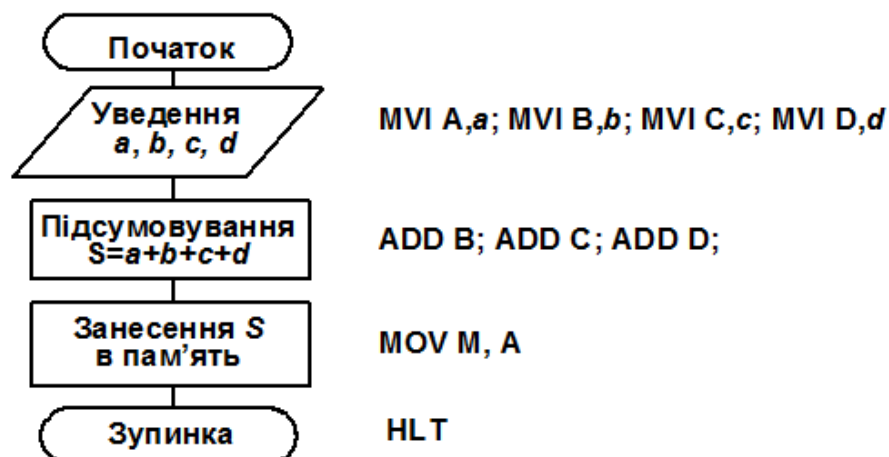
Задача. Розробити програму підсумовування кількості студентів чотирьох груп ($a = 15$, $b = 5$, $c = 15$, $d = 16$) та розміщення результату S в комірці пам'яті, адреса 2040H якої знаходиться в реєстровій парі HL.

Розв'язання. 1. Запишемо задані числа в шістнадцятковій системі:

$$a = 15D = 0FH, b = 5D = 05H, c = 15D = 0FH, d = 16D = 10H.$$

2. Математична модель задачі: $S = a + b + c + d$.

3. Розробляємо алгоритм. Його блок-схема:



4. Листинг програми:

Адреса пам'яті	Мітка	Мнемокод команди	Операнд	Машинний код	Коментар
2000		MVI A,	0F	3E	; (A) ← 0FH
2001				0F	
2002		MVI B,	05	06	; (B) ← 05H
2003				05	
2004		MVI C,	0F	0E	; (C) ← 0FH
2005				0F	
2006		MVI D,	10	16	; (D) ← 10H
2007				10	
2008		LXI H,	2040	21	; (HL) ← 2040H
2009				40	
200A				20	
200B		ADD B		80	; (A) ← (B) + (A)
200C		ADD C		81	; (A) ← (C) + (A)
200D		ADD D		82	; (A) ← (D) + (A)
200E		MOV M, A		77	; ((HL)) ← (A)
200F		HLT		76	; Зупинка
.					
.					
2040					; Адреса комірки пам'яті, в якій розміщено результат S=33H

Задача (самостійно). Розробити програму, яка реалізує таку процедуру:

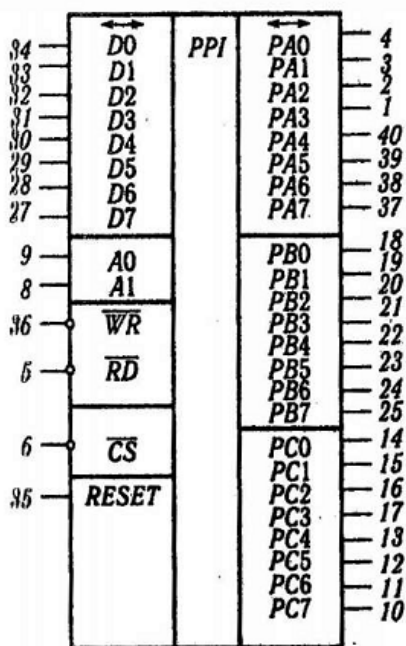
Варіант	
1	Скласти два числа $a=27D$ та $b=84D$, потім відняти число $c=48D$, після чого результат розмістити в комірці пам'яті, адреса $4C48H$ якої знаходиться в реєстровій парі HL
2	Скласти два числа $a=77D$ та $b=53D$, потім помножити на число $c=14D$, а результат розмістити в комірці пам'яті за адресою $6A81H$
3	Із числа $a=177D$ відняти числа $b=86D$ та $c=28D$, після чого результат розмістити в комірці пам'яті, адреса $B460H$ якої знаходиться в реєстровій парі HL
4	Скласти три числа $a=53D$, $b=64D$ та $c=39D$, потім зменшити результат на 1, а результат розмістити в реєстрі D
5	Скласти два числа $a=45D$ та $b=33D$, потім відняти число $c=48D$, після чого результат розмістити в комірці пам'яті за адресою $30FDH$.
6	Скласти два числа $a=90D$ та $b=22D$, потім відняти число $c=74D$, після чого результат розмістити в комірці пам'яті, адреса $E4C8H$ якої знаходиться в реєстровій парі HL
7	Скласти два числа $a=43D$ та $b=30D$, потім помножити на число $c=3D$, а результат розмістити в комірці пам'яті за адресою $6A81H$
8	Із числа $a=159D$ відняти числа $b=59D$ та $c=58D$, після чого результат розмістити в комірці пам'яті, адреса $A067H$ якої знаходиться в реєстровій парі HL
9	Скласти три числа $a=35D$, $b=40D$ та $c=110D$, потім зменшити результат на 1, а результат розмістити в реєстрі B
10	Скласти два числа $a=95D$ та $b=73D$, потім відняти число $c=55D$, після чого результат розмістити в комірці пам'яті за адресою $68FAH$.
11	Із числа $a=115D$ відняти числа $b=81D$ та $c=19D$, потім зменшити результат на 1, а результат розмістити в реєстрі C
12	Скласти три числа $a=35D$, $b=40D$ та $c=110D$, потім зменшити результат на 1, а результат розмістити в реєстрі L
13	Із числа $a=230D$ відняти число $b=220D$, потім помножити на число $c=10D$, а результат розмістити в комірці пам'яті за адресою $A581H$
14	Скласти два числа $a=60D$ та $b=99D$, потім відняти число $c=105D$, після чого результат розмістити в реєстрі E
15	Із числа $a=211D$ відняти числа $b=120D$ та $c=75D$, потім результат розмістити в комірці пам'яті за адресою $D5C1H$
16	Із числа $a=134D$ відняти числа $b=67D$ та $c=33D$, потім зменшити результат на 1, а результат розмістити в реєстрі D
17	Скласти три числа $a=51D$, $b=56D$ та $c=18D$, потім зменшити результат на 1, а результат розмістити в реєстрі B
18	Із числа $a=179D$ відняти число $b=170D$, потім помножити на число $c=11D$, а результат розмістити в комірці пам'яті за адресою $EF61H$
19	Скласти два числа $a=61D$ та $b=102D$, потім відняти число $c=115D$, після чого результат розмістити в реєстрі L
20	Із числа $a=172D$ відняти числа $b=111D$ та $c=55D$, потім результат розмістити в комірці пам'яті за адресою $DCC1H$

15 РОЗРОБКА ПРОГРАМИ «ОПИТУВАННЯ ДВІЙКОВОГО ДАТЧИКА»

Програмований паралельний інтерфейс далі – (ППІ)

Він призначений для введення-виведення паралельної інформації у 8-байтовому форматі, що дає змогу реалізувати програмно керований обмін між мікропроцесором та зовнішніми пристроями, такими як дискретні та аналогові датчики, АЦП, клавіатура, кнопки, ЦАП, електродвигуни тощо.

Графічне позначення ППІ КР580ВВ55 зображено на рисунку.



Структура ППІ містить схему керування введенням-виведенням, двонаправлений буфер даних для підключення внутрішньої шини ППІ до шини даних МП, три 8-розрядні порти А, В та С, призначені для організації обміну між МП та зовнішніми пристроями, а також регістр керуючого слова РКС, в якому формується байт вибору певного режиму роботи ППІ.

Структура керуючого слова РКС (RCW) ППІ:

D7	D6	D5	D4	D3	D2	D1	D0	
1-керуюче слово	Вибір режиму		Порт А (PA7-PA0)	Порт С (PC7-PC4)	Вибір режиму	Порт В (PB7-PB0)	Порт С (PC3-PC0)	
	00-режим 0		1 - введ	1 - введ		0-режим 0	1 - введ	1 - введ
	01-режим 1		0 - вивед	0 - вивед		1-режим 1	0 - вивед	0 - вивед
1X-режим 2								
Група А				Група В				

Вміст регістру керуючого слова РКС інтерфейсу має бути таким:

D7	D6	D5	D4	D3	D2	D1	D0
1	0	0	0	0	0	1	0
↑			↑			↑	

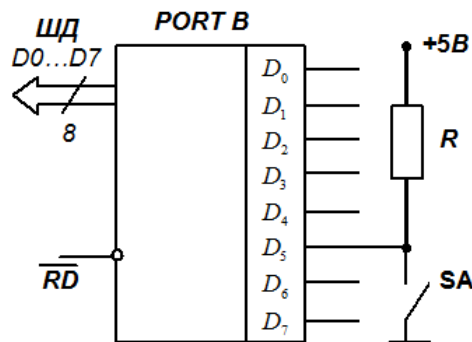
Керуюче
слово

Порт А
виведення
(адреса F4)

Порт В
введення
(адреса F5)

Ініціалізація ППІ: керуюче слово 82H заносять в акумулятор А, а із нього – в регістр керуючого слова РКС інтерфейсу за адресою F7.

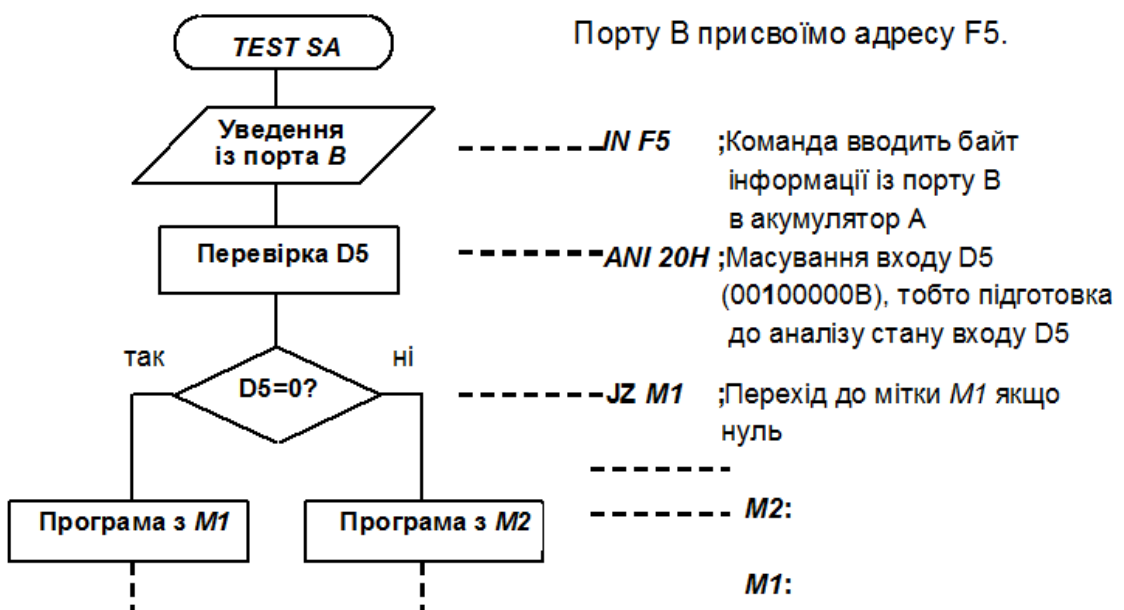
Задача. Розробити алгоритм та написати програму, яка перевіряє стан двійкового датчика та здійснює перехід до програми з міткою M1, якщо D5 = 0 (датчик замкнутий), та до мітки M2, якщо D5 = 1 (датчик розімкнутий).



Розв'язання.

Алгоритм:

Програма:



Задача (самостійно). Розробити алгоритм та написати програму, яка перевіряє стан двійкових датчиків, підключених до певних входів порту В, та здійснює перехід до програми з міткою *M1*, якщо всі датчики замкнуті, та до мітки *M2*, якщо всі датчики розімкнуті.

Варіанти								
1	2	3	4	5	6	7	8	9
D ₀ , D ₁	D ₀ , D ₂	D ₀ , D ₃	D ₀ , D ₄	D ₀ , D ₅	D ₀ , D ₆	D ₀ , D ₇	D ₀ , D ₄	D ₀ , D ₁ , D ₂

10	11	12	13	14	15	16	17	18
D ₁ , D ₇	D ₁ , D ₂	D ₁ , D ₃	D ₁ , D ₄	D ₁ , D ₅	D ₁ , D ₆	D ₀ , D ₃ , D ₄	D ₂ , D ₅	D ₂ , D ₆

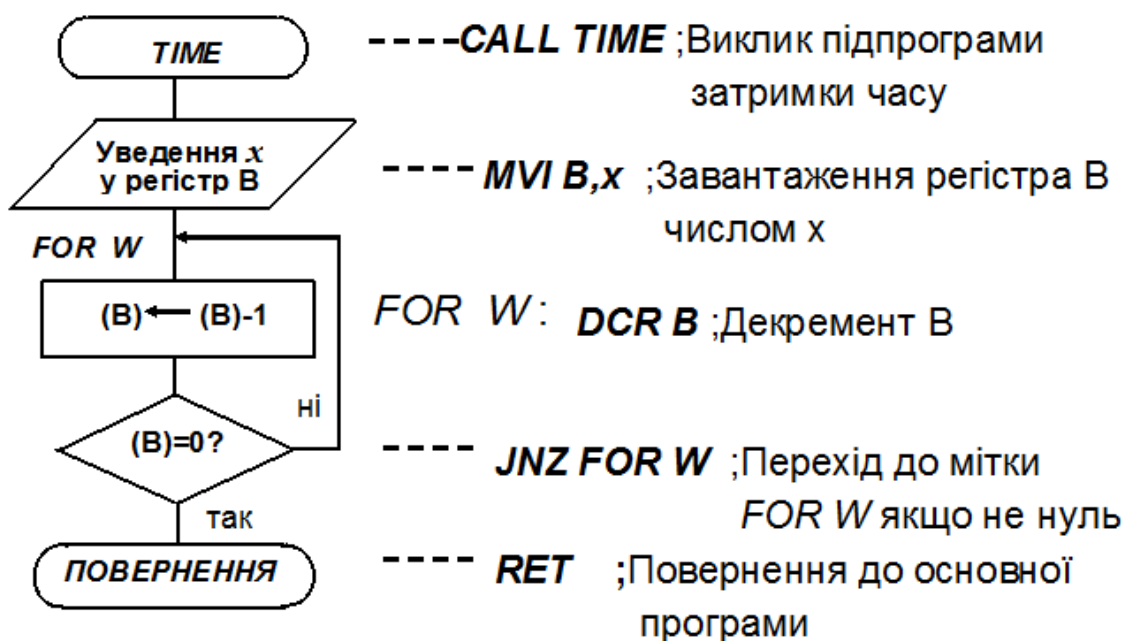
19	20
D ₀ , D ₄ , D ₅	D ₀ , D ₅ , D ₆

16 РОЗРОБКА ПІДПРОГРАМИ ЗАТРИМКИ ЧАСУ

Ідея: у регістр мікропроцесора завантажують певне число *x*, потім його послідовно зменшують на **1** (декремент 1) до тих пір, поки це число не стане дорівнювати **0**.

Алгоритм:

Підпрограма:



Для того щоб визначити число x , треба знати час виконання кожної команди і таким чином розрахувати скільки разів дана послідовність команд має повторитися, щоб отримати необхідну затримку часу.

Одноразово виконуються команди **CALL TIME**, **MVI B, x** та **RET**. Багаторазово виконуються команди **DCR B** та **JNZ FOR W**.

Визначимо, за який час (скільки тактів) виконується підпрограма при тактовій частоті $f_T = 2 \text{ МГц}$ (тривалість одного такту 0,5 мкс). В інструкціях до мікропроцесорів указано число тактів для виконання кожної команди:

CALL TIME – 17 тактів (8,5 мкс); **MVI B, x** – 7 тактів (3,5 мкс); **DCR B** – 5 тактів (2,5 мкс); **JNZ FOR W** – 10 тактів (5 мкс); **RET** – 10 тактів (5 мкс).

Для одноразового виконання команд **CALL TIME**, **MVI B, x** необхідно $8,5 + 3,5 + 5 = 17$ мкс. Для затримки часу, наприклад на 96 мкс, треба виконати команди **DCR B** та **JNZ FOR W** стільки разів, щоб цей процес виконався за $96 - 17 = 79$ мкс. Одноразовий сумарний час виконання цих команд дорівнює $2,5 + 5$ мкс, а решту затримки часу у 79 мкс можна компенсувати виконанням цих команд 10 раз, що дає затримку у $7,5 * 10 = 75$ мкс, а $79 - 75 = 4$ мкс можна додати, якщо використати двічі команду **NOP**, тривалість якої становить 2 мкс, а ніякої операції вона не виконує.

Листинг програми:

Адреса пам'яті	Мітка	Мнемокод команди	Операнд	Машинний код	Коментар
5000		CALL TIME		CD	; Виклик підпрограми
5001				03	; затримки часу
5002				50	
5003	TIME	MVI B,	0A	06	; (B) ← 0AH
5004				0A	
5005	FOR W	DCR B		05	; (B) ← (B) - 1
5006		JNZ	FOR W	C2	; Перехід до мітки
5007				05	; FOR W, якщо не нуль
5008				50	;
5009		NOP		00	; Порожня функція
500A		NOP		00	; Порожня функція
500B		RET		C9	; Повернення до ; основної програми

Задача (самостійно). Розробити алгоритм та написати підпрограму затримки на певний час.

	Варіанти									
	1	2	3	4	5	6	7	8	9	10
<i>TIME, мкс</i>	110	130	150	170	190	210	230	250	270	290

Варіанти									
11	12	13	14	15	16	17	18	19	20
310	330	350	370	390	410	430	450	470	490

СПИСОК РЕКОМЕНДОВАНИХ ДЖЕРЕЛ

Базові

1. Будіщев М. С. Електротехніка, електроніка та мікропроцесорна техніка : підручник / М. С. Будіщев. – Львів : Афіша, 2001. – 424 с.

2. Колонтаєвський Ю. П. Електроніка і мікросхемотехніка : підручник / Ю. П. Колонтаєвський, А. Г. Сосков ; за ред. А. Г. Соскова. – 2-ге вид. – Київ : Каравела, 2009. – 416 с.

3. Схемотехніка електронних систем. Аналогова схемотехніка та імпульсні пристрої : підручник / [В. І. Бойко, А. М. Гуржій, В. Я. Жуйков та ін. – 2-ге вид., допов. і переробл.]. – Київ : Вища шк., 2004. – 366 с.

4. Схемотехніка електронних систем. Цифрова схемотехніка : підручник / [В. І. Бойко, А. М. Гуржій, В. Я. Жуйков та ін. – 2-ге вид., допов. і переробл.]. – Київ : Вища шк., 2004. – 423 с.

5. Схемотехніка електронних систем. Мікропроцесори та мікроконтролери : підручник / [В. І. Бойко, А. М. Гуржій, В. Я. Жуйков та ін. – 2-ге вид., допов. і переробл.]. – Київ : Вища шк., 2004. – 399 с.

6. Белов А. В. Микроконтроллеры AVR : от азов программирования до создания практических устройств / А. В. Белов. – 2-е изд., перераб. и доп. + виртуальный диск с видеокурсами. – СПб. : Наука и Техника, 2017. – 544 с.

7. Великий В. І. Мікропроцесорні системи в САУ : курс лекцій для студентів фаху 7.091401 : навч. посібник / В. І. Великий. – Одеса : Наука і техніка, 2006. – 192 с.

8. Ревич Ю. В. Практическое программирование микроконтроллеров Atmel AVR на языке ассемблера / Ю. В. Ревич. – 2-е изд., испр. – СПб. : БХВ-Петербург, 2011. – 352 с.

Додаткові

9. Смирний М. Ф. Мікросхемотехніка : конспект лекцій для студентів усіх форм навчання за спеціальністю 141 – Електроенергетика, електротехніка та електромеханіка / М. Ф. Смирний ; Харків. нац. ун-т міськ. госп-ва ім. О. М. Бекетова. – Харків : ХНУМГ ім. О. М. Бекетова, 2019. – 114 с.

10. Єсаулов С. М. Мікропроцесорні пристрої на сучасних технологічних об'єктах. Конспект лекцій із завданнями практичних робіт з дисциплін «Мікропроцесорні пристрої електротранспорту», «Мікропроцесорні пристрої транспортних засобів», «Мікропроцесорні пристрої» (для студентів 4-5 курсів усіх форм навчання за напрямом підготовки 0922 (6.050702) «Електромеханіка» / С. М. Єсаулов, О. Ф. Бабічева. – Харків. нац. акад. міськ. госп-ва. – Харків : ХНАМГ, 2011. – 135 с.

11. Єсаулов С. М. Методичні вказівки до самостійного вивчення курсу «Елементи систем автоматики і мікропроцесорної техніки». – Харків : ХНАМГ, 2005. – 55 с.

12. Мікропроцесорна техніка : конспект лекцій (для студентів, які навчаються за напрямами 0906 – Електротехніка, 6.050701 – Електротехніка та електротехнології всіх форм навчання / Уклад. Ю. П. Колонтаєвський. – Харків : ХНАМГ, 2009. – 83 с.

13. Ровінський В. А. Мікропроцесорні пристрої : конспект лекцій / В. А. Ровінський, О. В. Євчук. – Івано-Франківськ : ІФНТУНГ, 2010. – 133 с.

14. Програмування мікроконтролерних систем автоматики : конспект лекцій для студентів базового напрямку 050201 «Системна інженерія» / уклад. : А. Г. Павельчак, В. В. Самотий, Ю. В. Ящук. – Львів : Львівська політехніка, 2012. – 143 с.

Інформаційні ресурси

15. <http://www.nbuiv.gov.ua/>

16. <http://www.microchip.com/>

17. <http://www.microchipdirect.com/>

18. <http://pic-www.microcontroller.com/>

19. <http://www.atmel.com/>

20. Цифровий репозиторій ХНУМГ ім. О. М. Бекетова [Електронний ресурс]. – Режим доступу: <http://eprints.kname.edu.ua>

Виробничо-практичне видання

Методичні рекомендації
до проведення практичних занять та самостійної роботи
з навчальної дисципліни

«МІКРОСХЕМОТЕХНІКА»

*(для студентів усіх форм навчання зі спеціальності 141 – Електроенергетика,
електротехніка та електромеханіка, освітньої програми «Електромеханіка»)*

Укладачі : **СМИРНІЙ** Михайло Федорович,
ВОРОНОВ Роман Володимирович

Відповідальний за випуск *Ю. П. Бархаєв*
За авторською редакцією

Комп'ютерне верстання *І. В. Волосожарова*

План 2020, поз. 350 М.

Підп. до друку 14.09.2020. Формат 60 × 84/16.
Друк на ризографі. Ум. друк. арк. 2,5.
Тираж 50 пр. Зам. №

Видавець і виготовлювач :
Харківський національний університет
міського господарства імені О. М. Бекетова,
вул. Маршала Бажанова, 17, Харків, 61002.
Електронна адреса : rectorat@kname.edu.ua
Свідоцтво суб'єкта видавничої справи :
ДК № 5328 від 11.04.2017.