

# Лекція 9. Побудова пам'яті МПП

9.1 Призначення пам'яті та завдання її проектування.

9.2 Способи нарощування розрядності і обсягу пам'яті.

9.3 Приклад побудови блоків пам'яті.

# ***Призначення пам'яті та завдання її проектування***

Запам'ятовувальні пристрої (ЗП) МПС призначені для зберігання програм і даних.

**Основними характеристиками ЗП є розрядність і обсяг пам'яті, швидкодія, споживана потужність, стійкість до виникнення помилок (помилковиявляюча здатність).**

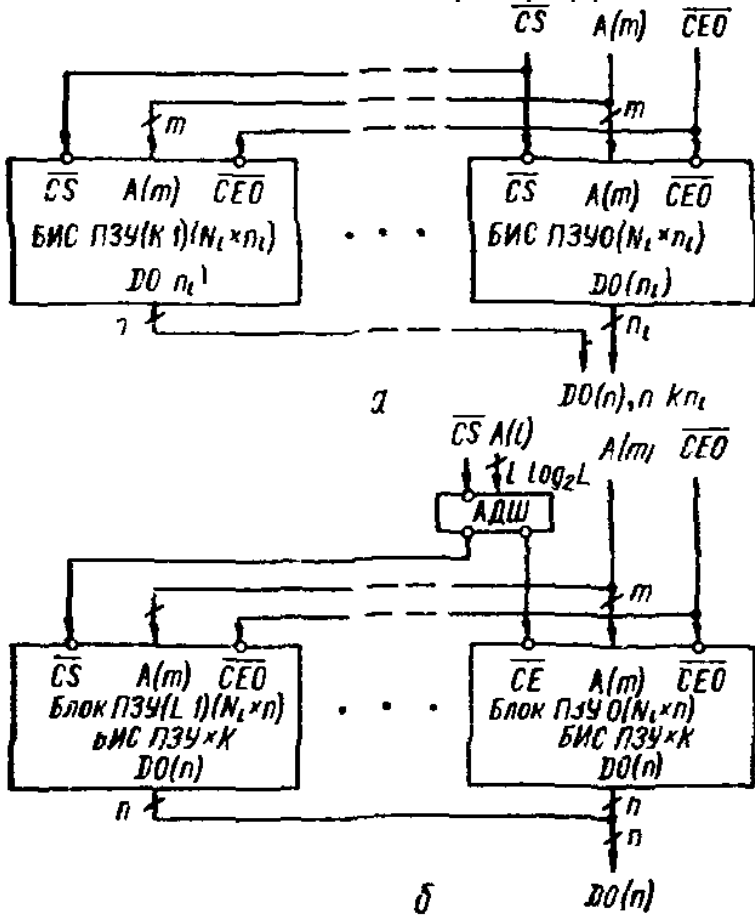
**При проектуванні ЗП МПС вирішують завдання:**

- 1) розподілу необхідного обсягу ЗП між оперативним (ОЗП) і постійним (ПЗП) запам'ятовувальними пристроями;
- 2) проектування затребуваного обсягу та розрядності ОЗП і ПЗП;
- 3) розробки засобів спряження ОЗП і ПЗП з системною шиною.

ЗП будуються на основі ВІС пам'яті, які характеризуються розрядністю  $n_i$  і кількістю комірок пам'яті  $N_i$ . **Обсяг пам'яті, позначений як  $C = N_i \times n_i$ , надає представлення про її організацію.**

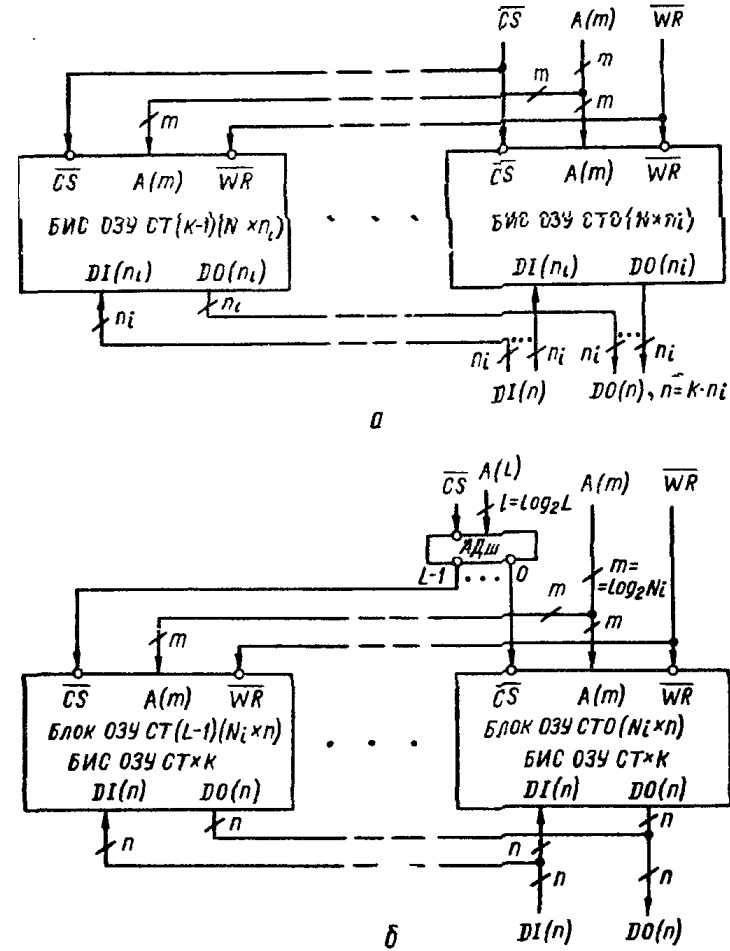
# Способи нарощування розрядності і обсягу пам'яті

Розрядність  $n_i$  пам'яті, яка потребується, забезпечується нарощуванням розрядності шляхом з'єднання  $k = n/n_i$  паралельно адресованих ВІС ЗП, а затребуваний обсяг  $N$  – нарощуванням обсягу шляхом з'єднання  $L = N/N_i$  послідовно адресованих ВІС або блоків ВІС пам'яті. Кожний з цих блоків звичайно реалізується на  $k$  ВІС ЗП і має розрядність  $n = kn_i$ , а обсяг  $N = LN_i$ .



Нарощування розрядності а) і обсягу б) ПЗП на ВІС постійної пам'яті статичного типу

АДШ – адресний дешифратор



Нарощування розрядності а) і обсягу б) ОЗП на ВІС постійної пам'яті статичного типу

АДШ – адресний дешифратор

# ***Способи нарощування розрядності і обсягу пам'яті***

ЗП великих обсягів звичайно розділяються на декілька модулів, кожний з яких має обсяг, який обирається з можливостей реалізації на ВІС ЗП, виконується у вигляді автономного конструктивного модуля і може розміщуватися в довільному місці адресного простору ЗП. Модуль налаштовується на реальні адреси адресного простору за допомогою механічних або електронних перемикачів, що дає гнучкий зв'язок між логічними і фізичними адресами ЗП.

Засоби спряження ЗП з СШ забезпечують узгодження часових співвідношень роботи ВІС ЗП і операцій читання/запису на СШ, узгодження по навантажувальній здатності сигналів і по рівням. Для спряження ЗП необхідно формувати вхідні сигнали відповідно до часових співвідношень роботи ВІС ЗП. Для узгодження ЗП з СШ по навантажувальній здатності вихідний струм шинних формувачів повинен перевищувати вхідні значення струму ЗП при даній ємності навантаження. Якщо навантажувальна здатність шини недостатня, то необхідно встановити шинні формувачі або буферні регістри на входах ЗП. Для узгодження рівнів також можна встановити узгоджуючі формувачі. Склад і структура засобів спряження ЗП з СШ визначається архітектурою і навантажувальною здатністю СШ, а також типом ЗП

## Приклад побудови блоку пам'яті

У блоці оперативної пам'яті (БОП) зберігаються передані цифрові дані  $P$  датчиків, а також проміжні дані роботи підпрограм (часові змінні, адреси комірок пам'яті, режимні установки).

Ємність (БОП) залежить від обсягу інформації, яка повинна зберігатися в МПС. Відповідно до цього необхідна ємність ОПП визначається наступною нерівністю

$$C_{\text{БОП}} \geq P \times n_{\text{АЦП}}, \text{ байт}$$

де –  $n_{\text{АЦП}}$  вихідна розрядність АЦП.

Оскільки планується використовувати побайтний обмін, то БОП доцільно застосувати з 8-розрядною вихідною шиною. Отже, комірки оперативної пам'яті повинні бути 8-розрядними.

Візьмемо обсяг БОП обсягом 2 Кбайт. Для реалізації такого обсягу оперативної пам'яті можна застосувати ІМС MSM5128 (KP537PY8) виробництва OKI SEMI, основні електричні й часові параметри якої наведені в таблиці.

Таблиця – Основні параметри OKI SEMI MSM5128

Тип параметра	Значення параметра
Інформаційна ємність	2 Кбайт
Організація пам'яті	2К×8
Струм споживання, $I_{cc}$ , мА	≤ 30
Вихідна напруга низького рівня, В	≤ 0,4
Вихідна напруга високого рівня, В	≥ 2,4
Час циклу зчитування (запису), $t_{CR}$ , ( $t_{WR}$ ), нс	≥ 350
Час вибірки дозволу, $t_{AC}$ , нс	≥ 220

# Приклад побудови блоків пам'яті

У блоці постійної пам'яті (БПП) зберігаються коди основної прикладної програми, підпрограми зчитування сигналів датчиків, обслуговування портів паралельного й послідовного інтерфейсів тощо.

Ємність БПП вибирається з наступної умови:

$$C_{\text{БПП}} \geq N_{16\text{к}} + 2 \times N_{26\text{к}} + 3 \times N_{36\text{к}} \text{ байт,}$$

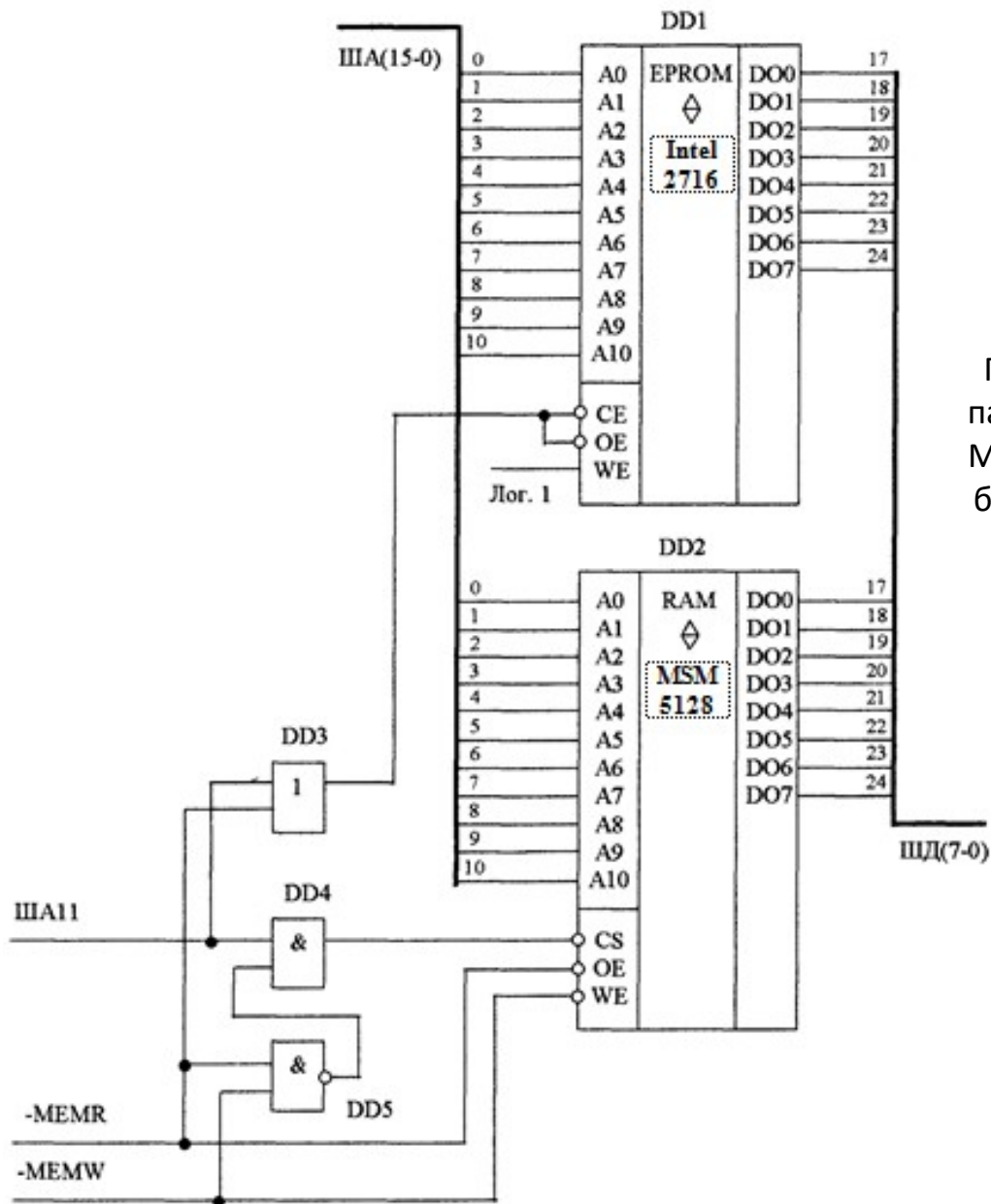
де  $N_{16\text{к}}$ ,  $N_{26\text{к}}$ ,  $N_{36\text{к}}$  – кількість команд 1-байтового, 2-байтового й 3-байтового формату відповідно.

Орієнтовно ємність БПП пропонується взяти 2 Кбайта із організацією 2К×8. У цьому випадку в якості ІМС постійної пам'яті можна взяти електрично перепрограмувальну ІМС зі стиранням ультрафіолетом Intel 2716 (K537PФ2(5)). Основні електричні і часові параметри Intel 2716 наведені в таблиці.

Таблиця – Основні параметри ІМС Intel 2716

Тип параметра	Значення параметра
Інформаційна ємність	2 Кбайт
Організація пам'яті	2К×8
Струм споживання $I_{\text{сс}}$ , мА	≤ 105
Вихідна напруга низького рівня (при $I_{\text{OL}} = 1,6$ мА), В	≤ 0,45
Вихідна напруга високого рівня (при $I_{\text{OL}} = 200$ мкА), В	≥ 2,4
Вхідна напруга низького рівня сигналів по входах адреси, -OE, -WE і CS	(-0,1)...40,8
Вхідна напруга високого рівня сигналів по входах адреси, -OE, -WE і CS	2,0-5,25
Час вибірки адреси, $t_{\text{AA}}$ , нс	≤ 450

# Приклад побудови блоків пам'яті



При ША11 = 1 і/або -MEMR = 1 блок постійної пам'яті відключається від ШД, а при ША11 = 1 і -MEMW = 0 або -MEMR = 0 до ШД підключається блок оперативної пам'яті. У принциповій схемі блоків постійної й оперативної пам'яті розрізнення адресних просторів виконує елемент DD3 разом з DD4 і DD5.

# Приклад побудови блоків пам'яті

Розподіл адресного простору блоку пам'яті

Шина адреси $a_{15}a_{14}a_{13}a_{12}a_{11}a_{10}a_9a_8a_7a_6a_5a_4a_3a_2a_1a_0b$	$x_3x_2x_1x_0f$	Примітки
0000.0000.0000.0000b	0000f	Адресний простір постійної пам'яті
0000.0000.0000.0001b	0001f	
0000.0000.0000.0010b	0002f	
...	...	
0000.0111.1111.1111b	07FFf	Адресний простір оперативної пам'яті
0000.1000.0000.0000b	0800f	
0000.1000.0000.0001b	0801f	
0000.1000.0000.0010b	0802f	
...	...	
0000.1111.1111.1110b	0FFEf	
0000.1111.1111.1111b	0FFFf	Адресний простір верхньої (резервної) пам'яті
0001.0000.0000.0000b	1000f	
0001.0000.0000.0001b	1001f	
0001.0000.0000.0010b	1010f	
...	...	
1111.1111.1111.1111b	FFFFf	

b – двійковий формат, f – шістнадцятковий формат, кольором – стан розряду ША11

Кількість використаних адресних розрядів ША:

$$\log_2(2K) = \log_2(2048) = 11 \text{ розрядів.}$$