

# Лекція 8. Побудова процесорів МПП

8.1 Призначення процесора та особливості його будови.

8.2 Задачі проектування процесора.

8.3 Структура процесора на основі МП Intel 8085А.

# ***Призначення процесора та особливості його будови***

Процесор призначений для реалізації алгоритмів обробки інформації відповідно до набору функцій, виконуваних МПС, і керування роботою пристроїв системи згідно принципу програмного управління.

Алгоритми обробки виконуються **прикладним ПЗ**, для керування роботою пристроїв МПС застосовуються **апаратні засоби процесора і системне ПЗ**.

**Структура процесора та функціональні взаємозв'язки між його вузлами прямо залежить від типу застосованого МП.**

**Архітектура МП складає основу архітектури проектованого процесора, а її розширення реалізується ПЗ або спеціалізованими апаратними засобами**

В структурі процесорів *на універсальних МП* можуть бути присутні системний контролер, блоки шинних формувачів для ШД, ША і ШУ, генератор тактових імпульсів, схеми об'єднання сигналів готовності тощо із використанням апаратних засобів відповідного МПК.

Структура процесора *на основі МК (однокристальних мікроЕОМ)* практично повністю реалізується на кристалі ВІС.

*Модульні (секційні) МП* та МПК дозволяють будувати процесори довільної структури, що обирається в залежності від завдань, які вирішуються МПС.

# ***Задачі проектування процесора***

**Вихідною інформацією при проектуванні процесора є його архітектура, яка визначається архітектурою МП.**

**При проектуванні процесорів необхідно визначити:**

1) типи і формати даних; 2) операції, виконувані над ними; 3) склад і організацію адресного простору; 4) формати адресних слів; 5) способи зберігання і адресації інформації; 6) формати і систему команд; 7) режими роботи процесора; 8) структуру внутрішньосистемного інтерфейсу.

**При проектуванні процесорів на основі МПК з однокристальними МП або мікроЕОМ (МК) вирішують завдання:**

- 1) розробки засобів синхронізації процесорів;
- 2) проектування інтерфейсу ШД і ША системної шини (СШ);
- 3) проектування засобів керування і синхронізації операціями читання/запису на СШ;
- 4) проектування засобів доступу до СШ;
- 5) розробка засобів підтримки режимі роботи процесора.

## ***Задачі проектування процесора***

**Засоби синхронізації процесора** розробляють у тих випадках, коли МП не містить вбудованого генератора або процесор проектують для багатопроцесорної системи.

**Склад і структуру інтерфейсу СШ** визначають відповідно до організації і розрядності ШД і ША, їх затребуваної навантажувальної здатності. При використанні СШ з роздільними ШД і ША інтерфейс містить однонапрямний формувач ША і двонапрямний формувач ШД. Розрядність ША визначається обсягом пристрою пам'яті (ПП) МПС, розрядність ШД – розрядністю самої системи. Інтерфейс СШ із сумісною ШД і ША містить двонапрямний шинний формувач, а для розділення даних і адрес у складі ПП і зовнішніх пристроїв (ЗП) необхідно передбачити відповідні засоби. Розрядність сумісної шини визначається розрядністю ШД. Якщо розрядність адреси більше розрядності даних, то для передачі адрес використовують окрему ША і її інтерфейс реалізують на основі однонапрямних шинних формувачах. Якщо МП має суміщену ШД і ША, а СШ роздільна, то інтерфейс ША реалізується буферним регістром адреси, а інтерфейс ШД – шинним формувачем. Струм навантаження шинних формувачів або буферних регістрів інтерфейсу визначають навантажувальну здатність СШ.

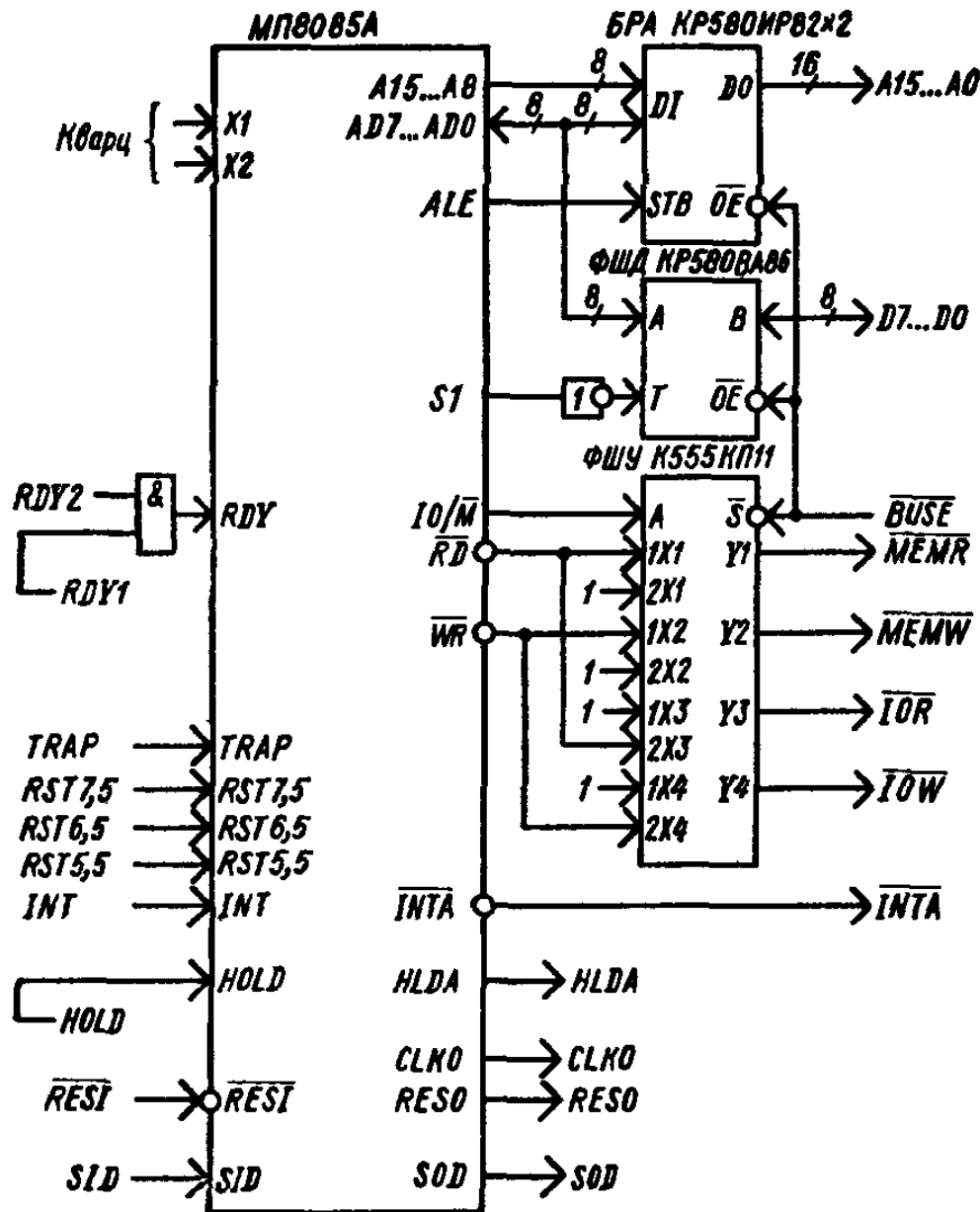
## ***Задачі проектування процесора***

**Операції читання, запису** керуються по СШ або роздільними сигналами читання, запису ПП та читання, запису ЗП або загальними сигналами читання, запису і сигналом розділення ПП/ЗП. У першому випадку застосовують 4 лінії управління, в другому – 3, але у складі ПП і ЗП будуть необхідні схеми дешифрації сигналу розділення ПП/ЗП.

**Склад засобів доступу до СШ** визначається типом шини. В однопроцесорних системах, в яких використовується однокористувальницька СШ, шиною керує процесор і додаткових засобів управління доступом не потребується. Для систем з каналом ПДП необхідні лише незначні засоби прийому запитів ПДП і управління шинним інтерфейсом. В МПС, в котрих застосовуються багатокористувальницькі СШ, засоби управління доступом до шини реалізують арбітри доступу, що розміщуються в процесорах, і міжпроцесорні засоби пріоритетної обробки запитів доступу до шини.

При розробці **засобів підтримки режимів роботи процесора** необхідно передбачити систему обробки запитів переривань МПС.

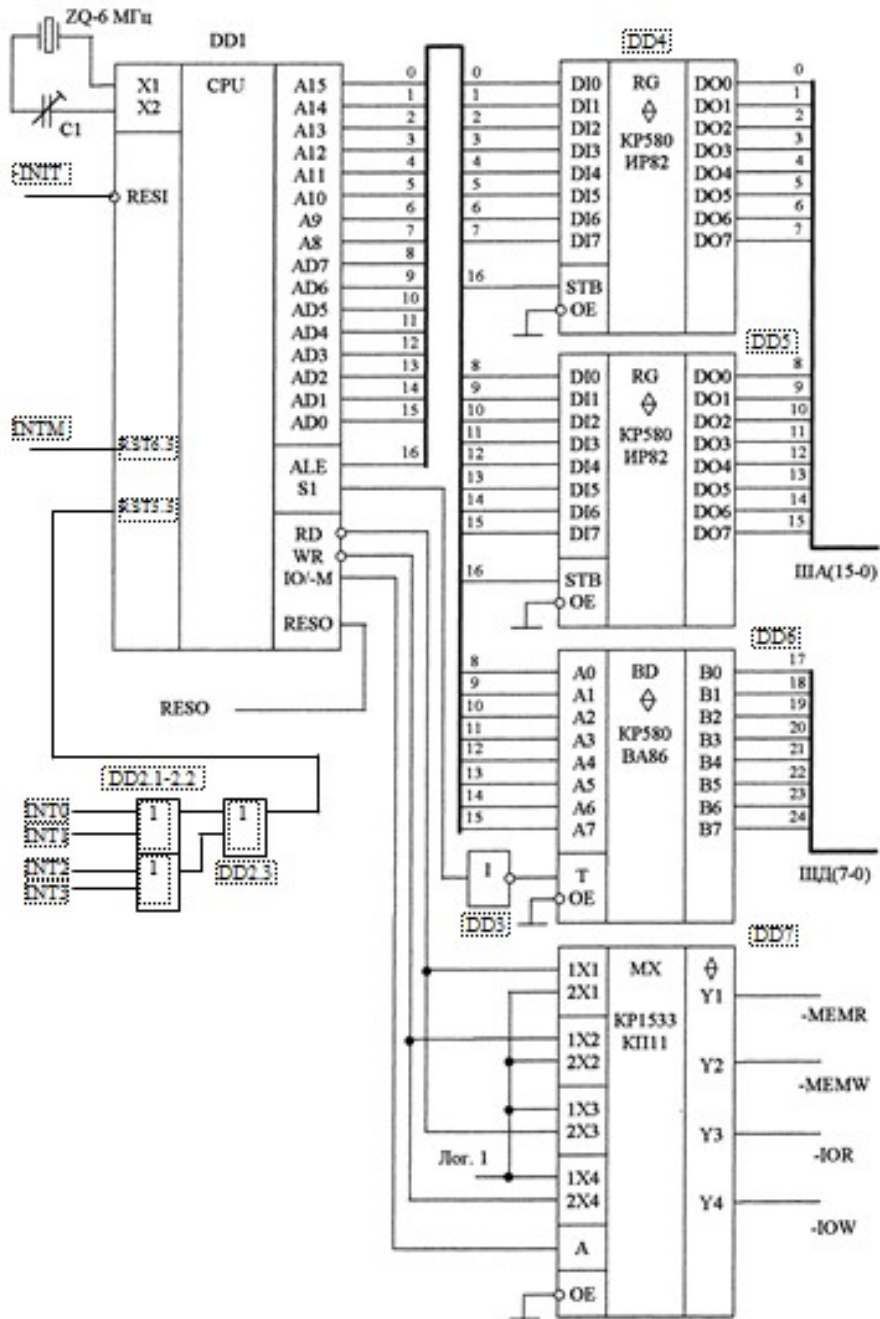
# Структура процесора на основі МП Intel 8085A



БРА – буферні регістри адреси,  
ФШД – формувач ШД, ФШУ –  
формувач ШУ

-BUSE – сигнал дозволу  
захоплення шин, -MEMR – читання  
пам'яті, -MEMW – запис до  
пам'яті, -IOR – читання  
зовнішнього пристрою, -IOW –  
запис до зовнішнього пристрою

# Структура процесора на основі МП Intel 8085A

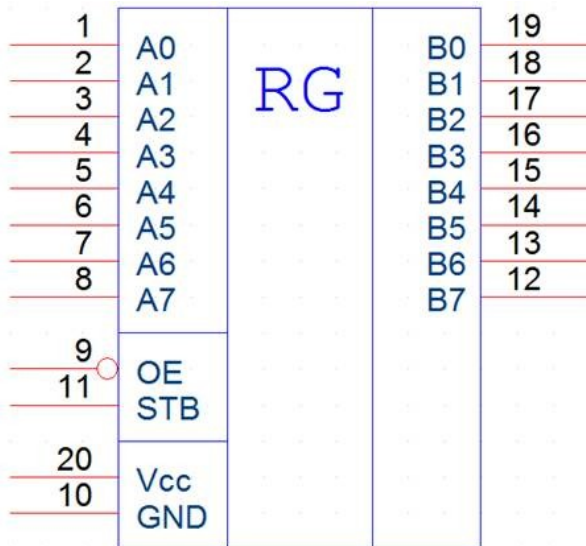


Функціональна схема МПБ на основі МП 8085A DD1 зображена на рисунку. 8085A має сумісний канал адреси/даних AD7-AD0. По ньому (у першому такті машинного циклу) спочатку передається молодший байт адреси A7-A0, а потім передаються або приймаються дані D7-D0. Під час передачі молодшого байту адреси МП виробляє строб адреси ALE. У цьому зв'язку для організації 16-розрядної ША необхідні буферні регістри, що запам'ятовують адреси по сигналу ALE ("Дозвіл завантаження адреси") і володіють високою навантажувальною здатністю. Як такі регістри пропонуються використовувати ІМС КР580ІР82 (Intel 8282) DD4-DD5 з Z-станом по виходу, що мають навантажувальну здатність 32 мА/вивід, яка забезпечує формування потужних сигналів адресної шини. Вихід ALE DD1 підключається до входів STB регістрів DD4-DD5, активний рівень ALE – одиничний. Двонаправлена буферизація ШД(7-0) реалізується на шинному формувачі DD6 КР580ВА86 (Intel 8286). Напрямок передачі даних визначається сигналом з виходу S1 ("Стан циклу"), що інвертується елементом DD3, і надходить на вхід Т формувача DD6.

# Структура процесора на основі МП Intel 8085А

Сигнали ШУ -MEMR ("Читання пам'яті"), -MEMW ("Запис пам'яті"), -IOR ("Читання порту введення") і -IOW ("Запис у порт виведення") виробляються за допомогою 4-канального мультиплектора 2→1 КР1533КП11 DD6 на основі керуючих сигналів -RD ("Читання"), -WR ("Запис") і ІО/-М ("Вибір ЗП/ПП") МП. ІМС КР1533КП11 має Z-стан по виходу. Початкова установка (обнуління внутрішніх регістрів і лічильників МП) здійснюється по входу -RESI ("Початкова установка") сигналом -INIT від зовнішньої системи. Після обнуління МП виконує обнуління інших блоків за допомогою вихідного сигналу -RESO ("Початкова установка блоків").

Мінімальний час машинного такту МП 8085А становить  $t_{\text{MT}} = 320$  нс. У зв'язку із цим частоту  $f_c$  синхронізації МП  $f_c = 1/t_{\text{MT}} = 1/320 \approx 3,1 \times 10^6$  Гц  $\approx 3$  МГц. Оскільки такт МП 8085А містить два періоди імпульсів, тому частота на входах X1 і X2 МП повинна бути  $f_{\text{ZQ}} = 2 \times f_c = 2 \times 3$  МГц = 6 МГц.

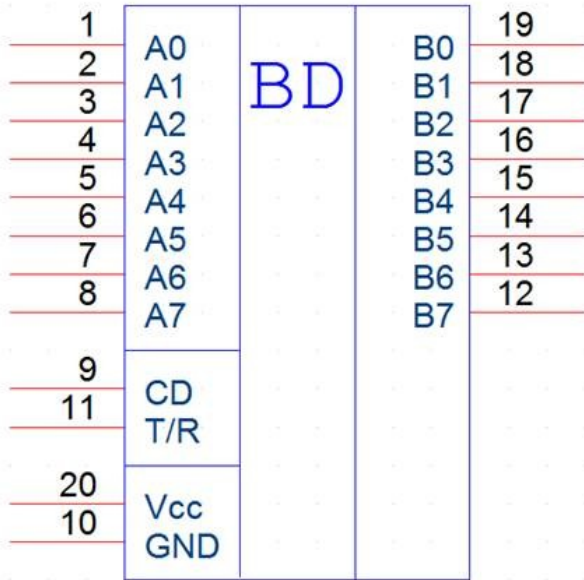


№	Обозначение	Тип	Функциональное назначение
11	STB	Вход	<b>Строб записи:</b> запись происходит при высоком уровне сигнала
9	~OE	Вход	<b>Разрешение вывода:</b> низкий уровень сигнала выводит регистр из третьего состояния
0-8	A0-A7	Вход	<b>Входные данные.</b>
19-12	B0-B7	Выход	<b>Выходные данные.</b>
20, 10	Vcc, GND		<b>Питание и земля.</b>

Intel 8282 – багатофункціональний 8-розрядний регістр з трьома станами. Регістр прозорий, коли STB = 1 (Intel 8283 з інверсними виходами B0-B7)

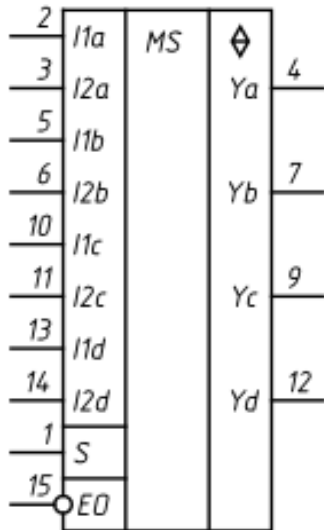


# Структура процессора на основе МП Intel 8085A



№	Обозначение	Тип	Функциональное назначение
11	CD	Вход	<b>Запрет работы чипа:</b> высокий уровень сигнала переводит оба порта в третье состояние.
9	T/~R	Вход	<b>Направление передачи:</b> во время когда разрешена работа чипа, при высоком значении разрешает передачу из порта А в порт В, при низком в обратном направлении.
0-8	A0-A7	Вход\Выход	<b>Порт А.</b>
19-12	B0-B7	Выход\Выход	<b>Порт В.</b>
20, 10	Vcc, GND		<b>Питание и земля.</b>

Intel 8286 – 8-розрядний шинний формувач, забезпечує двонапрявну передачу



74ALS257N – 4-розрядний селектор-мультиплексор 2→1 з трьома станами