

Лекція 14. Побудова послідовних портів

14.1 Інтерфейс послідовних каналів ВВ.

14.2 Структура УСАПП Intel 8251.

14.3 Підключення УСАПП Intel 8251 до системної шини.

14.4 Програмування УСАПП Intel 8251.

14.5 Режими ВВ УСАПП Intel 8251.

Інтерфейс послідовних каналів введення-виведення

Послідовний інтерфейс в МПС будується на основі багаторежимних буферних регістрах (послідовним введенням-виведенням двійкових даних) або програмованих контролерах послідовного інтерфейсу. Наприклад, для розробки підсистеми послідовного інтерфейсу для МПС з МП Intel 8085 (8086, 8088) використовують програмований контролер Intel 8251.

Найбільш ефективна побудова підсистеми послідовного інтерфейсу є на основі програмно-керованої логіки, що дозволяє, якщо є потреба, легко перенастроювати послідовні порти введення/виведення на інший режим обміну або інший ЗП.

В якості елементної бази підсистеми послідовного інтерфейсу на основі МП Intel 8085A (8086, 8088), як правило, використовують програмувальну ВІС Intel 8251.

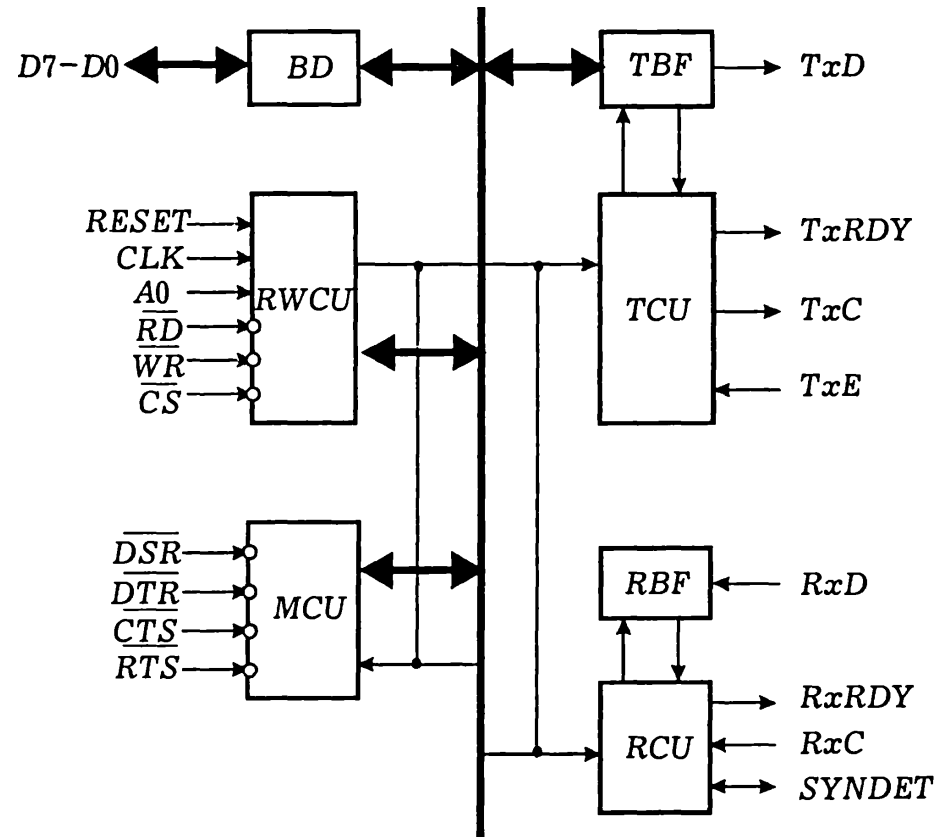
Програмований послідовний інтерфейс Intel 8251 являє собою **універсальний синхронно-асинхронний приймач-передавач (УСАПП), призначений для організації обміну між МП і ЗП в послідовному форматі.**

УСАПП приймає дані з 8-розрядної ШД МП і передає їх у послідовному форматі ЗП або одержує послідовні дані від ЗП і перетворює їх у паралельну форму для передачі МП. Обмін може бути як напівдуплексним (однонапрямленим), так і дуплексним (двонапрямленим). Послідовний інтерфейс може здійснювати обмін даними в асинхронному режимі зі швидкістю передачі до 9,6 Кбіт/с або в синхронному – зі швидкістю до 56 кбіт/с залежно від запрограмованого режиму. Довжина переданих даних - від 5 до 8 біт. При передачі в МП символів завдовжки менше 8 біт невикористані біти заповнюються 0. Формат символу містить також службові біти і необов'язковий біт контролю парності.

Структура УСАПП Intel 8251

Структурна схема УСАПП містить:

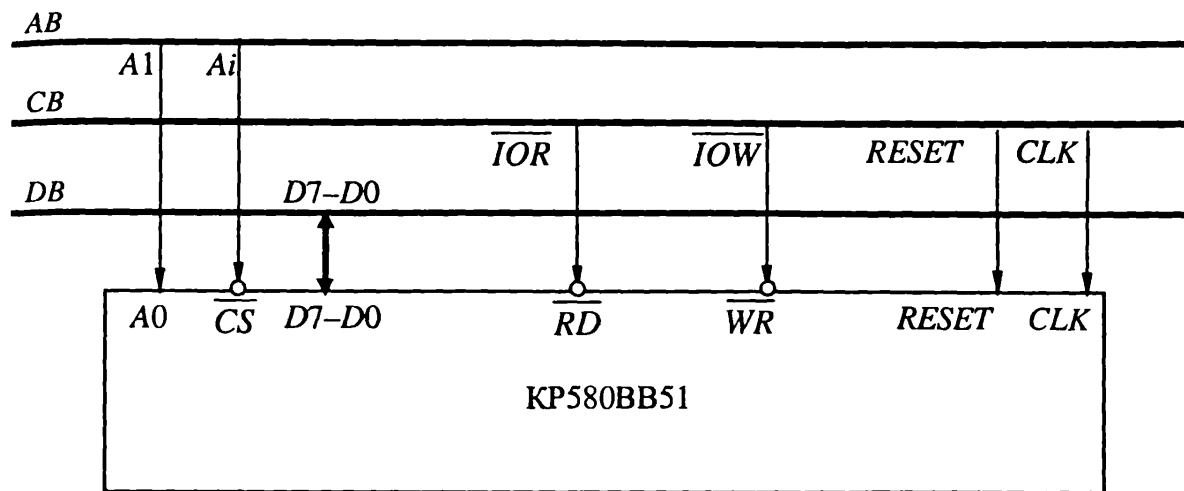
- буфер передавача TBF зі схемою керування передавачем TCU, який призначено для приймання даних від МП і видачі їх у послідовному форматі на вихід TxD;
- буфер приймача RBF зі схемою керування приймачем RCU, що виконує приймання послідовних даних із входу RxD і передачу їх у МП у паралельному форматі;
- буфер даних BD, який являє собою паралельний 8-розрядний двонапрявлений буфер ШД із тристабільними каскадами, який використовується для обміну даними та керувальними словами між МП і УСАПП;
- блок керування читанням/записом RWCU, що приймає керувальні сигнали від МП і генерує внутрішні сигнали керування;
- блок керування модемом MCU, який обробляє керувальні сигнали, призначені для ЗП.



Структурна схема Intel 8251

Підключення УСАПП Intel 8251 до системної шини

Функціональна схема з'єднання УСАПП Intel 8251 із системною шиною МП:



Сигнал A_i , поданий на вивід ВІС A_0 , визначає дві адреси УСАПП. При адресі $A_i = 0$ будуть передаватися дані, при $A_i = 1$ записуватися команди або читатися слова стану. Інші виводи приєднуються до однойменних ліній шин МП системи.

Значення сигналів адреси A_0 , керування читанням \overline{RD} , записом \overline{WR} і вибіркою \overline{CS} при записі та читанні регістрів ВІС наведено в таблиці.

Операції	Сигнали керування			
	A_0	\overline{RD}	\overline{WR}	\overline{CS}
Читання даних з УСАПП на шину $D7-D0$	0	0	1	0
Запис даних із шини $D7-D0$ в УСАПП	0	1	0	0
Зчитування слова стану із УСАПП на шину $D7-D0$	1	0	1	0
Запис керувального слова із шини $D7-D0$ в УСАПП	1	1	0	0
Високоімпедансний стан виводів $D7-D0$	x	1	1	0
	x	x	x	1

Програмування УСАПП Intel 8251

Програмування УСАПП відбувається завантаженням керувальних слів. Розрізняють керувальні слова двох типів: керувальне слово ініціалізації (КСІ) та операційне керувальне слово (ОКС).

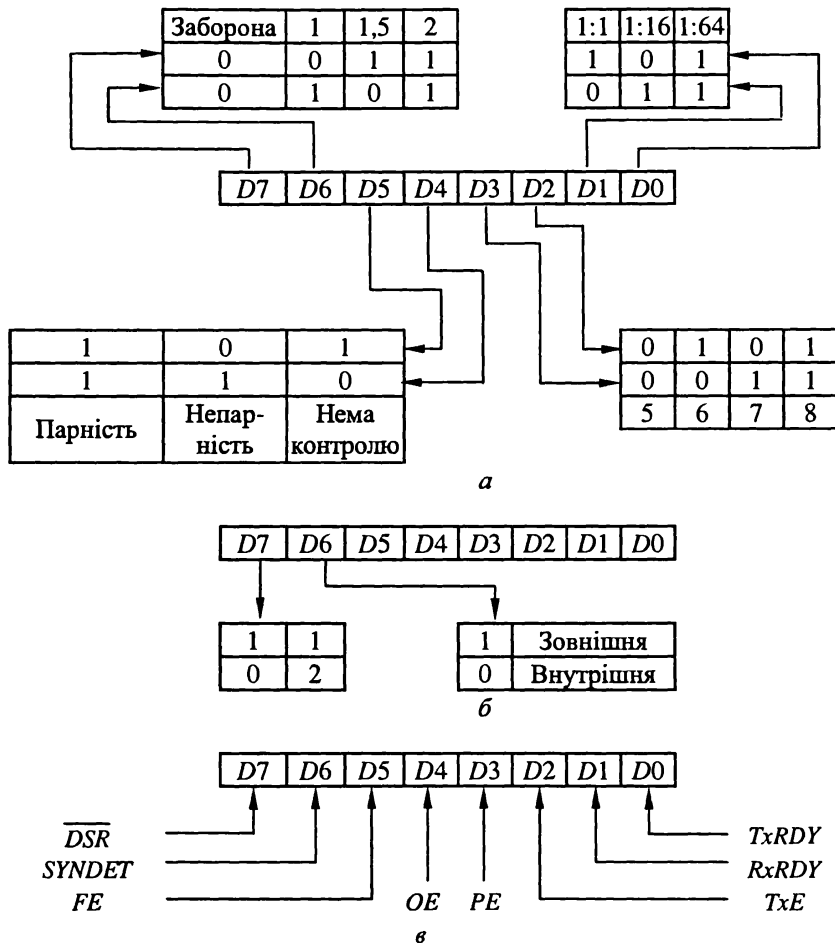


Рис. 6.60. Формат керувального слова ініціалізації: а – для асинхронного обміну; б – для синхронного обміну; в – формат слова стану

КСІ задає синхронний або асинхронний режим роботи, формат даних, швидкість приймання або передавання, контроль правильності даних. Це слово заноситься відразу після встановлення УСАПП у вихідний стан програмно або за сигналом RESET, а замінюється лише зі зміною режиму. Формат КСІ різний в асинхронному чи синхронному режимах.

В асинхронному режимі дані, що передаються, містять нульовий старт-біт, біти даних, біт контролю і стоп-біти. Кількість бітів даних і стоп-бітів, а також наявність або відсутність біта контролю задаються записом в УСАПП керувального слова режиму (а). Розряди D0 і D1 визначають коефіцієнт ділення сигналів синхронізації CLK, D3 і D2 визначають кількість бітів даних. Режим контролю задається D5 і D4. При D4 = 0 контроль парності заборонений; значення D5 встановлює вид контролю - парності або непарності. D7 і D6 визначають кількість переданих стоп-бітів.

Програмування УСАПП Intel 8251

Синхронний обмін передбачає передачу даних у вигляді масивів слів. Для синхронізації запуску під час приймання даних використовуються один або два символи синхронізації (спеціальні кодові комбінації, наприклад, 10010100). Формат КСІ режиму для синхронного обміну показано (б).

Розряди D1 і D0 мають нульове значення, D6 установлює тип синхронізації (зовнішню або внутрішню), D7 визначає використання одного (D7 = 1) або двох (D7 = 0) символів синхронізації. Призначення D3, D2 і D5, D4 аналогічне призначенню цих розрядів при асинхронному обміні.

Контроль стану УСАПП у процесі обміну даними МП здійснюється за допомогою команди читання слова стану. Показано формат слова стану УСАПП (в). Розряд D3 (PE) установлюється тоді, коли виникають помилки парності; розряд D4 (OE) – коли виникають помилки переповнення, якщо МП не прочитав символ; розряд D5 (FE) - коли виникає помилка, яка полягає в тому, що для асинхронного режиму не виявлений стоп-біт. Інші розряди слова стану мають такий самий сенс, як і однойменні виводи МП.

Розряд	Позначення	Призначення
D0	<i>TxE</i>	Дозвіл передачі: при нульовому значенні передача інформації неможлива, при одиничному – можлива
D1	<i>DTR</i>	Запит про готовність передавача до передачі: при одиничному значенні – запис нуля на виводі <i>DTR</i>
D2	<i>RxE</i>	Дозвіл на прийом: при нульовому значенні приймання інформації неможливе, при одиничному – можливе
D3	<i>SBRK</i>	Кінець передачі: при нульовому значенні – нормальна робота каналу передачі, при одиничному значенні – установлення високого рівня на виводі <i>TxD</i>
D4	<i>ER</i>	Виявлення помилок: при одиничному значенні – установлення розрядів помилок у вихідний стан
D5	<i>RTS</i>	Запит про готовність приймача терміналу до прийому: при <i>D5 = 1</i> – запис нуля на виводі <i>RTS</i>
D6	<i>IR</i>	Програмне скидання схеми у вихідний стан: при одиничному значенні – установлення УСАПП у вихідний стан і готовність до приймання інструкції режиму
D7	<i>EH</i>	Режим пошуку імпульсів синхронізації: при одиничному значенні – установлення режиму пошуку символів синхронізації

Керування роботою УСАПП після ініціалізації здійснюється записуванням ОКС, які можуть багаторазово задаватися у процесі обміну, керуючи різними його етапами. Призначення окремих розрядів ОКС в таблиці.

Під час асинхронного обміну ОКС завантажується відразу після КСІ, а під час синхронного перед ним розташовуються один або два символи синхронізації.

Режими введення-виведення УСАПП Intel 8251

Запис керувальних слів та символів синхронізації здійснюється через шину даних DB при поданні на вхід A0 N-рівня, а на вхід WR - L-рівня. Після початкового встановлення УСАПП приймає інформацію на DB як KCI і розмішує його у відповідному регістрі. Блок RWCU дешифрує це слово і, якщо запрограмований асинхронний режим, то наступне слово сприймається як OKC, а якщо синхронний - інформація на DB сприймається як символ синхронізації.

Після запису керувального слова режиму і операційного слова УСАПП готовий до виконання обміну даними в одному з п'яти режимів:

- 1) синхронна передача;
- 2) синхронне приймання із внутрішньою синхронізацією;
- 3) синхронне приймання із зовнішньою синхронізацією;
- 4) асинхронна передача;
- 5) асинхронне приймання.

Самостійно вивчити опис режимів роботи с. 299-300. *Мікропроцесорна техніка: Підручник / Ю. І. Якименко, Т. О. Терещенко, Є. І. Сокол, В. Я. Жуйков, Ю. С. Петергеря. - К.: ІВЦ "Видавництво «Політехніка»"; 2004. - 440 с.*