

Лекція 13. Побудова паралельних портів

13.1 Інтерфейс паралельних каналів ВВ.

13.2 Структура ППІ Intel 8255А.

13.3 Підключення ППІ Intel 8255А до системної шини.

13.4 Програмування ППІ Intel 8255А.

13.5 Режими ВВ ППІ Intel 8255А.

13.6 Використання ППІ Intel 8255А в мікропроцесорному контролері.

Інтерфейс паралельних каналів введення-виведення

Паралельний інтерфейс в МПС будується на основі багаторежимних буферних регістрах або програмованих контролерах паралельного інтерфейсу. Наприклад, для розробки підсистеми паралельного інтерфейсу для МПС з МП Intel 8085 (8086, 8088) використовують буферні регістри Intel 8282/83, контролери Intel 8255A.

Найбільш ефективна побудова підсистеми паралельного інтерфейсу є на основі програмно-керованої логіки, що дозволяє, якщо є потреба, легко перенастроювати порти введення/виведення на інший режим обміну або інший ЗП.

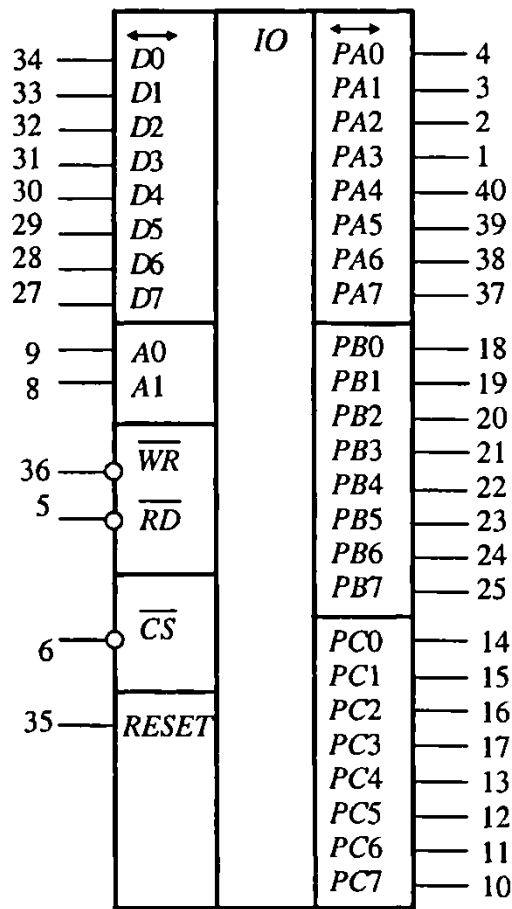
В якості елементної бази підсистеми паралельного інтерфейсу на основі МП Intel 8085A (8086, 8088), як правило, використовують програмувальну ВІС Intel 8255A.

Програмований паралельний інтерфейс (ППІ) Intel 8255A призначений для ВВ паралельної інформації у 8-байтовому форматі, що дозволяє реалізувати більшість відомих протоколів обміну по паралельних каналах.

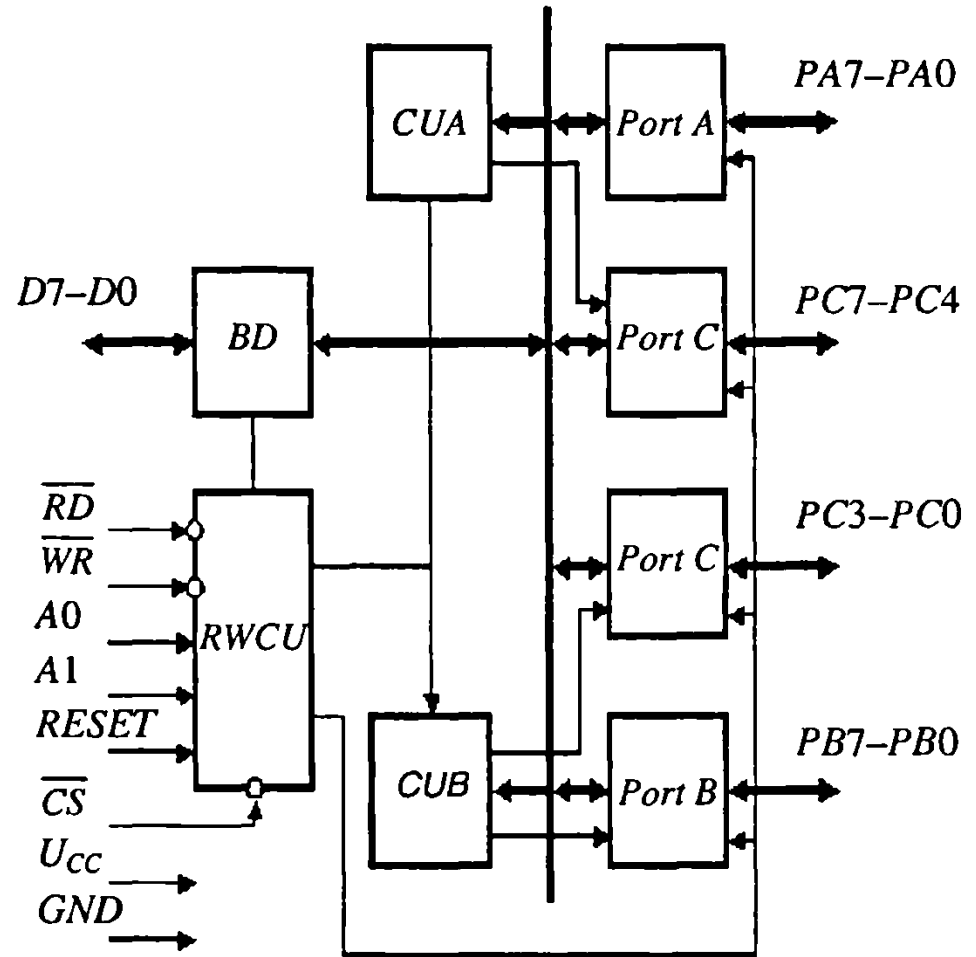
До складу ВІС Intel 8255A входять:

- двонаправлений 8-розрядний буфер даних Bufer of Data (BD), що з'єднує лінії даних ВІС із системною шиною даних;
- блок керування читанням/записом Read/Write Control Unit (RWCU), що забезпечує керування зовнішнім і внутрішнім передаванням даних і керувальних слів;
- три 8-розрядні порти введення-виведення (Port A, Port B, Port C) для обміну інформацією, причому порт C поділений на два 4-розрядні: C (PC1-PC4) і C' (PC3-PC0). Порти A і C' об'єднані у групу A, порти B і C'' - у групу B.

Структура ППІ Intel 8255A



Графічне позначення Intel 8255A



Структурна схема Intel 8255A

ППІ Intel 8255A виконаний по nМОП-технології, живиться від джерела +5 В и споживає струм 120 мА.

Структура ППІ Intel 8255A

Схема ВІС містить також блоки керування групою A Control Unit A (CUA) та групою B (CUB), що формують сигнали керування для відповідних груп. Блок RWCU (Register of Control Word Unit) містить реєстр керувального слова, який зберігає керувальні слова, що надходять від МП.

Адресні розряди A1, A0 дозволяють обирати один з портів або реєстр керувального слова RCW.

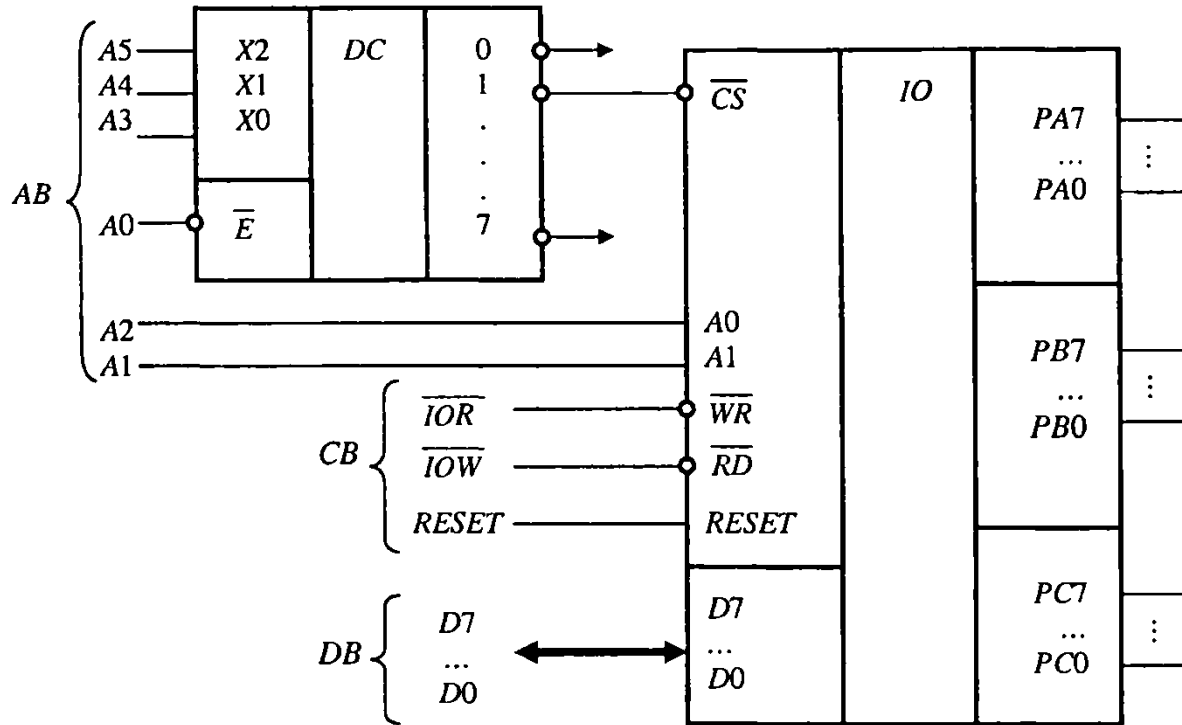
A1	A0	Порт
0	0	A
0	1	B
1	0	C
1	1	RCW

Сигнал керування третім станом шини даних -CS, сигнал читання -RD, сигнал запису -WR та сигнал скидання RESET подаються на блок RWCU і разом із адресними сигналами A0, A1 задають вид операції, що виконується.

Операція	\overline{CS}	\overline{RD}	\overline{WR}	A1	A0
Запис керувального слова із МП	0	1	0	1	1
Запис даних у порт A	0	1	0	0	0
Запис даних у порт B	0	1	0	0	1
Запис даних у порт C	0	1	0	1	0
Зчитування даних із порту A	0	0	1	0	0
Зчитування даних із порту B	0	0	1	0	1
Зчитування даних із порту C	0	0	1	1	0
Від'єднання ВІС від D7-D0	1	x	x	x	x

Підключення ППІ Intel 8255A до системної шини

Функціональна схема з'єднання Intel 8255A із системною шиною МП:



Порт	A7	A6	A5	A4	A3	A2	A1	A0	Адреса
A	0	0	0	0	1	0	0	0	08H
B	0	0	0	0	1	0	1	0	0AH
C	0	0	0	0	1	1	0	0	0CH
RCW	0	0	0	0	1	1	1	0	0EH

Відповідно до схеми і таблиці виду операцій визначаються адреси портів і регістра керувального слова RCW.

Програмування ППІ Intel 8255A

Програмування Intel 8255A полягає у завантаженні керувального слова режиму при $A1=1, A0=1$.

Керувальне слово визначає один з трьох режимів портів паралельного інтерфейсу: режим 0 – основний режим ВВ, режим 1 – режим ВВ за стробом готовності, режим 2 – режим двонапрямленої передачі інформації.

<i>D7</i>	<i>D6</i>	<i>D5</i>	<i>D4</i>	<i>D3</i>	<i>D2</i>	<i>D1</i>	<i>D0</i>
1	<i>M1</i>	<i>M0</i>	<i>IOA</i>	<i>IOC'</i>	<i>M</i>	<i>IOB</i>	<i>IOC''</i>

Формат керувального слова режиму

- біти *M1*, *M0* задають режим групи А. При $M1M0 = 00$ – режим 0, 01 - режим 1, 1x - режим 2;
- біт *IOA* задає режим введення або виведення порту А (1 – введення інформації, 0 – виведення);
- біт *IOC'* задає режим введення або виведення порту С (1 – введення інформації, 0 – виведення);
- біт *M* задає режим групи В (0 – режим 0, 1 – режим 1);
- біт *IOB* задає режим введення або виведення порту В (1 – введення інформації, 0 – виведення);
- біт *IOC''* задає режим введення або виведення порту С" (1 – введення інформації, 0 – виведення).

Режими введення-виведення ППІ Intel 8255A

Керувальне слово може встановлювати різні режими роботи для кожного з портів.

Порт А може працювати в будь-якому з трьох режимів, порт В – у режимах 0 та 1.

Порт С можна використовувати для передачі даних тільки в режимі 0, в інших режимах його застосовують для передачі керувальних сигналів, що супроводжують процес обміну по портах А і В.

Окремі розряди порту С можна встановлювати або скидати програмно за допомогою керувального слова встановлення/скидання.

D7	D6	D5	D4	D3	D2	D1	D0
0	x	x	x	N2	N1	N0	S/R

Формат керувального слова встановлення/скидання порту С

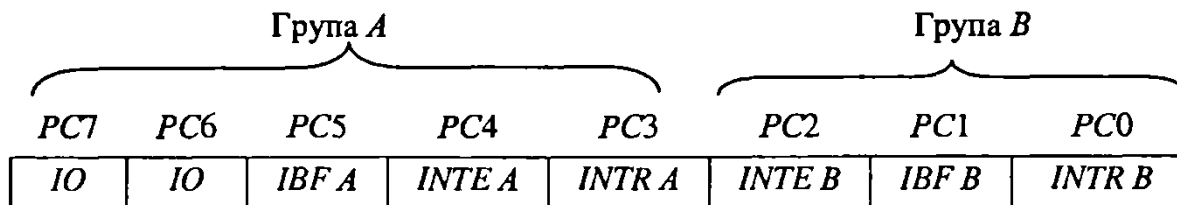
- біти N2, N1, N0 задають номер розряду, який треба встановити або скинути. Якщо значення цих бітів дорівнює 000 - обирається розряд PC0, 001 - PC1 і т.д.;
- біт S/R задає режим установлення або скидання розряду порту С, який обрано значеннями N2, N1, N0. При S/R = 1 відбувається встановлення розряду, при 0 - скидання.

Режим 0 застосовується при синхронному обміні або програмній організації асинхронного обміну. У цьому режимі ВІС являє собою пристрій, що складається із чотирьох портів (два 8-розрядні і два 4-розрядні), які можуть незалежно налагоджуватися на введення або виведення інформації. Виведення інформації здійснюється за командою OUT із фіксацією виведеної інформації у регістрах портів, а введення - за командою IN без запам'ятовування інформації.

Режими введення-виведення ППІ Intel 8255A

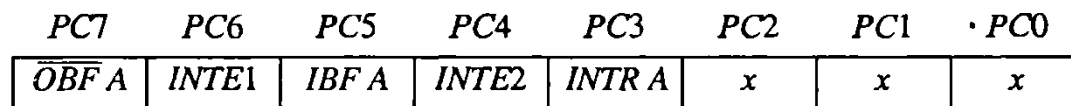
Режим 1 забезпечує однонапрямлений обмін інформацією МП з ЗП за стробом готовності. Інформація передається по портах А і В, а лінії порту С керують передачею.

Роботу порту в режимі 1 супроводжують 3 керувальні сигнали. Якщо один з портів запрограмовано на режим 1, то інші 13 інтерфейсних ліній можна використовувати у режимі 0. Якщо обидва порти запрограмовано на режим 1, то дві інтерфейсні лінії порту С, що залишилися, можуть бути налагоджені на введення або виведення.



Призначення розрядів порту С при введенні даних із портів А і В у режимі 1:
IBF (Input Buffer Full) – вихідний сигнал ВІС, що повідомляє про наповненість вхідного буфера порту даними; *INTR (INTerrupt)* – вихідний сигнал, що повідомляє про завершення приймання інформації; *INTE (INTerrupt Enable)* – сигнал дозволу переривання (вхід стробу приймання)

Режим 2 забезпечує двонапрямлену передачу з порту А до ЗП і навпаки. Процес обміну супроводжують 5 керувальних сигналів, що подаються по лініях PC7-PC3; 11 інтерфейсних ліній, що залишилися, можуть налагоджуватися на режим 0 або 1.



Залежать від режиму порту В

Призначення розрядів порту С у режимі 2

Використання Intel 8255A в мікропроцесорному контролері

ППІ програмується на основний режим ВВ – режим 0. У цьому випадку ВІС розглядається як пристрій, що складається з 4-х портів, які незалежно налаштовуються на введення або виведення.

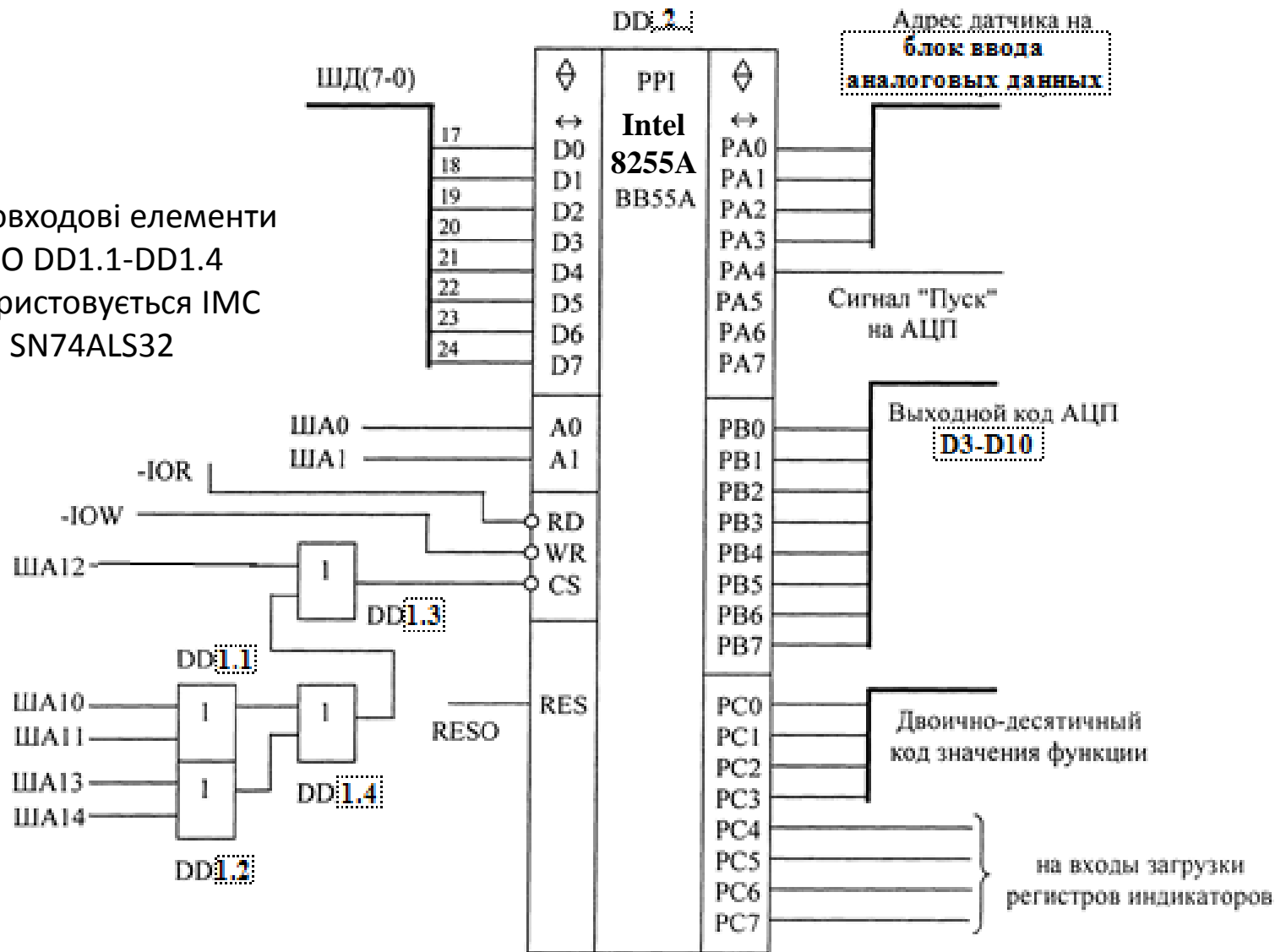
ППІ для роботи в складі мікропроцесорного контролера пропонується налаштувати: порт РА на вивід адреси датчика (розряди РА (3-0)) і сигналу "Пуск" (розряд РА4); порт РВ (7-0) на введення цифрового коду аналогового сигналу датчика; порт РС (3-0) на висновок ДДК значення функції $Y(t)$; порт РС (7-4) на вивід сигналів завантаження ДДК функції $Y(t)$.

Зв'язок Intel 8255 А з системної ШД здійснюється через 8-розрядний буфер даних D7-D0. Включення ВІС інтерфейсу в роботу виконується через селектор адреси, що складається з двовходових елементів АБО DD1.1-DD2.4. На входи DD1.1-DD2.4 подаються адресні розряди ША (14-12) (приймаємо, що ША15 в контролері не використовується для адресації ні пам'яті, ні зовнішніх пристроїв). Селектор адреси видає сигнал дозволу на вхід вибірки кристала -CS ІМС при появі адрес 00h-03h на розрядах ША (15-8) адресної шини, що відповідає дозволеному полю адрес для ЗП. При цьому введення даних здійснюється по команді ІN, а вивід інформації – по команді ОUТ.

Адресація портів ВВ ППІ і їх підключення через буфер даних до ШД виконується за допомогою адресних розрядів ША1 і ША0 (рівень сигналів на ША1 і ША0 збігається з сигналами на ША9 і ША8 відповідно).

Використання Intel 8255A в мікропроцесорному контролері

Як двовходові елементи АБО DD1.1-DD1.4 використовується ІМС SN74ALS32



Використання Intel 8255A в мікропроцесорному контролері

При ініціалізації контролера в регістр керуючого слова ППІ необхідно занести восьмирозрядне слово, формат якого має наступний вигляд:

