

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ

ХАРКІВСЬКИЙ НАЦІОНАЛЬНИЙ
УНІВЕРСИТЕТ РАДІОЕЛЕКТРОНІКИ

І.М. Бондаренко, О.В. Бородин, В.П. Карнаушенко

**ПРОЕКТУВАННЯ НАПІВПРОВІДНИКОВИХ ПРИЛАДІВ ТА
ІНТЕГРАЛЬНИХ СХЕМ**

Навчальний посібник
для студентів спеціальностей
«Мікро– та наносистемна техніка», «Електроніка»

РЕКОМЕНДОВАНО
Вченою радою університету.
Протокол № 15 від 28.04. 2018р.

Харків 2018

БОНДАРЕНКО І.М., БОРОДИН О.В., КАРНАУШЕНКО В.П. Проектування напівпровідникових приладів та інтегральних схем: Навч. посібник для студентів ЗВО. – Харків: ХНУРЕ. – 2018. – 177 с.

Викладено основні принципи побудови та функціонування інтегральних схем, сучасні та перспективні напрями розвитку електронної промислової та побутової техніки, що розробляються та виготовляються на новітній елементній базі – інтегральних мікросхемах (ІС). Розглянуті основні етапи та складові частини процесу проектування напівпровідникових приладів, інтегральних схем та електронних систем. Визначений порядок та рівні проектування, основні підходи до реалізації проектів.

Розглянуті особливості конструктивного виконання й технології виготовлення ІС, наведені співвідношення, які дозволяють виконувати розрахунок основних характеристик ІС, розглянуті особливості їх технічного виконання та практичного застосування. Розглянуті засоби автоматизованого проектування і напрями удосконалення та розвитку НПП та ІС.

Рекомендовано як навчальний посібник для студентів усіх форм навчання спеціальностей «Мікро– та наносистемна техніка», «Електроніка».

Рецензенти:

В.М. Борщов, Заслужений діяч науки і техніки України, доктор технічних наук, професор, перший заступник директора ТОВ «Світлодіодні технології України»;

О.Ю. Панченко, д-р. фіз.–мат. наук, професор, завідувач кафедри ПЕЕА ХНУРЕ.

Іл. 88. Бібліогр. 19 назв.

ЗМІСТ

ВСТУП	4
1 ПРОЕКТУВАННЯ. ВИЗНАЧЕННЯ ТА ВИМОГИ	5
1.1 Рівні проектування. Класифікація інтегральних схем	
1.2 Контрольні запитання і завдання	14
2 ЕТАПИ ПРОЕКТУВАННЯ НАПІВПРОВІДНИКОВИХ ПРИЛАДІВ ТА ІНТЕГРАЛЬНИХ СХЕМ	16
2.1 Проектні процедури	20
2.2 Евристичні і систематичні рішення	22
2.3 Контрольні запитання і завдання	24
3 АВТОМАТИЗОВАНЕ ПРОЕКТУВАННЯ НАПІВПРОВІДНИКОВИХ ПРИЛАДІВ ТА ІНТЕГРАЛЬНИХ СХЕМ	25
3.1 Поняття автоматизованого проектування	27
3.2 Базові поняття системного підходу в проектуванні	31
3.3 Рівні проектування	33
3.4 Моделі та їх параметри в САПР	36
3.5 Контрольні запитання і завдання	43
4 РОЗРОБКА СТРУКТУРИ ПРОЕКТУ	45
4.1 Структура САПР	48
4.2 Вимоги до технічного забезпечення САПР	52
4.3 Вибір методів аналізу	56
4.4 Методологія проектування систем на кристалі	58
4.5 Контрольні запитання і завдання	67
5 ПРИНЦИПИ ПОБУДОВИ І ПРОГРАМНЕ ЗАБЕЗПЕЧЕННЯ CALS-ТЕХНОЛОГІЇ	69
5.1 Основні типи САПР підтримки <i>CALS</i> – технологій	73
5.2 Контрольні запитання і завдання	78
6 СИСТЕМИ АВТОМАТИЗОВАНОГО ПРОЕКТУВАННЯ ІНТЕГРАЛЬНИХ СХЕМ	79
6.1 Склад систем проектування Cadence	81
6.2 Алгоритм створення ІС в середовищі Cadence Virtuoso	83
6.3 Моделювання роботи і параметрів електронної системи	86
6.4 Процес створення проекту за допомогою платформи Vituoso	89
6.5 Проектування топології КМОН замовних ВІС в САПР Tanner EDA	92
6.6 Контрольні запитання і завдання	108
7 ЗАСТОСУВАННЯ ПРОГРАМОВАНИХ ПРИЛАДІВ ДЛЯ РОЗРОБКИ ПРОТОТИПІВ ІНТЕГРАЛЬНИХ СХЕМ	109
7.1 Розробка прототипу змішаної ІС на ПАІС	111
7.2 Приклад розробки прототипу цифрової ІС на ПЛІС	122

7.3 Контрольні запитання і завдання	135
8 БАЗОВІ ТЕХНОЛОГІЇ МІКРОЕЛЕКТРОНІКИ	137
8.1 Плівкова технологія виготовлення елементів мікросхем	140
8.3 Деякі особливості технології виготовлення інтегральних схем.	143
8.4 Захист інтегральних схем від впливу зовнішнього середовища	147
8.4.1 Види герметизації	149
8.5 Технології мініатюризації електронних пристроїв	154
8.6 Вплив мікроелектроніки на розвиток сучасної техніки	161
8.7 Контрольні запитання і завдання	163
9 ВИДИ КОНСТРУКТОРСЬКОЇ ДОКУМЕНТАЦІЇ	164
9.1 Склад документації	169
9.2 Контрольні запитання і завдання	173
РЕКОМЕНДОВАНА ЛІТЕРАТУРА	174

ВСТУП

Електроніка являється однією з галузей науки і техніки з найбільш високими темпами розвитку. В епоху автоматизації для більшості механічних процесів використання електронних приладів та пристроїв стає незамінним. Тому знання базових принципів автоматизованого проектування пристроїв електроніки вкрай необхідні спеціалістам – розробникам мікро– та наноелектронних приладів, пристроїв та систем.

Напівпровідникові прилади та інтегральні схеми відрізняються великою різноманітністю своїх характеристик, призначенням, сферою застосування, мають конструктивні, технологічні особливості, розрізняються за ступенем інтеграції та багато інших відзнак.

У даному навчальному посібнику викладені основні принципи проектування елементів, вузлів і блоків, які використовуються в інтегральній мікроелектроніці, розглянуті особливості їхнього конструктивного виконання й технології виготовлення, наведені основні співвідношення, що дозволяють виконувати розрахунок основних характеристик при проектуванні напівпровідникових приладів та інтегральних схем.

У посібнику також розглянуті особливості конструювання і технології гібридних й напівпровідникових ІС, перспективи створення й використання НВІС. В сьомій главі наданий приклад розробки прототипу інтегральної схеми на базі програмованої логіки. В главі 8, в якості додатку, приведені матеріали щодо базових технологій мікроелектроніки, в 9 главі – основні види конструкторської документації, що використовуються на етапах проектування напівпровідникових приладів, інтегральних схем та електронних систем.

Матеріал навчального посібника призначений для забезпечення дисципліни «Проектування напівпровідникових приладів та інтегральних схем» та «Проектування та конструювання електронних пристроїв і систем» для спеціальностей 153 – «Мікро– та наносистемна техніка», 171 – «Електроніка», спеціалізації «Мікро– та наноелектроніка», «Електронні пристрої та системи», а також може бути корисним для споріднених спеціальностей.

1 ПРОЕКТУВАННЯ. ВИЗНАЧЕННЯ ТА ВИМОГИ

Проектування, конструювання та виробництво – це три етапи створення приладів, пристроїв або електронних систем широкого кола застосування.

Систему спочатку треба задумати, продумати, обрахувати і знайти необхідні елементи та зв'язки між ними, які забезпечать виконання системою необхідних функцій. Цей етап – етап проектування – закінчується виготовленням схемної документації.



Рисунок 1.1 – Етапи проектування електронних систем: від кремнію до споживача.

При всій своїй цінності проект – це всього лише папір, тоді як замовнику потрібна реальна система управління. Але перш ніж приступити до виготовлення системи або пристрою, необхідно вирішити яка вона повинна бути. Ці питання вирішуються на етапі конструювання.

Конструювання – це знаходження раціональної геометричної форми системи для виконання нею певних функцій. Цей етап досить складний, тому що вимагає конкретних відповідей на безліч запитань, які постійно виникають в процесі розробки конструкції. Перш за все конструктор повинен вивчити умови, в яких буде працювати система, тому що ці умови в найбільшій мірі визначають конструкцію. Необхідно проаналізувати існуючі прототипи, вивчити їх сильні та слабкі сторони. Безумовно необхідно знати можливості того виробництва, на якому буде виготовлятися система. Все це дозволить скласти технічне завдання на конструкцію та розробити загальну ідею конструктивного рішення. Після цього приступають до детальної розробки конструкції та оформлення необхідної документації. Коло питань, які вирішуються на цьому етапі, дуже велике:

- питання компоновки пристрою, тобто визначення частин, з яких складається електронна система;
- визначення форми та розмірів кожної частини і їх взаємне розташування;
- вибір матеріалів і форми кожного елемента;
- методи боротьби із завадами, захист апаратури від впливу зовнішнього середовища, забезпечення необхідної надійності та ремонтпридатності.

Це далеко не повний перелік питань, на які повинен відповісти конструктор.

Велике значення має вартість апаратури та економічний ефект від її впровадження.

Вимоги до об'єкту проектування. Більшість вимог до електронної апаратури мають протиріччя. Так зменшення габаритів збільшує кількість елементів в одиниці об'єму, що призводить до збільшення виділення тепла і потребує вирішення питання про його відведення. Система охолодження може збільшити габарити та вагу апаратури. Таких протирічних питань може бути багато, а тому необхідно шукати компромісні рішення.

Багато конструкторських процедур носить формальний характер, що дозволяє застосовувати ЕОМ для їх вирішення і тим самим скоротити час на розробку конструкції. Але для цього необхідно вміти скласти математичну модель конструкції та її частин.

Моделювання завжди передбачає прийняття припущень тій чи іншій мірі важливості. При цьому повинні задовольнятися такі вимоги:

- адекватність, тобто відповідність моделі вихідному об'єкту та облік, насамперед, найбільш важливих якостей, зв'язків і характеристик. Оцінити адекватність обраної моделі, особливо на початковій стадії проектування, коли вид створюваного об'єкта ще невідомий, дуже складно. Тут покладаються на досвід попередніх розробок або застосовують певні методи, наприклад, метод послідовних наближень;

- точність, тобто ступінь збігу отриманих в процесі моделювання результатів із заздалегідь встановленими, бажаними. Важливим завданням тут є оцінка потрібної точності результатів і точності вихідних даних, узгодження їх, як між собою, так і з точністю використовуваної моделі;

- універсальність, тобто застосовність моделі до аналізу ряду однотипних об'єктів в одному або декількох режимах функціонування. Це дозволяє розширити область пошуку рішень;

- доцільна економічність, тобто точність одержуваних результатів і спільність рішення задачі повинні ув'язуватися з витратами на моделювання. І вдалий вибір моделі, як показує практика, - результат компромісу між відпущеними ресурсами та особливостями використовуваної моделі. Вибір моделі і забезпечення точності моделювання вважається однією з найбільш важливих завдань моделювання.

Для прискорення процесу конструювання і, особливо, виготовлення апаратури необхідно максимально застосовувати деталі та вузли, які вже освоєні виробництвом. Це особливо відноситься до конструктивних елементів. Необхідно пам'ятати, що лише (15 – 20)% вартості припадає на елементну базу, а решта – на конструктивні елементи.

Етапи та напрями розвитку інтегральних мікросхем. Сучасні та перспективні зразки електронної промислової та побутової техніки розробляються та виготовляються на новій елементній базі – інтегральних мікросхемах (ІС).

Проблемами розробки, виготовлення та експлуатації сучасної електронної техніки ІС займається окрема галузь знань – мікроелектроніка.

Винахід мікросхем почався з вивчення властивостей тонких оксидних плівок, що проявляються в ефекті замалої електропровідності при невеликих електричних напругах. Проблема полягала в тому, що в місці з'єднання двох металів не відбувалося електричного контакту або він мав полярні властивості. Глибокі вивчення цього феномена привели до винаходу діодів, а пізніше транзисторів і інтегральних мікросхем.

В 1958 двоє вчених, що живуть в абсолютно різних місцях, винайшли практично ідентичну модель інтегральної схеми. Один з них, Джек Кілбі, працював на Texas Instruments, іншій, Роберт Нойс, був одним із засновників невеликої компанії з виробництва напівпровідників Fairchild Semiconductor. Обоє об'єднав питання: "Як у мінімум місця вмістити максимум компонентів?". Транзистори, резистори, конденсатори й інші деталі в той час розміщувалися на платах окремо, і учені вирішили спробувати їх об'єднати на одному кристалі з монолітному напівпровідникового матеріалу. Тільки Кілбі скористався германієм, а Нойс віддав перевагу кремнію. В 1959 вони окремо один від одного одержали патенти на свої винаходи – почалося протистояння двох компаній, що закінчилося мирним договором і створенням спільної ліцензії на виробництво чіпів. Після того як у 1961 Fairchild Semiconductor Corporation пустила інтегральні схеми у вільний продаж, їх відразу стали використовувати у виробництві калькуляторів і комп'ютерів замість окремих транзисторів, що дозволило значно зменшити розмір і збільшити продуктивність.

Мікроелектроніка дозволяє створити зразки техніки, які відрізняються від існуючих зразків на дискретних елементах такими якостями, як: висока надійність, незначне споживання електроенергії, малі габаритні розміри та маса, низька собівартість виготовлення.

Ці якості досягаються за рахунок застосування так званої інтегральної технології виготовлення ІС, при якій процеси виготовлення елементів і з'єднання їх у функціонально закінчений вузол суміщаються.

За рахунок інтегральної технології став можливим перехід від традиційних методів збірки функціональних вузлів на дискретних елементах до групового методу виготовлення та з'єднання інтегральних елементів у єдиному конструктивно закінченому функціональному вузлі.

Рівень мініатюризації електронної техніки характеризується відношенням числа елементів у вузлі до об'єму, який займає цей вузол, і називається густиною упаковки.

Прийнято вважати, що електронна техніка пройшла у своєму розвитку чотири етапи мініатюризації.

Кожному етапу відповідає своє покоління елементної бази (табл.1).

Таблиця 1–Етапи розвитку мініатюризації електронної техніки

Покоління електронної техніки	Етапи мініатюризації електронної техніки	Елементна база електронної техніки
I –покоління (50 –ті роки)	Мініатюризація	Електронно – вакуумні прилади
II –покоління (60 –ті роки)		Дискретні напівпровідникові прилади
III –покоління (70 –ті роки)	Мікромініатюризація	Інтегральні схеми (ІС)
IV –покоління (80 –ті роки)	Комплексна мікромініатюризація	Великі та надвеликі інтегральні схеми (ВІС, НВІС)
V –покоління (90 –ті роки)		Елементи функціональної електроніки

Перший етап – це етап вакуумної електроніки. Елементну базу на цьому етапі склали електронно–вакуумні прилади. На цьому етапі здійснювалася мініатюризація електронних ламп пасивних елементів, покращувались характеристики й параметри, використовувався пакетний монтаж. Це дозволило збільшити щільність упаковки до 200 елементів на 1 дм³ (0,2 ел/см³).

Другий етап– етап дискретної напівпровідникової електроніки настав з появою і широким впровадженням в електроніці в якості елементної бази дискретних напівпровідникових приладів–діодів, транзисторів. Застосування транзисторів і мініатюрних елементів забезпечило якісний стрибок у мініатюризації електронної техніки, підвищення її надійності, економічності, зменшенні габаритних розмірів і маси.

До цього часу (в 60 –ті роки) широке розповсюдження отримав так званий функціонально–вузловий метод конструювання електронних пристроїв.

Сутність методу заключається в конструюванні електронних пристроїв не із окремих радіодеталей, а із уніфікованих функціональних вузлів (УФВ)– підсилювачів, генераторів, перетворювачів, тригерів та інші. Такі УФВ, зібрані на дискретних елементах, отримали назву модулів (мікромодулів). Їх застосування дозволило отримати густину упаковки до 2 ел/см³.

Третій етап–етап мікроелектроніки. На цьому етапі мікромініатюризації електронних пристроїв у якості елементної бази використовуються інтегральні схеми (ІС). Термін „схема” включає в себе поняття пристрою, вузла, а термін „інтегральна” означає об’єднання великої кількості електричноз’єднаних елементів в одному корпусі.

Четвертий етап – етап комплексної мікромініатюризації. Елементною базою для побудови ІС служать інтегральні схеми підвищеного рівня інтеграції (ВІС) та надвеликі інтегральні схеми (НВІС)

1.1 Рівні проектування. Класифікація інтегральних схем

При розробці напівпровідникових приладів, інтегральних схем та електронних систем слід визначитись з деякими базовими поняттями, що дозволять знайти найкоротший шлях до вирішення проектних завдань.

Рівні проектування. Розрізняють наступні рівні проектування:

- Логічний – логічна схема (логічні інвертори, елементи ІЛИ–НЕ, І–НЕ і т. п.).
- Схемо–і системотехнічний рівень (тригери, компаратори, шифратори, дешифратори, АЛП і т. п.).
- Електричний – принципова електрична схема (транзистори, конденсатори, резистори і т. п.).
- Фізичний – методи реалізації одного транзистора (або невеликої групи) у вигляді легованих зон на кристалі.
- Топологічний – топологічні фотошаблони для виробництва.
- Програмний рівень – рівень реалізації проектів на базі ПЛІС, мікроконтролерів і мікропроцесорів.

В даний час велика частина інтегральних схем проектується за допомогою спеціалізованих САПР, які дозволяють автоматизувати і значно прискорити виробничі процеси, наприклад, отримання топологічних фотошаблонів.

Ступінь інтеграції. В залежності від ступеня інтеграції була запропонована наступна назва класів мікросхем, різна для цифрових і аналогових мікросхем (вказана кількість елементів для цифрових схем):

- мала інтегральна схема (МІС) – до 100 елементів на кристалі,
- середня інтегральна схема (СІС) – до 1000 елементів на кристалі,
- велика інтегральна схема (ВІС) – до 10000 елементів на кристалі,
- надвелика інтегральна схема (НВІС) – до 1 мільйона елементів на кристалі,
- ультравелика інтегральна схема (УВІС) – до 1 мільярда елементів на кристалі,
- гігавелика інтегральна схема (ГВІС) – більше 1 мільярда елементів на кристалі.

В даний час назва УВІС і ГВІС практично не використовується (наприклад, останні версії процесорів Itanium, 9300 Tukwila, містять два мільярда транзисторів), і всі схеми з числом елементів, що перевищує 10 000, відносять до класу НВІС, вважаючи УВІС його підкласом.

Технологія виготовлення. За технологією виготовлення розрізняють декілька типів інтегральних схем.

Напівпровідникова мікросхема – всі елементи і між елементні з'єднання виконані на одному напівпровідниковому кристалі (наприклад, кремнію, германію, арсеніду галію, оксид гафнію).

Плівкова інтегральна мікросхема – всі елементи і між елементні з'єднання виконані у вигляді плівок:

- товсто плівкова інтегральна схема;
- тонко плівкова інтегральна схема.

Гібридна мікросхема (також мікро збірка) – крім напівпровідникового кристалу містить кілька безкорпусних діодів, транзисторів і (або) інших електронних компонентів, поміщених в один корпус.

Змішана мікросхема – крім напівпровідникового кристалу містить тонко плівкові (товсто плівкові) пасивні елементи розміщені на поверхні кристала.

За видом оброблювального сигналу мікросхеми розподіляються на:

- аналогові;
- цифрові;
- аналого–цифрові.

Аналогові мікросхеми – вхідні і вихідні сигнали змінюються за законом безперервної функції в діапазоні від позитивного до негативної напруги живлення.

Цифрові мікросхеми – вхідні і вихідні сигнали можуть мати два значення: логічний нуль або логічна одиниця, кожному з яких відповідає певний діапазон напруги. Наприклад, для мікросхем типу ТТЛ при напрузі живлення +5 В діапазон напруги 0 ... 0,4 В відповідає логічному нулю, а діапазон 2,4 ... 5 В – логічній одиниці, а для мікросхем ЕПЛ–логіки при напрузі живлення –5,2 В діапазон –0,8 ... –1,03 В – логічній одиниці, а –1,6 ... –1,75 В – логічному нулю.

Аналого–цифрові мікросхеми сполучають у собі форми цифрової та аналогової обробки сигналів.

Типи логіки. Основним елементом аналогових мікросхем є транзистори (біполярні або польові). Різниця в технології виготовлення транзисторів істотно впливає на характеристики мікросхем. Тому нерідко в описі мікросхеми вказують технологію виготовлення, щоб підкреслити тим самим загальну характеристику властивостей і можливостей мікросхеми. У сучасних технологіях поєднують технології біполярних і польових транзисторів, щоб домогтися поліпшення характеристик мікросхем.

– Мікросхеми на уніполярних (польових) транзисторах – самі економічні (по споживанню струму):

– МОП –логіка (метал–окисел–напівпровідник логіка) – мікросхеми формуються з польових транзисторів n–МОП чи p–МОП типу;

– КМОП –логіка (комплементарна МОП–логіка) – кожен логічний елемент мікросхеми складається з пари взаємодоповнюючих (комплементарних) польових транзисторів (n–МОП і p–МОП). Існує також змішана технологія BiCMOS.

– Мікросхеми на біполярних транзисторах :

– РТЛ – Резисторно – транзисторна логіка (застаріла, замінена на ТТЛ);

– ДТЛ – діод – транзисторна логіка (застаріла, замінена на ТТЛ);

- ТТЛ – транзисторно – транзисторна логіка – мікросхеми зроблені з біполярних транзисторів з багато еміттерними транзисторами на вході;
- ТТЛШ – транзисторно–транзисторна логіка з діодами Шоткі – удосконалена ТТЛ, у якій використовуються біполярні транзистори з ефектом Шоткі;
- ЕПЛ – еміттерно – пов'язана логіка – на біполярних транзисторах, режим роботи яких підібраний так, щоб вони не входили в режим насичення, – що істотно підвищує швидкодію;
- І²Л – інтегрально–інжекційна логіка.

КМОП і ТТЛ (ТТЛШ) технології є найбільш поширеними логіками мікросхем. Де необхідно економити споживання струму, застосовують КМОП–технологію, де важливіше швидкість і не потрібно економія споживаної потужності застосовують ТТЛ–технологію. Слабким місцем КМОП–мікросхем є вразливість до статичної електрики – досить торкнутися рукою висновку мікросхеми і її цілісність уже не гарантується. З розвитком технологій ТТЛ і КМОП мікросхеми по параметрах зближаються і, як наслідок, наприклад, серія мікросхем 1564 – зроблена за технологією КМОП, а функціональність і розміщення в корпусі як у ТТЛ технології.

Мікросхеми, виготовлені по ЕПЛ–технології, є найшвидшими, але і найбільш енергоспоживаючими, і застосовувалися при виробництві обчислювальної техніки в тих випадках, коли найважливішим параметром була швидкість обчислення. Зараз ця технологія використовується рідко.

Технологічний процес При виготовленні мікросхем використовується метод фотолітографії (проекційної, контактної та ін), при цьому схему формують на підкладці (зазвичай з кремнію), отриманої шляхом різання діамантовими дисками монокристалів кремнію на тонкі пластини. Через малу величину лінійних розмірів елементів мікросхем, від використання видимого світла, і навіть ближнього ультрафіолету для експозиції давно відмовилися.

В якості характеристики технологічного процесу виробництва мікросхем вказують мінімальні контрольовані розміри топології фотоповторювача (контактні вікна в оксиді кремнію, ширина затворів в транзисторах і т. д.) і, як наслідок, розміри транзисторів (і інших елементів) на кристалі. Цей параметр, однак, перебуває у взаємозалежності з низкою інших виробничих можливостей: чистотою одержуваного кремнію, характеристиками інжекторів, методами фотолітографії, методами формування елементів, тощо.

В 1970–х роках мінімальний контрольований розмір становив 2–8 мкм, в 1980–х був зменшений до 0,5–2 мкм. Деякі експериментальні зразки фотолітографічного обладнання рентгенівського діапазону забезпечували мінімальний розмір 0,18 мкм.

В 1990–х роках, через нового витка "війни платформ", експериментальні методи стали впроваджуватися у виробництво і швидко вдосконалюватися. На початку 1990–х процесори (наприклад, ранні Pentium і Pentium Pro) виготовляли за технологією 0,5–0,6 мкм (500–600 нм). Потім їх рівень піднявся до 250–

350 нм. Наступні процесори (Pentium 2, K6-2 +, Athlon) вже робили за технологією 180 нм.

На даний період часу кожен рік стає новим стрибком в підвищені ступеню інтеграції. Сучасні процесори розроблені за новою УФ-технологією, що дозволяє перейти на рівень десятка нанометрів. У травні 2011 фірмою Altera була випущена, по 28 нм технічному процесу, найбільша в світі мікросхема, що складається з 3,9 млрд транзисторів.

Призначення. За призначенням інтегральна мікросхема може мати закінчений, як завгодно складний, функціонал – аж до цілого мікрокомп'ютера (однокристальний мікрокомп'ютер).

Аналогові схеми:

- операційні підсилювачі;
- компаратори;
- генератори сигналів;
- фільтри (у тому числі на п'єзоефекті);
- аналогові помножувачі;
- аналогові атенюатори і регульовані підсилювачі;
- стабілізатори джерел харчування: стабілізатори напруги і струму;
- мікросхеми управління імпульсних блоків живлення;
- перетворювачі сигналів;
- схеми синхронізації;
- різні датчики (наприклад, температури).

Цифрові схеми:

- Логічні елементи;
- Тригери;
- Лічильники;
- Регістри;
- Буферні перетворювачі;
- Шифратори;
- Дешифратор;
- Цифровий компаратор;
- Мультиплексори;
- Демультимплексори;
- Суматори;
- Ключі;
- АЛП;
- Мікроконтролери;
- Мікропроцесори (у тому числі ЦП для комп'ютерів)
- Однокристальні мікрокомп'ютери;
- Мікросхеми і модулі пам'яті;
- ПЛІС (програмовані логічні інтегральні схеми).

Цифрові інтегральні мікросхеми мають ряд переваг у порівнянні з аналоговими:

– *Зменшене енергоспоживання* пов'язане із застосуванням в цифровій електроніці імпульсних електричних сигналів. При отриманні та перетворенні таких сигналів активні елементи електронних пристроїв (транзисторів) працюють в "ключовому" режимі, тобто транзистор або "відкритий" – що відповідає сигналу високого рівня (1), або "закритий" – (0), у першому випадку на транзисторі немає падіння напруги, у другому – через нього не йде струм. В обох випадках енергоспоживання близько до 0, на відміну від аналогових пристроїв, в яких велику частину часу транзистори знаходяться в проміжному (резистивному) стані.

– *Висока завадостійкість* цифрових пристроїв пов'язана з великою різницею сигналів високого (наприклад, 2,5–5 В) і низького (0–0,5 В) рівня. Помилка можлива за таких перешкодах, коли високий рівень сприймається як низький і навпаки, що мало ймовірно. Крім того, в цифрових пристроях можливе застосування спеціальних кодів, що дозволяють виправляти помилки. Різниця сигналів високого і низького рівня і досить широкий інтервал їх допустимих значень робить цифрову техніку нечутливою до неминучого в інтегральній технології розкиду параметрів елементів, позбавляє від необхідності підбору і налагоджування цифрових пристроїв.

Аналогово–цифрові схеми:

- цифро–аналогові (ЦАП) і аналогово–цифрові перетворювачі (АЦП);
- цифрові обчислювальні синтезатори (ЦоС);
- трансивери (наприклад, перетворювач інтерфейсу ethernet);
- модулятори і демодулятори;
- радіо модеми;
- декодери телетексту;
- трансивери fast ethernet і оптичних ліній;
- dial–up модеми;
- приймачі цифрового ТБ;
- сенсор оптичної миші;
- перетворювачі напруги живлення та інші пристрої на перемикаються конденсаторах;
- цифрові атенюатори;
- схеми фазового автопідстроювання частоти (ФАПЧ) з послідовним інтерфейсом;
- аналогові комутатори;
- генератори і відновники частоти тактової синхронізації;
- базові матричні кристали (БМК): містять як аналогові, так і цифрові первинні елементи і т.п.

Серії мікросхем. Аналогові і цифрові мікросхеми випускаються серіями. Серія – це група мікросхем, що мають єдине конструктивно–технологічне виконання і призначені для спільного застосування. Мікросхеми однієї серії, як правило, мають однакові напруги джерел живлення, узгоджені по вхідних і вихідних опорах, рівням сигналів.

Основні параметри інтегральних мікросхем:

максимальна вхідна напруга – найбільша вхідна напруга інтегральної мікросхеми, при якій вихідна напруга відповідає заданій;

номінальна вхідна напруга – найменша вхідна напруга інтегральної мікросхеми, при якій вихідна напруга відповідає заданій;

чутливість – найменша вхідна напруга, при якій електричні параметри інтегральної мікросхеми відповідають заданим;

діапазон вхідних напруг U_{in} – інтервал від мінімальної вхідної напруги до максимальної;

вхідна напруга – напруга на вході інтегральної мікросхеми у заданому режимі;

максимальна вихідна – напруга найбільша вихідна напруга, при якій зміни параметрів інтегральної мікросхеми відповідають заданим.

струм споживання – струм, який споживається інтегральною мікросхемою від джерел живлення в заданому режимі;

струм холостого ходу – струм, який споживається інтегральною мікросхемою при відключеному навантаженні;

споживана потужність P – потужність, яка споживається інтегральною мікросхемою, що працює в заданому режимі, від джерел живлення.

вхідний опір – відношення збільшення вхідної напруги інтегральної мікросхеми до збільшення активної складової вхідного струму при заданій частоті сигналу.

вихідний опір – відношення збільшення вихідної напруги інтегральної мікросхеми до активної складової вихідного постійного або синусоїдального струму, що його викликала, при заданій частоті сигналу. Кількість джерел живлення і їхньої напруги істотно впливають на габаритні розміри, масу, вартість і безпеку застосування цифрових пристроїв. Напруги, що відповідають логічним константам, багато в чому визначають сумісність різних серій ІС. Споживана потужність і швидкодія ІС залежать від режиму роботи входу (статичний 0 або 1 на виході, переключення з 1 на 0 або з 0 на 1), на який діє перемикаючий сигнал, параметрів навантаження й інших чинників.

1.2 Контрольні запитання і завдання

1. Етапи розвитку мініатюризації електронної техніки.
2. Перелічити основні типи ІС.
3. Які типи логіки застосовуються в цифрових ІС?
4. Дати визначення конструюванню.
5. Які основні рівні проектування ІС?
6. Яка класифікація ІС за призначенням?
7. Які існують ступені інтеграції ІС?
8. Назвіть основні вимоги до моделювання.
9. Назвіть основні параметри інтегральних мікросхем?
10. Що таке серія ІС?

11. Які переваги цифрових інтегральних схеми?
12. Що означає «серія мікросхем»?
13. Які фактори характеризують рівень технологічного процесу виробництва мікросхем?
14. Чим обумовлена висока завадостійкість цифрових пристроїв?
15. Аналогово–цифрові схеми: склад та особливості.

2. ЕТАПИ ПРОЕКТУВАННЯ НАПІВПРОВІДНИКОВИХ ПРИЛАДІВ ТА ІНТЕГРАЛЬНИХ СХЕМ

Процес проектування напівпровідникових приладів та інтегральних схем складається з проектних процедур і операцій.

Проектна операція – дія або формалізована сукупність дій, складова частина проектної процедури, алгоритм якої лишається незмінним для ряду проектних процедур.

Проектна процедура (ПП) – складова частина процесу проектування. Прикладами проектних процедур служать синтез функціональної схеми проектованого пристрою, моделювання, верифікація, трасування міжз'єднань на кристалі і т.п. ПП – формалізована сукупність дій, виконання яких закінчується прийняттям рішення.

Проектне рішення – проміжний або кінцевий опис проектованого об'єкта, отриманий на тому чи іншому ієрархічному рівні. Результат виконання процедури відповідного рівня, необхідний і достатній для розгляду і визначення подальшого напрямку або закінчення проектування.

Маршрут проектування – це послідовність проектних процедур, що веде до отримання необхідних проектних рішень.

Проектні процедури діляться на процедури аналізу і синтезу.

Процедура аналізу – дослідження напівпровідникових приладів та інтегральних схем.

Власне завдання аналізу формулюється як завдання встановлення відповідності двох різних описів одного і того ж об'єкту.

Процедура синтезу полягає в створенні описів проектованого об'єкту, що відображують структуру і параметри об'єкту.

Проектування інтегральних схем (ІС) поділяється на етапи. Етап являє собою певну послідовність проектних процедур. Загальна послідовність етапів проектування представляється так:

- складання технічного завдання (ТЗ);
- введення проекту;
- проектування архітектури;
- функціонально–логічне проектування;
- схемотехнічне проектування;
- топологічне проектування;
- виготовлення дослідного зразка;
- визначення характеристик пристрою.

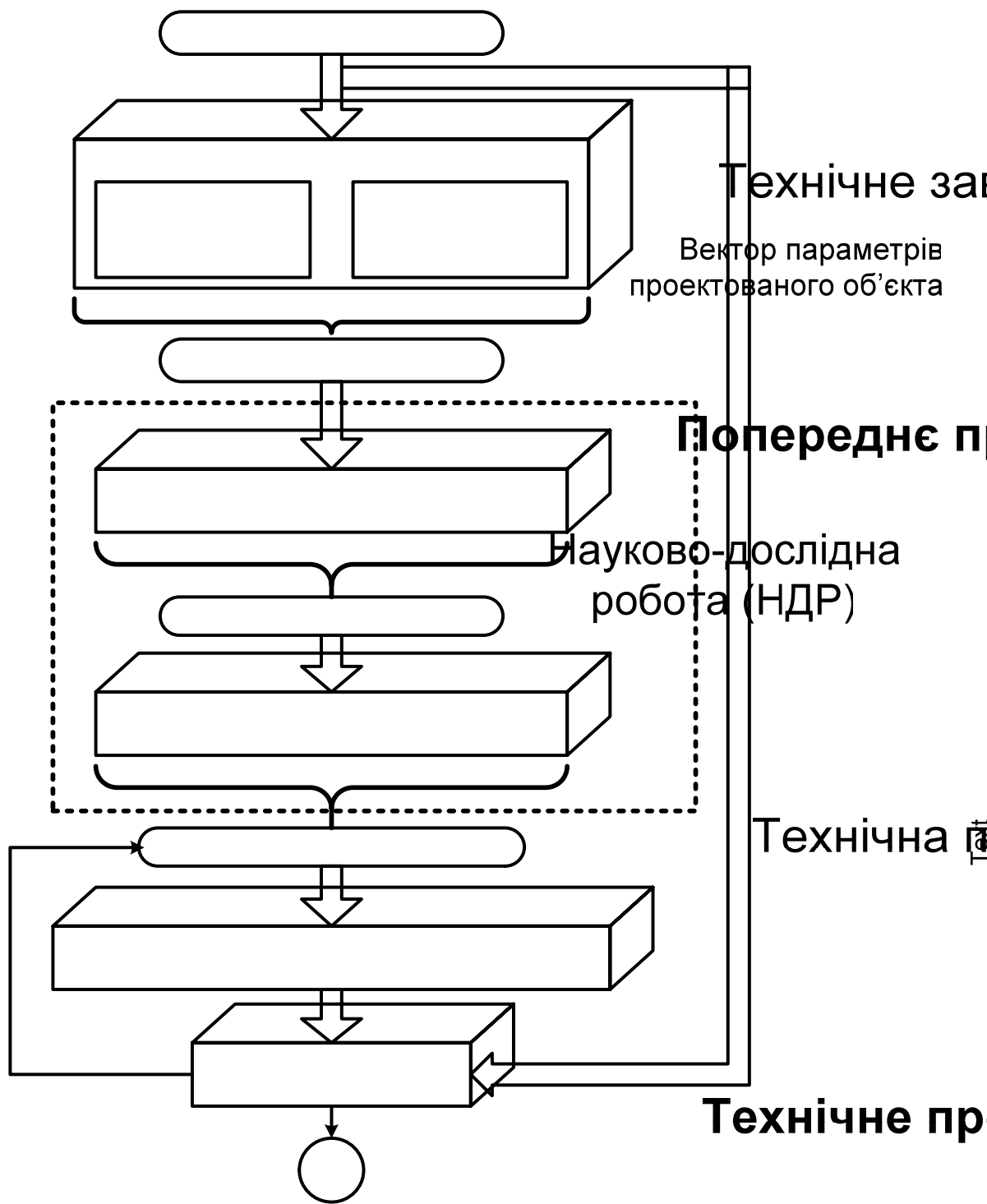


Рисунок 2.1 – Типова схема проєктування

Порядок процесу проєктування. Проєктування, як окремих об'єктів, так і систем починається з вироблення технічного завдання (ТЗ) на проєктування. У ТЗ знаходяться основні відомості про об'єкт проєктування, умови його експлуатації, а також вимоги, що пред'являються замовником до проєктованого виробу. Типова схема проєктування приведена на рис. 2.1.

Найважливіша вимога до ТЗ – це його повнота. Виконання цієї вимоги визначає терміни і якість проектування. Наступний етап – попереднє проектування.

Попереднє проектування – це пошук принципових можливостей побудови напівпровідникових приладів та інтегральних схем, дослідженням нових принципів, структур, обґрунтуванням найбільш загальних рішень.

Результатом цього етапу є технічна пропозиція.

На етапі ескізного проектування виробляється детальне опрацювання можливості побудови системи.

Результатом цього етапу є ескізний проект.

Технічне проектування – це виконання представлення усіх конструкторських і технологічних рішень, що укрупнює.

Результатом цього етапу є технічний проект.

Робоче проектування – етап детального опрацювання усіх блоків, вузлів і деталей проектованої системи, а також технологічних процесів виробництва деталей і їх зборки у вузли і блоки.

Завершальний етап – виготовлення дослідного зразка, за результатами випробувань якого вносять необхідні зміни до проектною документації.

При неавтоматизованому проектуванні найбільш трудомісткими є етапи технічного і робочого проектування. Впровадження автоматизації на цих етапах призводить до найбільш ефективних результатів.

В процесі проектування складної системи формуються певні уявлення про систему, істотні властивості з тією або іншою мірою подробиці, що відбивають її. У цих представленнях можна виділити складові частини – рівні проектування.

Складання ТЗ. На цьому етапі визначаються вимоги до проектованого виробу, його характеристики і формується технічне завдання на проектування.

Введення проекту. Для кожного етапу проектування характерні свої засоби введення, більше того, в багатьох інструментальних системах передбачають більш ніж один спосіб опису проекту.

Ефективними є високо рівневі графічні і текстові редактори опису проекту сучасних систем проектування. Такі редактори дають проектанту можливість розробки блок-схем великих систем, призначати моделі для індивідуальних блоків і з'єднувати останні за допомогою шин і трактів передачі сигналів. Редактори, як правило, автоматично пов'язують текстові описи блоків і з'єднань з відповідними графічними зображеннями, забезпечуючи тим самим комплексне моделювання системи. Це дозволяє інженерам – розробникам не змінювати звичного стилю роботи: можна, як завжди, робити ескіз блок-схеми нового проекту як на папері, в той час як точна інформація про систему буде вводиться і накопичуватися в комп'ютеризованих засобах розробки напівпровідникових приладів, пристроїв або інтегральних схем.

Для опису базової логіки дуже часто використовуються логічні рівняння або принципові електричні схеми, для опису дешифраторів або інших простих логічних блоків доцільне використання таблиць істинності. Мови опису апарату-

тури, що містять конструкції типу кінцевих автоматів, зазвичай набагато ефективніші для представлення більш складних логічних функціональних блоків, наприклад блоків управління.

Розробка архітектури являє собою проектування ІС до рівня передачі сигналів центральних процесорів (ЦП), запам'ятовуючих пристроїв (ЗП) та т.п. На цьому етапі визначається склад пристрою в цілому, визначаються його головні апаратні і програмні компоненти.

Тобто проектування цілої системи з її поданням на високому рівні для перевірки коректності архітектурних рішень, робиться, як правило, в тих випадках, коли розробляється принципово нова система, що робить необхідним ретельне опрацювання всіх архітектурних питань.

У багатьох випадках повне системне проектування вимагає включення в структуру і неелектричних компонентів і ефектів, з метою перевірки їх в єдиному комплексі моделювання.

Як елементи цього рівня використовуються: процесор, пам'ять, контролери, шини. При побудові моделей та моделюванні системи тут використовуються методи теорії графів, теорії множин, теорії Марковських процесів, теорії масового обслуговування, а також логіко-математичні засоби опису функціонування системи.

На практиці передбачається побудова параметризованої системної архітектури і вибір оптимальних параметрів її конфігурації. Отже і відповідні моделі мають бути параметризованими. Параметри конфігурації архітектурної моделі напівпровідникових приладів та інтегральних схем визначають, які функції будуть реалізовуватися апаратними, а які програмними засобами. В якості деяких параметрів конфігурації для апаратних засобів можна назвати:

- число, розрядність і пропускну здатність шин системи;
- час доступу до пам'яті;
- розмір кеш-пам'яті;
- число процесорів, портів, реєстрових блоків;
- ємність буферів передачі даних.

А до параметрів конфігурації програмних засобів відносяться, наприклад:

- параметри планувальника;
- пріоритетність завдань;
- інтервал очищення буфера;
- максимально допустимий інтервал ЦП для програми;
- параметри підсистеми управління пам'яттю (розмір сторінки, сегменту, а також розподіл файлів по дисковим секторам і т.д.
- параметри конфігурації засобів передачі даних:
- величина інтервалу тайм-ауту;
- розмір фрагмента;
- протокольні параметри для виявлення та виправлення помилок.

2.1. Проектні процедури

Процес проектування напівпровідникових приладів та інтегральних схем реалізується відповідно з певним планом, здебільшого у вигляді логічних схем чи логічного графа побудови проекту.

Проектна процедура складається з елементарних проектних операцій з чітко встановленим порядком їх виконання і направлена на досягнення локальної мети в процесі проектування.

Проектна процедура характеризується набором параметрів /групою/, що включають в загальному випадку вхідні дані, обмеження, математичну модель, процедуру рішень, проектне рішення і критерій оцінки проектного рішення.

Проектні процедури ґрунтуються на мовах проектування, які служать засобом лінгвістичного чи графічного представлення і перетворення опису при проектуванні.

Проектна процедура називається типовою, якщо вона призначена для багаторазового використання при проектуванні багатьох типів об'єктів. Класифікація типових проектних процедур представлена на рис. 2.2.



Рисунок 2.2 – Класифікація типових проектних процедур.

Розрізняють проектні процедури аналізу і синтезу. Синтез полягає в створенні опису об'єкта, а аналіз – у визначенні властивостей та дослідженні праце-

здатності об'єкта по його опису, тобто при синтезі створюються, а при аналізі оцінюються проекти об'єктів.

Процедури аналізу діляться на процедури одно– і багатоваріантного аналізу. При одноваріантному аналізі задані значення внутрішніх і зовнішніх параметрів, необхідно визначити значення вихідних параметрів об'єкта. Багатоваріантний аналіз полягає в дослідженні властивостей об'єкта в деякій області простору внутрішніх параметрів.

Процедури синтезу діляться на процедури структурного і параметричного синтезу. Метою структурного синтезу є визначення структури об'єкта – переліку типів елементів, що складають об'єкт та способу зв'язку елементів між собою в складі об'єкта. Параметричний синтез полягає у визначенні числових значень параметрів елементів при заданих структурі та умовах працездатності на вихідні параметри об'єкта, тобто при параметричному синтезі необхідно знайти точку або область в просторі внутрішніх параметрів, в яких виконуються ті чи інші умови.

На рис. 2.3 представлена типова послідовність проектних процедур на одному з етапів проектування напівпровідникових приладів та інтегральних схем. Проектування будь якої електронної системи починається з синтезу початкового варіанту її структури. Для оцінювання цього варіанта створюється модель: математична – при автоматизованому проектуванні, експериментальна – при неавтоматизованому проектуванні. Після вибору початкових значень параметрів елементів інтегральної схеми виконується аналіз варіанту, по результатах якого стає можливою його оцінка. Звичайно оцінка полягає в перевірці виконання умов працездатності, сформульованих в технічному завданні. Якщо умови виконуються, то отримане проектне рішення приймається і формулюється технічне завдання на проектування елементів наступного рівня. Якщо ж отримане проектне рішення незадовільне, вибирається один з можливих шляхів покращення проекту.

Сукупність процедур модифікації, аналізу та оцінювання результатів представляє собою процедуру параметричного синтезу. Якщо модифікації цілеспрямовані і підкоряються стратегії пошуку найкращого значення деякого показника якості, то процедура параметричного синтезу є процедурою оптимізації.

Якщо шляхом параметричного синтезу не вдається досягти достатнього ступеня виконання умов працездатності, то використовують шлях модифікації структури.

Новий варіант структури синтезується і для нього повторюються процедури формування моделі та параметричного синтезу. Якщо не отримують допустимого проектного рішення і цим шляхом, то ставиться питання про корегування технічного завдання, сформульованого на попередньому етапі проектування.

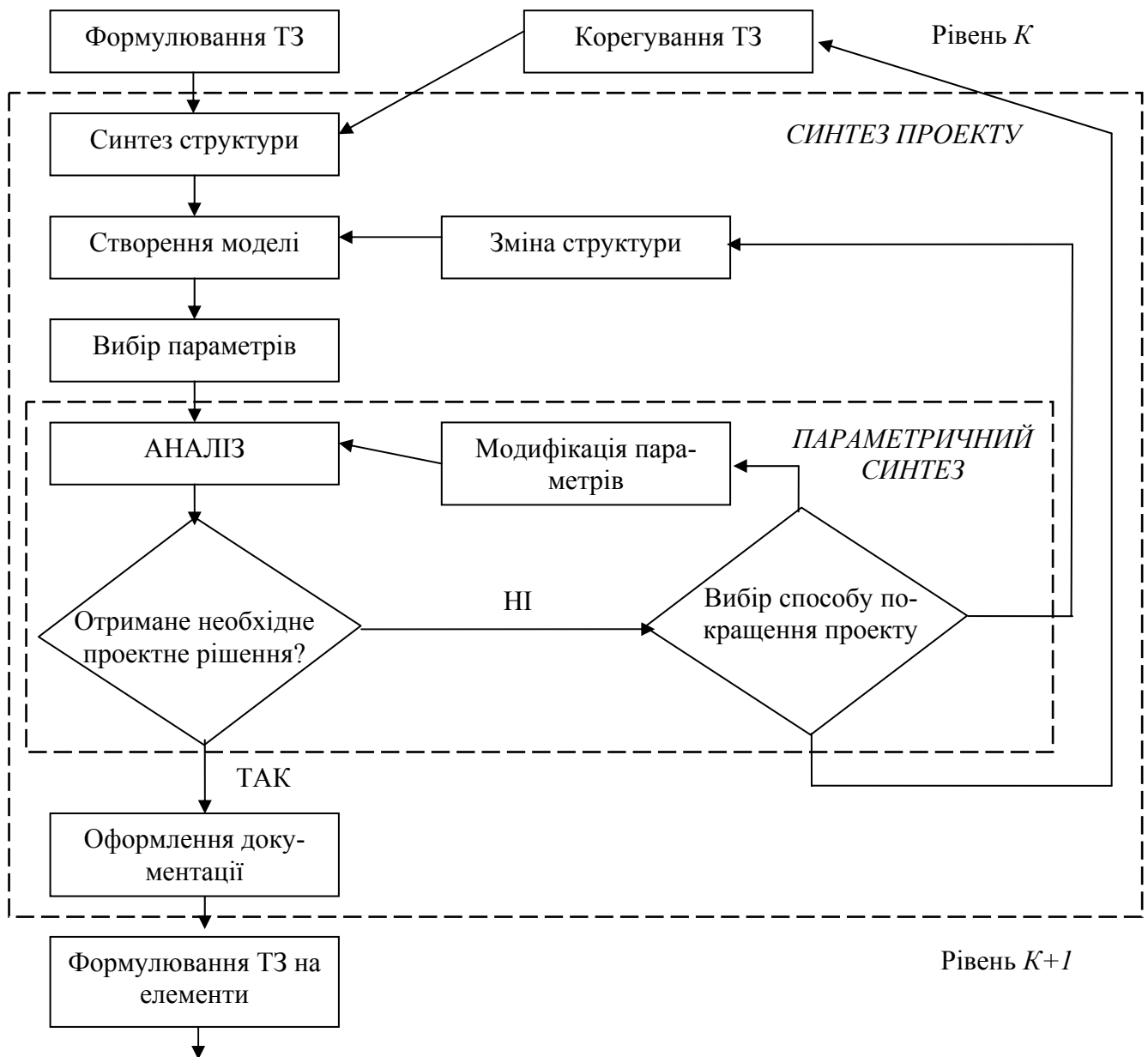


Рисунок 2.3 – Типова послідовність проектних процедур на одному з етапів проектування (схема процесу проектування).

Зі схеми процесу проектування (рис.2.3) видно взаємозв'язок проектних процедур аналізу і синтезу. Цей взаємозв'язок має характер вкладеності процедури аналізу в процедуру оптимізації (параметричного синтезу) і процедури оптимізації в процедуру синтезу, що об'єднує синтез структурний і параметричний.

2.2. Систематичні і евристичні рішення

Рішення творчих задач при проектуванні напівпровідникових приладів та інтегральних схем поділяються на:

- систематичні;

– евристичні.

Систематичні рішення отримують в результаті використання методів, “стимулюючих творчу діяльність” (алгоритм рішення винахідницьких задач, метод асоціацій, метафор, інверсії та ін.). Вони ґрунтуються на усвідомленому процесі пошуку і рішення задачі в результаті впорядкованого мислення і застосуванні методів його активації. Методи стимулювання творчої діяльності ґрунтуються на логіці і використовують раніше визначену послідовність дій і операцій (технологію проектування).

Евристичні рішення отримують в результаті такого проектування, коли важлива частина творчого процесу і отримання творчого результату проходить в голові людини і не може бути отримана з попереднього досвіду.

Евристичні рішення базуються на застосуванні евристичних методів.

Евристичні методи – послідовність наказів або процедур обробки інформації, що виконується з метою пошуку більш раціонального і конструктивного рішення. Для такої послідовності немає обґрунтованого доведення і немає гарантій отримання найкращого рішення. Евристичні процедури називають евристиками або евристами; вони направлені на рішення задач в умовах дефіциту інформації або часу.

З точки зору принципової можливості використання ЕОМ в рішенні задач пошукового конструювання можна виділити 3 групи методів:

– алгоритми – повністю формалізовані методи, що реалізуються у вигляді програм (проектування без участі людини, окрім завдання вхідних даних);

– евристичні – частково формалізовані евристичні методи, в яких частина процедур реалізована в вигляді алгоритмів (реалізуються в вигляді машинно-людських програм – діалог) – найбільш перспективні методи;

– евристичні методи – складаються з набору евристичних (умовно безмашинних) методів, так як частину процесів обробки інформації можна провести на машині.

В даний час відомо більше 30 евристичних методів.

Види проектних задач. Серед можливих проектних задач характерними є 4 типи, пов’язані з ними об’єктами проектування:

1. Об’єкт, що проектується, можна скомпонувати з готових елементів і блоків (наприклад, проектування електронних схем з стандартних блоків та ін.). Найбільші можливості застосування ЕОМ для автоматизації процедур документування, складання специфікацій, збереження архівів, рішення задач компоновки об’єкта з готових елементів.

2. Для об’єкта, що проектується, немає повного набору готових компонентів, але існують аналогічні, з яких зміною параметрів можна отримати недостаючи (наприклад, проектування ІС пам’яті, для котрих нема прямого аналогу за об’ємом, розрядністю, т.п.). ЕОМ використовується для аналізу варіантів побудови компонент, вибору їх оптимального параметру, компоновки, деталювання та ін.

3. Для об’єкта, що проектується, нема повного набору готових компонентів не існує аналогічних, але відомі принципи їх побудови (наприклад, проекту-

вання IP-ядра з включенням нових елементів, що не мають аналогів). ЕОМ додатково розраховує варіанти рішення по ММ (математичній моделі), які відповідають принципам, що закладаються в об'єкт.

4. На відміну від п.3, не відомі принципи побудови елементів об'єкта (наприклад, проектування з використанням фізичного або математичного моделювання). ЕОМ додатково застосовується для моделювання різних фізичних процесів і явищ, обробки даних і натурних випробувань.

Важливо відмітити, що чим складніший процес проектування, тим нижчий рівень його автоматизації, або, відповідно до "закону автоматизації": добуток складності будь якого технічного процесу, в тому числі і проектного, на досяжний рівень його автоматизації є величина постійна, що не залежить від рівня розвитку виробничих сил.

2.3 Контрольні запитання і завдання

1. Які існують види проектних задач?
2. Що таке евристичні і систематичні рішення?
3. Схема процесу проектування. Дайте визначення основних компонентів.
4. Опишіть процедуру параметричного синтезу.
5. Класифікація типових проектних процедур. Склад проектних процедур
6. Опишіть проектні процедури аналізу і синтезу.
7. Які складові проектної процедури?
8. Назвіть складові параметрів конфігурації для апаратних засобів.
9. Назвіть складові параметрів конфігурації для програмних засобів.
10. Як визначаються етапи проектування інтегральних схем?
11. Дайте визначення проектних процедур і операцій?
12. Що таке послідовність етапів проектування.
13. Наведіть типову схему проектування.
14. Наведіть класифікацію типових проектних процедур.
15. В чому суть типової послідовності проектних процедур на етапі проектування.
16. Види проектних задач.

3. АВТОМАТИЗОВАНЕ ПРОЕКТУВАННЯ НАПІВПРОВІДНИКОВИХ ПРИЛАДІВ ТА ІНТЕГРАЛЬНИХ СХЕМ

У проектуванні прийнято виділяти стадії науково-дослідних робіт, дослідно-конструкторських робіт, технічного проекту, технічної пропозиції, технічного проекту, робочого проекту, випробувань дослідного зразка.

На стадії науково - дослідних робіт вивчаються потреби в отриманні нових напівпровідникових приладів та інтегральних схем із заданим цільовим призначенням, досліджуються фізичні, інформаційні, конструктивні і технологічні принципи побудови виробів і можливості реалізації цих принципів, прогноуються значення характеристик і параметрів об'єктів. Результатом є формулювання технічного завдання на розробку об'єкта. Воно включає мету створення і призначення об'єкта, технічні вимоги, режими і умови роботи, сфери застосування, ув'язку параметрів з типажем, інформацію про експериментальні роботи, порівняльну оцінку технічного рівня та ін. На підставі технічного завдання розробляється технічна пропозиція - сукупність документів, що відображають технічні рішення, прийняті в проекті. До нього включаються результати функціонально-фізичного і вартісного досліджень, вказівки та обґрунтування по виконуваних функцій, фізичним принципам дії, доцільності використання тих чи інших рішень, порівняльна оцінка цих рішень з технічних, економічних, технологічних, екологічних та інших показників.

На стадії дослідно-конструкторських робіт створюється ескізний проект напівпровідникових приладів та інтегральних схем, що представляє собою сукупність графічної і текстової документації, на підставі якої можна отримати загальне уявлення про пристрій, принцип роботи, призначення, основні параметри і габаритні розміри проектованого виробу, про компонування як машини в цілому, так і її основних вузлів. При розробці ескізного проекту перевіряються, конкретизуються і коректуються принципи та положення, встановлені на стадії науково - дослідних робіт.

На стадії технічного проекту розробляється більш деталізована графічна і текстова документація, яка дає повне і остаточне уявлення про проектуємий пристрій, компонування схеми і всіх її вузлів, в технічний проект включають всі необхідні розрахунки (електродинамічні, міцнісні і т.д.).

На стадії робочого проекту створюється повний комплект конструкторсько-технологічної документації, достатній для виготовлення об'єкта.

На стадії випробувань отримують результати, що дозволяють виявити можливі помилки і недоробки проекту, вживаються заходи до їх усунення.

У ході проектування виробляються проектні рішення - описи об'єкта або його складової частини, достатні для розгляду та прийняття висновку про закінчення проектування або шляхи його продовження.

Частина проектування, яка закінчується отриманням проектного рішення, називається проектною процедурою. Виконання однієї або декількох проектних процедур, об'єднаних за ознакою приналежності одержуваних проектних рі-

шень до одного ієрархічного рівню і (або) аспекту описів, становить етап проектування.

На будь-якій стадії або етапі проектування може бути виявлена помилковість або не оптимальність раніше прийнятих рішень і, отже, необхідність або доцільність їх перегляду. Подібні повернення типові для проектування і обумовлюють його ітераційний характер.

Зокрема, може бути виявлена необхідність коригування технічного завдання. У цьому випадку чергуються процедури зовнішнього і внутрішнього проектування. Під зовнішнім проектуванням розуміються процедури формування або коригування технічного завдання, під внутрішнім проектуванням - процедури реалізації сформованого технічного завдання.

Можливості проектування складних об'єктів обумовлені використанням ряду принципів, основними з яких є декомпозиція та ієрархічність описів об'єктів, принципи системної єдності, сумісності, типізації і розвитку.

Розглянемо детальніше дані принципи.

Ієрархічні рівні опису проєктованих об'єктів. Описи технічних об'єктів повинні бути узгоджені по складності з можливостями сприйняття людиною і можливостями оперування описами в процесі їх перетворення існуючими засобами проектування. Проте виконати цю вимогу в рамках єдиного опису, не розділяючи його на складові частини, можна лише для простих виробів. Як правило, стає необхідним структурування описів і відповідний розділ уявлень про проєктовані об'єкти на ієрархічні рівні і аспекти. Це дозволяє розподілити роботи по проектуванню складних об'єктів між підрозділами проектної організації, що сприяє підвищенню ефективності та продуктивності праці проєктувальників.

Розділ описів по ступеню деталізації відображуваних властивостей і характеристик об'єкта лежить в основі *блочно – ієрархічного підходу* до проектування і приводить до появи ієрархічних рівнів (рівнів абстрагування) в представленнях про проєктований об'єкт.

На кожному ієрархічному рівні використовуються свої поняття і системи елементів. На верхньому рівні складний об'єкт, що належить спроекувати, розглядається як система взаємозв'язаних і взаємодіючих елементів. Кожен з елементів в опису верхнього рівня також представляє собою досить складний об'єкт, який в свою чергу розглядається як система елементів на нижчому рівні. Подібне розділення відбувається до тих пір, поки на деякому рівні отримують елементи, описи яких не підлягають подальшому діленню. Такі елементи по відношенню до вихідного об'єкта називають базовими елементами.

Таким чином, *принцип ієрархічності* означає структурування представлень про об'єкти проектування за ступенем детальності опису, а принцип *декомпозиції (блоковості)* – розбиття представлень кожного рівня на ряд складових частин (блоків) з можливостями окремого проектування об'єктів на кожному рівні.

Принцип системної єдності забезпечує цілісність системи проектування окремих елементів і всього об'єкта проектування в цілому /ієрархічність проектування/.

Принцип сумісності забезпечує сумісне функціонування складових частин САПР і зберігає відкриту систему в цілому.

Принцип типізації орієнтує на пріоритетне створення і використання типових і уніфікованих елементів САПР. Типізації підлягають елементи, що мають перспективу багаторазового застосування.

Принцип розвитку забезпечує доповнення і оновлення САПР, а також взаємодію і розширення взаємозв'язку з автоматизованими системами різного рівня і функціонального призначення.

3.1 Поняття автоматизованого проектування

Проектування, при якому всі проектні рішення або їхня частина одержуються шляхом взаємодії людини й ЕОМ, називають *автоматизованим проектуванням*, на відміну від ручного (без використання ЕОМ) або автоматичного (без участі людини на проміжних етапах). Система, що реалізує автоматизоване проектування, являє собою *систему автоматизованого проектування* (САПР, в англійському написанні CAD System — Computer Aided Design System).

Автоматичне проектування можливо лише в окремих випадках для порівняно нескладних об'єктів. Переважаючим в цей час є автоматизоване проектування.

Принципи побудови САПР. Сучасні САПР створюються відповідно до наступних принципів.

САПР – людино–машинна система. Колектив розробників є складовою частиною системи проектування, виконуючи проектні роботи у взаємодії з ЕОМ.

Комплексна автоматизація усіх рівнів проектування, що дозволяє внести такі зміни до структури проектних підприємств, форм документів, які відповідають цілям автоматизації – скороченню матеріальних і тимчасових витрат, підвищенню якості проектування, збереженню чисельності інженерно–технічних працівників на колишньому рівні, незважаючи на ускладнення проєктованих об'єктів.

Інформаційна узгодженість підсистем і програм проектування, що спостерігається за наступних умов:

– програми створені для роботи з однією і тією ж базою даних і не вимагають ручного перекомпонування числових масивів, що є вхідними для однієї і вихідними для іншої з програм, що сполучаються;

– завдання початкової інформації про об'єкт або про необхідні проектні операції виробляється на єдиній вхідній мові.

Відкритість САПР. Властивість відкритості системи означає можливість внесення змін в систему під час її експлуатації. Зміни можуть полягати в дода-

ванні нових або заміні старих елементів в програмному, інформаційному, а можливо, також в технічному і лінгвістичному забезпеченнях. Внесення змін має бути максимально спрощене і доступно користувачам САПР. Властивість відкритості призводить до збільшення терміну служби системи, підвищує її універсальність.

Сумісність традиційного і автоматизованого проектування. Цей принцип має значення в тих випадках, коли автоматизоване проектування впроваджується на вже діючому підприємстві із структурою, що склалася, взаєминами підрозділів, формами і способами використання проектної документації. Саме у цих умовах доцільний еволюційний шлях впровадження САПР, при якому зміни, що диктуються особливостями автоматизованого проектування, не порушуватимуть на тривалий термін нормального функціонування підприємства.

Проектування технічного об'єкта — створення, перетворення й подання в прийнятій формі образу цього ще не існуючого об'єкта. Образ об'єкта або його складових частин може створюватися в уяві людини в результаті творчого процесу або генеруватися відповідно до деяких алгоритмів у процесі взаємодії людини й ЕОМ. У кожному разі інженерне проектування починається при наявності вираженої потреби суспільства в деяких технічних об'єктах, якими можуть бути об'єкти будівництва, промислові вироби або процеси. Проектування містить у собі розробку технічної пропозиції та (або) *технічного завдання* (ТЗ), що відбивають ці потреби, і реалізацію ТЗ у вигляді проектної документації.

Найчастіше ТЗ представляють у вигляді деяких документів, і воно є вихідним (первинним) описом об'єкта. Результатом проектування, як правило, служить повний комплект документації, що містить достатні відомості для виготовлення об'єкта в заданих умовах. Ця документація і є *проект*, точніше остаточний опис об'єкта. Більш коротко, проектування – процес, що полягає в одержанні й перетворенні вихідного опису об'єкта в остаточний опис на основі виконання комплексу робіт дослідницького, розрахункового й конструкторського характеру.

Перетворення вихідного опису в остаточне породжує ряд проміжних описів, що підводять підсумки рішення деяких задач і використовуваних для обговорення й прийняття рішень для закінчення або продовження проектування. Такі проміжні описи називають *проектними рішеннями*.

Проектування складних об'єктів засновано на застосуванні ідей і принципів, викладених у ряді теорій і підходів. Найбільш загальним підходом є системний підхід, ідеями якого пронизані різні методики проектування складних систем.

Принципи системного підходу до проектування. Проектування складних об'єктів засновано на застосуванні ідей і принципів, викладених у ряді теорій і підходів. Найбільш загальним підходом при проектуванні ІС є *системний підхід*, ідеями якого пронизані різні методики проектування складних систем.

Для фахівця в області проектування напівпровідникових приладів та інтегральних схем ідеї й принципи системного підходу є очевидними й природними, однак їхнє дотримання й реалізація найчастіше сполучені з певними труднощами, що обумовлюються особливостями проектування. Як і більшість дорослих людей, що правильно використовують рідну мову без залучення правил граматики, інженери використовують системний підхід без звертання до допомоги системного аналізу. Однак інтуїтивний підхід без застосування правил системного аналізу може виявитися недостатнім для рішення все більш ускладнених задач інженерної діяльності.

Основний загальний принцип системного підходу полягає в розгляді частин досліджуваного явища або складної системи з урахуванням їх взаємодії. Системний підхід містить у собі виявлення структури системи, типізацію зв'язків, визначення атрибутів, аналіз впливу зовнішнього середовища, формування моделі системи, дослідження моделі й, можливо, *оптимізацію* її структури й функціонування.

Системний підхід є базою для узагальнюючої дисципліни " проектування напівпровідникових приладів та інтегральних схем ". Характерними прикладами складних технічних, економічних, соціальних, найчастіше слабо структурованих систем є електронні системи, впроваджені на рівні інтегральної схеми. При проектуванні систем мета досягається в багатокрокових процесах прийняття рішень.

В техніці дисципліну, в якій досліджуються складні технічні системи, їхнє проектування, і аналогічну теорії систем, частіше називають *системотехнікою*. Предметом системотехніки є, по-перше, організація процесу створення, використання й розвитку технічних систем, по-друге, методи й принципи їхнього проектування й дослідження. У системотехніці важливо вміти сформулювати задачі системи й організувати її розгляд з позицій поставлених цілей. Тоді можна відкинути зайві частини при проектуванні й моделюванні, перейти до постановки оптимізаційних задач.

Системи автоматизованого проектування й керування відносяться до числа найбільш складних сучасних систем. Їхнє проектування й використання неможливі без системного підходу. Тому ідеї й положення системотехніки входять складовою частиною в дисципліни, присвячені вивченню сучасних автоматизованих систем і технологій їхнього створення й застосування.

Інтерпретація системного підходу. Інтерпретація й конкретизація системного підходу мають місце в ряді відомих підходів з іншими назвами, які також можна розглядати як компоненти системотехніки. Такими є структурні, блочно-ієрархічні, об'єктно-орієнтовані підходи.

При *структурному* підході, як різновиду системного, потрібно синтезувати варіанти системи з компонентів (блоків) і оцінювати варіанти при їхньому частковому переборі з попереднім прогнозуванням характеристик компонентів (рис.3.1).

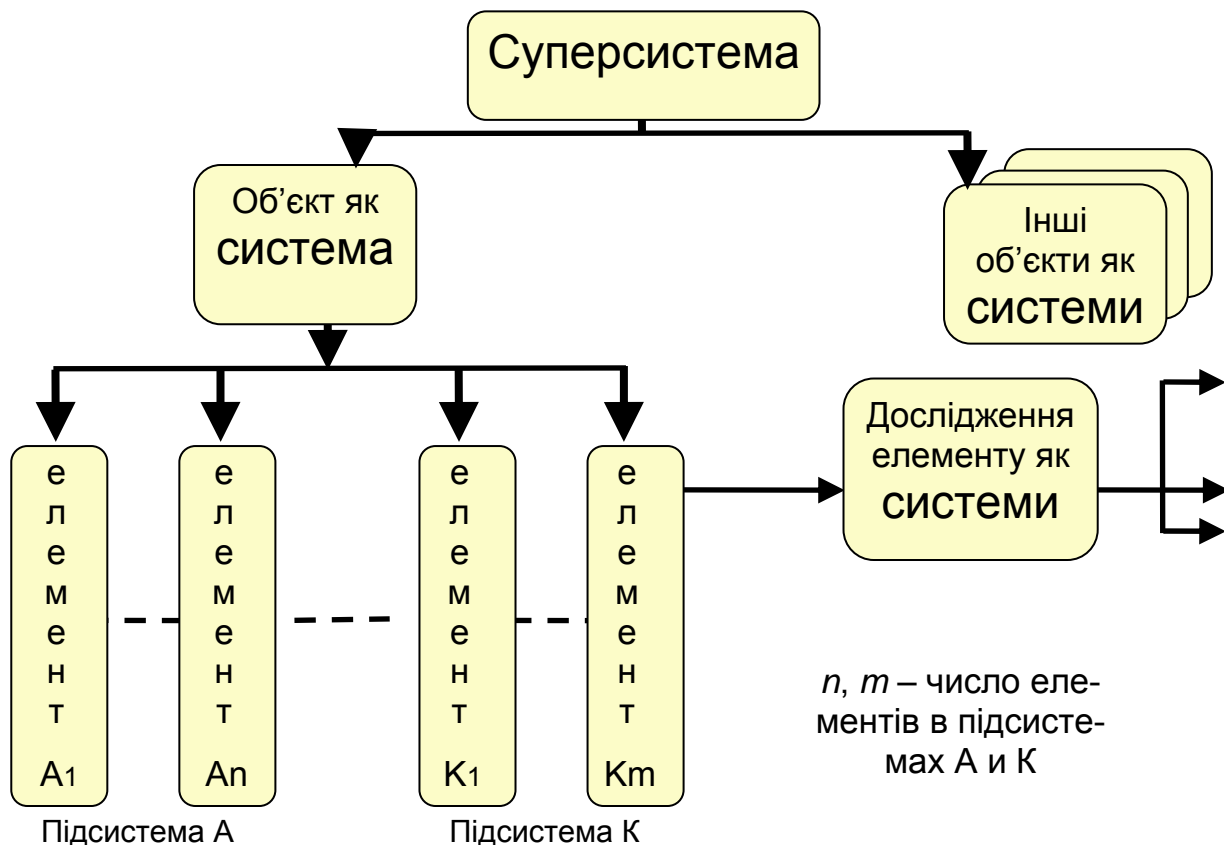


Рисунок 3.1 – Системний підхід до побудови розрахункових моделей

Блочно-ієрархічний підхід до проектування використовує ідеї декомпозиції складних описів об'єктів і відповідно засобів їхнього створення на ієрархічні рівні й аспекти, вводить поняття стилю проектування (висхідне й спадне), встановлює зв'язок між параметрами сусідніх ієрархічних рівнів.

Ряд важливих структурних принципів, що використовуються при розробці інформаційних систем і, насамперед, їх програмного забезпечення (ПЗ), виражений у підході, що має назву *об'єктно-орієнтованим проектуванням* (ООП). Такий підхід має наступні переваги в рішенні проблем керування складністю й інтеграції ПЗ:

- вносить у моделі об'єкту більшу структурну визначеність, розподіляючи представлені в програмі дані й процедури між класами об'єктів;
- скорочує об'єм специфікацій, завдяки введенню в описи ієрархії об'єктів і відносин наслідування між властивостями об'єктів різних рівнів ієрархії;
- зменшує ймовірність перекручування даних внаслідок помилкових дій за рахунок обмеження доступу до певних категорій даних в об'єктах.

Опис у кожному класі об'єктів припустимих звертань до них і прийнятих форматів повідомлень полегшує узгодження й інтеграцію ПЗ.

Для всіх підходів до проектування складних систем характерні також наступні особливості:

1. Структуризація процесу проектування, що виражає декомпозицією проектних задач і документації, виділенням стадій, етапів, проектних процедур. Ця структуризація є сутністю блочно–ієрархічного підходу до проектування.
2. Ітераційний характер проектування.
3. Типізація й уніфікація проектних рішень і засобів проектування.

3.2 Базові поняття системного підходу в проектуванні інтегральних схем

У теорії систем і системотехніці уведений ряд термінів, серед них до базових потрібно віднести наступні поняття:

- *Система* — множина елементів, що перебувають у певних відносинах і зв'язках між собою.
- *Елемент* — така частина системи, уявлення про яку недоцільно піддавати при проектуванні подальшому членуванню.
- *Складна система* — система, що характеризується більшим числом елементів і, що найбільш важливо, більшим числом взаємозв'язків елементів. Складність системи визначається також видом взаємозв'язків елементів, властивостями цілеспрямованості, цілісності, членимості, ієрархічності, багатоглядності. Очевидно, що сучасні автоматизовані інформаційні системи й, зокрема, системи автоматизованого проектування, є складними в силу наявності в них перерахованих властивостей і ознак.
- *Підсистема* — частина системи (підмножина елементів і їхніх взаємозв'язків), що має властивості системи.
- *Надсистема* — система, стосовно якої розглянута система є підсистемою.
- *Структура* — відображення сукупності елементів системи і їхніх взаємозв'язків; поняття структури відрізняється від поняття самої системи також тим, що при описі структури беруть до уваги лише типи елементів і зв'язків без конкретизації значень їхніх параметрів.
- *Параметр* — величина, що виражає властивість або системи, або її частини, або середовища, що впливає на систему. Звичайно в моделях систем як параметри розглядають величини, що не змінюються в процесі дослідження системи. Параметри підрозділяють на зовнішні, внутрішні й вихідні, що виражають властивості елементів системи, самої системи, зовнішнього середовища відповідно.
- *Фазова змінна* — величина, що характеризує енергетичне або інформаційне наповнення елемента або підсистеми.
- *Стан* — сукупність значень фазових змінних, зафіксованих в одній тимчасовій точці процесу функціонування.
- *Поводження (динаміка) системи* — зміна стану системи в процесі функціонування.

До характеристик складних систем часто відносять наступні поняття:

- Цілеспрямованість — властивість штучної системи, що виражає призначення системи. Ця властивість необхідна для оцінки ефективності варіантів системи.

- Цілісність — властивість системи, що характеризує взаємозв'язок елементів і наявність залежності вихідних параметрів від параметрів елементів, при цьому більшість вихідних параметрів не є простим повторенням або сумою параметрів елементів.

- Ієрархічність — властивість складної системи, що виражає можливість і доцільність її ієрархічного опису, тобто подання у вигляді декількох рівнів, між компонентами яких є відносини ціле—частина.

Складовими частинами системотехніки є наступні основні розділи:

- ієрархічна структура систем, організація їхнього проектування;
- аналіз і моделювання систем;
- синтез і оптимізація систем.

Моделювання має дві чітко помітні задачі:

- створення моделей складних систем (в англійському написанні — modeling);
- аналіз властивостей систем на основі дослідження їхніх моделей (simulation).

Синтез також розділяють на дві задачі:

- Синтез структури проєктованих систем (структурний синтез);
- Вибір чисельних значень параметрів елементів систем (параметричний синтез).

Ці задачі відносяться до області прийняття проєктних рішень.

Моделювання й оптимізацію бажано виконувати з урахуванням статистичної природи систем. Детермінованість – лише окремий випадок. При проєктуванні характерна недостача достовірних вихідних даних, невизначеність умов прийняття рішень. Врахування статистичного характеру даних при моделюванні значною мірою заснований на методі статистичних випробувань (методі Монте–Карло), а прийняття рішень – на використанні нечітких множин, експертних систем, еволюційних обчислень.

Приклад. Мікропроцесор є складною системою в силу наявності в нього великої кількості елементів, різноманітних зв'язків між елементами й підсистемами, властивостей цілеспрямованості, цілісності, ієрархічності. До підсистем мікропроцесора відносяться ядро, оперативна пам'ять, пам'ять програм, шини, пристрої вводу–виводу. Як надсистема можуть виступати обчислювальна мережа, автоматизована й (або) організаційна система, до яких належить мікропроцесор. Внутрішні параметри – час виконання арифметичних операцій, зчитування (запису) у накопичувачах даних, пропускну здатність шин та ін. Вихідні параметри – продуктивність мікропроцесора, ємність оперативної й зовнішньої пам'яті, собівартість, час наробітку на відмову й ін. Зовнішні параметри – напруга живлення і її стабільність, температура навколишнього середовища й ін.

3.3 Рівні проектування

При використанні блочно–ієрархічного підходу до проектування уявлення про спроектовану систему розчленовують на ієрархічні рівні. На верхньому рівні проектування використовують найменш деталізоване представлення, що відбиває тільки найбільш загальні риси й особливості спроектованої електронної системи. На наступних рівнях ступінь деталізації опису зростає, при цьому розглядають вже окремі блоки системи, але з урахуванням взаємного впливу на кожний сусідній блок. Такий підхід дозволяє на кожному ієрархічному рівні формувати задачі прийнятної складності, що піддаються рішенню за допомогою наявних засобів проектування. Розбивка на рівні повинна бути такою, щоб документація на блок будь–якого рівня була доступна для проектувальників суміжних блоків системи (рис3.2).

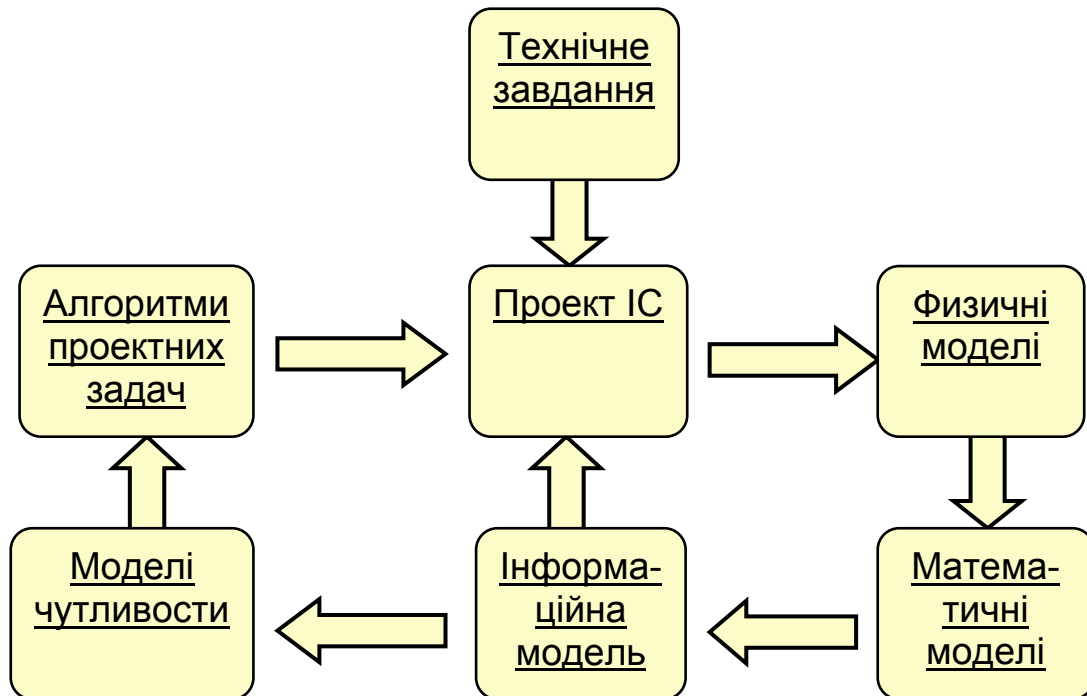


Рисунок 4.2 – Умовна схема взаємозв'язку проектних процедур

Інакше кажучи, блочно–ієрархічний підхід є декомпозиційним підходом, що заснований на розбивці складної задачі великої розмірності на послідовно та (або) паралельно розв'язувані групи задач меншої розмірності, що істотно скорочує вимоги до використовуваних обчислювальних ресурсів або до часу рішення задач.

Можна говорити не тільки про ієрархічні рівні специфікацій, але й про ієрархічні рівні проектування, розуміючи під кожним з них сукупність специфікацій деякого ієрархічного рівня разом з постановками задач, методами одержання описів і рішення виникаючих проектних задач.

Ієрархічні рівні специфікацій. Список ієрархічних рівнів для кожного застосування може бути специфічним, але для більшості застосувань характерно наступне найбільш велике виділення рівнів:

- *системний рівень*, на якому вирішують найбільш загальні задачі проектування систем, машин і процесів; результати проектування представляють у вигляді структурних схем, генеральних планів, схем розміщення устаткування, діаграм потоків даних і т.п.;
- *макрорівень*, на якому проектують окремі пристрої, вузли машин і приладів; результати представляють у вигляді функціональних, принципівих і кінематичних схем, складальних креслень і т.п.;
- *мікрорівень*, на якому проектують окремі деталі й елементи машин і приладів.

Для кожного застосування число виділюваних рівнів і їхніх найменувань можуть бути різними. Так, у радіоелектроніці мікрорівень часто називають компонентним, макрорівень — *схемотехнічним рівнем*. Між схемотехнічним і системним рівнями вводять рівень, що має назву *функціонально-логічного рівня*. В обчислювальній техніці системний рівень підрозділяють на рівні проектування ЕОМ (обчислювальних систем) і обчислювальних мереж. У машинобудуванні є рівні деталей, вузлів, машин, комплексів.

Залежно від послідовності рішення задач ієрархічних рівнів розрізняють спадне, висхідне й змішане проектування (*стили проектування*). Послідовність рішення задач від нижніх рівнів до верхнього характеризує *висхідне проектування*, зворотна послідовність приводить до *спадного проектування*, у *змішаному стилі* є елементи як висхідного, так і спадного проектування. У більшості випадків для складних систем віддають перевагу спадному проектуванню. Відзначимо однак, що при наявності заздалегідь спроектованих складених блоків (пристроїв) можна говорити про змішане проектування.

Невизначеність і нечіткість вихідних даних при спадному проектуванні (ще не спроектовані компоненти) або вихідних вимог при висхідному проектуванні (оскільки ТЗ є на всю систему, а не на її частині) обумовлюють необхідність прогнозування відсутніх даних з наступним їхнім уточненням, тобто послідовного наближення до остаточного рішення (ітераційність проектування).

Поряд з декомпозицією описів на ієрархічні рівні застосовують поділ уявлень про спроектовані об'єкти на аспекти.

Аспект опису — опис системи або її частин з деякої обговореної точки зору, обумовленої функціональним, фізичними або іншим типом відносин між властивостями й елементами.

Розрізняють аспекти функціональний, інформаційний, структурний і поведінковий (процесний). Функціональний опис відносять до функцій системи й найчастіше представляють його функціональними схемами. Одержання функціональних описів часто називають *функціональним проектуванням*.

Інформаційний опис містить у собі основні поняття предметної області (сутності), словесне пояснення або числові значення характеристик (атрибутів) використовуваних об'єктів, а також опис зв'язків між цими поняттями й харак-

теристиками. Інформаційні моделі можна представляти графічно (графи, діаграми сутність–відношення), у вигляді таблиць або списків. Одержання інформаційних описів часто називають інформаційним проектуванням або стосовно до створення баз даних – інфологічним проектуванням.

Структурний опис ставиться до морфології системи, характеризує складові частини системи і їх з'єднання й може бути представлено структурними схемами, а також різного роду конструкторською документацією. Одержання конструкторської документації, тобто опис геометричних форм виробів, складу компонентів і їхнього просторового розміщення, називають *конструкторським проектуванням*.

Поведінковий опис характеризує процеси функціонування (алгоритми) системи й (або) технологічні процеси створення системи. Розробка алгоритмів і програмного забезпечення систем є предметом *алгоритмічного проектування*, а розробка технологічних процесів виготовлення виробів — предметом *технологічного проектування*.

Іноді аспекти описів зв'язують із підсистемами, функціонування яких засновано на різних фізичних процесах.

Відзначимо, що в загальному випадку виділення аспектів опису може бути неоднозначним. Так, крім зазначеного підходу, очевидна доцільність виділення таких аспектів, як функціональне (розробка принципів дії, структурних, функціональних, принципівих схем), конструкторське (визначення форм і просторового розташування компонентів виробів), алгоритмічне (розробка алгоритмів і програмного забезпечення) і технологічне (розробка технологічних процесів) проектування систем. Прикладами аспектів опису у випадку САПР можуть служити також розглянуті далі види забезпечення автоматизованого проектування.

Стадії проектування — найбільш великі частини проектування, як процесу, що розвивається в часі. Очевидно, що в міру переходу від стадії до стадії ступінь подробиць й глибина пророблення проекту зростають, і робочий проект вже повинен бути цілком достатнім для виготовлення дослідних або серійних зразків. Близьким до визначення стадії, але менш чітко обговореним поняттям, є поняття *етапу проектування*. Проектування на початкових етапах, у процесі якого приймаються принципові проектні рішення по вигляду й принципам дії проектованих пристроїв і систем, називають *концептуальним проектуванням*.

Прикладами результатів виконання різних стадій проектування можуть служити підготовка креслень компонентів, аналіз механічних процесів, моделювання перехідного процесу, оптимізація параметрів і інші проектні задачі. У свою чергу, етапи верхнього рівня можна розчленувати на більш дрібні компоненти, наприклад, вибір або розрахунок зовнішніх впливів, моделювання полів напруження і деформацій, подання результатів моделювання в графічній і текстовій формах. Таким чином, проектування зводиться до виконання деяких послідовностей проектних процедур, що складають загалом *маршрут проектування*.

Прагнення скоротити часові витрати на проектування привело до розробки методик *паралельного проектування* (сполученого проектування), при якому паралельно в часі вирішуються задачі, зв'язані одна з одною по вхідним і вихідним даним таким чином, що для рішення однієї з них потребується знання результатів рішення іншої задачі. Оскільки ці результати до початку процедури паралельного проектування ще не отримані, у методиці паралельного проектування повинні бути зазначені способи завдання ще не визначених значень параметрів. Іноді розробку технічного завдання на проектування називають *зовнішнім проектуванням*, а реалізацію ТЗ — *внутрішнім проектуванням*.

У ТЗ на проектування об'єкта вказують, принаймні, наступні дані:

1. Призначення об'єкта;

2. Умови експлуатації. Поряд з якісними характеристиками (представленими у вербальній формі) є числові параметри, що мають назву *зовнішніх параметрів*, для яких зазначені області припустимих значень. Приклади зовнішніх параметрів: температура навколишнього середовища, зовнішні сили, електричні напруги, навантаження й т.п.;

3. Вимоги до *вихідних параметрів*, тобто до величин, що характеризують властивості об'єкта, що цікавлять споживача.

3.4 Моделі та їх параметри в САПР

В автоматизованих проектних процедурах замість ще неіснуючого проектованого об'єкта оперують деяким квазіоб'єктом — *моделлю*, що відображає деякі цікаві властивості об'єкта. *Метод моделювання* є методом дослідження властивостей певного об'єкта (оригіналу) за допомогою вивчення властивостей іншого об'єкта (моделі), який є зручнішим для дослідження і знаходиться у певній відповідності до першого об'єкта (оригіналу).

Моделювання – це побудова (або вибір) і вивчення такого об'єкта будь-якої природи (моделі), що здатний замінити собою досліджуваний об'єкт (оригінал) і вивчення якого дає нову інформацію про досліджуваний об'єкт.

У теорії моделювання *оригінал* – це об'єкт, певні властивості (аспекти) якого підлягають вивченню методом моделювання.

У загальному випадку поняття оригіналу має широку інтерпретацію. Воно охоплює об'єкти (системи, підсистеми, елементи), як реально існуючі, так і такі, що проектуються, а також явища, режими і процеси, які в них відбуваються.

Явище – це сукупність процесів, які є супутніми функціонуванню або поведінці системи й виявляються у вигляді змін стану або режимів цієї системи.

Режим – це стан системи, який визначається багатьма різними процесами й залежить як від власних параметрів системи, так і від параметрів збурюючих впливів.

Існують стаціонарні (усталені) і нестаціонарні (перехідні) режими.

Стаціонарний режим – це такий стан системи, за якого параметри режиму не змінюються в часі.

У протилежному випадку режим є *нестационарним* (перехідним).

Процес – це закономірна послідовна зміна деякої групи параметрів режиму, які називаються параметрами процесу.

Система також характеризується своїми параметрами. Наприклад, при дослідженні механічних явищ параметрами процесів є сили, швидкості, прискорення, а параметрами системи – маси тіл, коефіцієнти тертя, в'язкості рідин тощо.

Системи, у яких параметри є сталими на всьому інтервалі часу, протягом якого відбувається процес, що вивчається, називаються *лінійними*.

Системи, у яких хоча б один параметр змінюється як функція іншого або кількох інших параметрів, називаються *нелінійними*.

Відображаючи окремі особливості поведінки об'єкта–оригіналу, модель має деякі риси, ідентичні з оригіналом, і використовується для одержання такої інформації про оригінал, яку важко або неможливо одержати шляхом безпосереднього дослідження оригіналу.

Інтуїтивні уявлення про модель найчастіше асоціюються з технічними засобами, які застосовуються для створення відповідного „еквівалента” об'єкта дослідження, адекватного йому в тому чи іншому сенсі, але практично більш зручного для розв'язання поставлених задач.

Модель може замінити оригінал у процесі дослідження, надаючи про нього необхідну інформацію.

Як приклад можна назвати математичну модель гармонійних коливань. З фізики відомо, що диференціальне рівняння вільного коливання пружинного маятника має вигляд

$$m \frac{d^2 \xi(t)}{dt^2} = -\psi \xi(t), \quad (4.1)$$

де $\xi(t)$ – відхилення центра мас пружинного маятника від положення рівноваги в момент часу t ; m – маса маятника; ψ – коефіцієнт пружності пружини; $\psi \xi(t)$ – сила, яка діє на маятник з боку пружини. Якщо позначимо

$$\frac{\psi}{m} = \omega_0^2, \quad \xi(t) = z,$$

то рівняння (4.1) можна переписати у загальній формі рівняння вільних коливань

$$\frac{d^2 z}{dt^2} + \omega_0^2 z = 0. \quad (4.2)$$

Розглянемо вільні коливання в електричному контурі. Якщо позначити ємність конденсатора C , його заряд у момент часу t – $q(t)$, а індуктивність котушки – L , то рівняння коливань в електричному контурі набуде вигляду

$$L \frac{d^2 q(t)}{dt^2} + \frac{q(t)}{C} = 0. \quad (4.3)$$

Введемо позначення

$$\frac{1}{LC} = \omega_0^2, \quad q(t) = z$$

і отримаємо знову рівняння (4.2).

Отже, рівняння (4.2), яке описує різні за природою коливальні процеси, є математичною моделлю гармонійних коливань. Ця модель, на відміну від попереднього прикладу моделей літака, є уявною. Оскільки при її побудові отримується звичайне диференційне рівняння, то вона є математичною моделлю. Повна класифікація моделей і способи їх побудови будуть наведені далі.

Подібність. Наведене визначення моделі дозволяє сформулювати вимоги, які мають задовольняти методи моделювання.

1. Методи моделювання мають наділяти модель здатністю відображення реально існуючого об'єкта або об'єкта, що проектується.

2. Методи моделювання мають базуватися на певних правилах, які б дозволяли встановлювати взаємо однозначну відповідність між моделлю й оригіналом.

3. Методи моделювання мають забезпечити можливість створення моделі, яка, з одного боку, була б достатньо простою, а з іншого – могла б з необхідною повнотою й достовірністю відобразити ту частину властивостей оригіналу, яка є суттєвою саме в даному дослідженні і при даній постановці задачі.

Забезпечення третьої вимоги залежить великою мірою від майстерності й досвіду дослідника, а виконання першої і другої – забезпечується теорією подібності.

Поняття подібності було запозичене з геометрії. Геометрична подібність у найпростішому випадку подібності многокутників полягає в тому, що многокутники з однаковою кількістю сторін подібні, якщо в них відповідні кути рівні, а відповідні сторони – пропорційні.

Подальшим розвитком і узагальненням поняття геометричної подібності є поняття афінної подібності, при якій допускається нерівність масштабів по окремих координатах x , y , z . У цьому випадку геометричні фігури або тіла деформуються: круг перетворюється на еліпс, паралелепіпед з нерівними ребрами – на куб і т. д.

Поняття подібності фізичних процесів (об'єктів) є розвитком поняття афінної подібності.

Модель називають матеріальною, якщо вона відтворює основні фізичні, динамічні, геометричні й функціональні параметри об'єкта, що досліджується.

Частинним випадком матеріального моделювання є натурне моделювання. При такому моделюванні, залежно від його мети, модель у найпростішому випадку може тільки зовнішньо копіювати об'єкт, тобто бути лише його репрезентативною моделлю. Однак натурна модель може бути настільки складною й максимально наближеною до оригіналу, що за спеціально підібраних умов можна отримати корисну для дослідника інформацію як результат натурального експерименту з моделлю. Надалі виникають принаймні дві проблеми: як обробити отриману інформацію найбільш раціонально, щоб одержати максимальну кількість достовірних даних, і як потім відповідно інтерпретувати отримані результати про матеріальну модель у термінах об'єкта, що вивчається.

Другим частинним випадком матеріального моделювання є фізичне моделювання. У цьому випадку об'єкт, що моделюється, і модель мають одну й ту саму фізичну природу, між ними досягається фізична подібність.

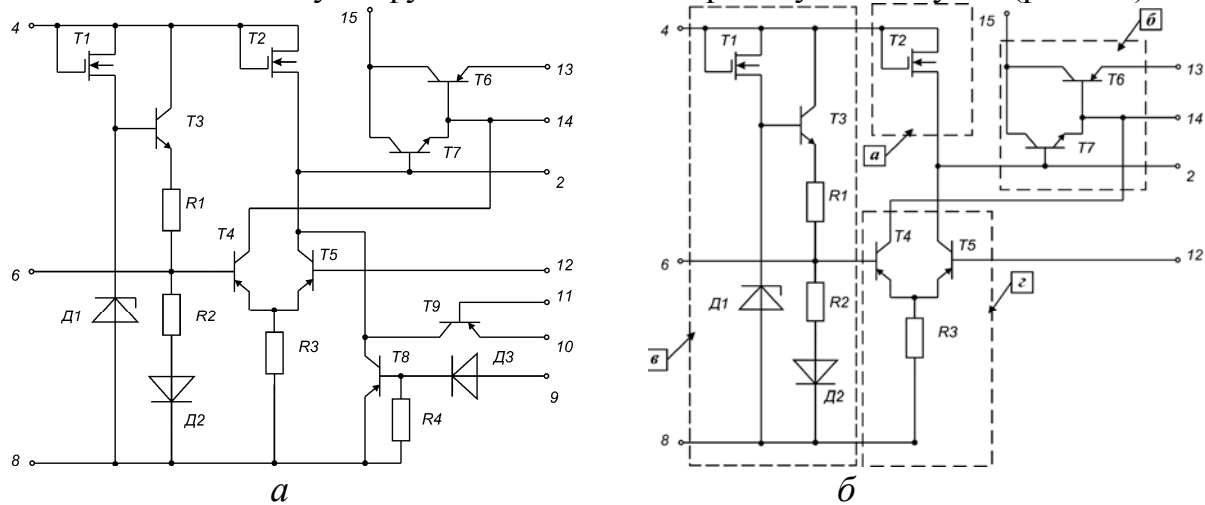
Клас так званих уявних (ідеальних) моделей створюється як результат побудови ідеальних (уявних) аналогій.

Усі види таких математичних формалізацій будемо об'єднувати однією назвою – математична модель, а зміст цього терміну уточнюється залежно від конкретної ситуації.

Як уявні, так і матеріальні типи моделювання можуть бути або детермінованими (α) (відображають детерміновані процеси з однозначно визначеними причинами та їх наслідками), або стохастичними (β) (відображають імовірнісні події). Подібність і моделювання будь-якого типу (1,2, А, Б, В, α , β) можуть бути узагальненими (γ), тобто відображати явища оригіналу з тією чи іншою умовністю й реалізовуватися в реальному часі (t_1) при вивченні лінійних систем, а також у зміненому (t_2) відносно реального – при вивченні нелінійних.

Модель може бути фізичним об'єктом (макет, стенд) або специфікацією. Серед моделей–специфікацій розрізняють функціональні, поведінкові, інформаційні, структурні моделі. Ці моделі називають математичними моделями, якщо вони формалізовані засобами апарата й мови математики.

Для отримання оптимальної за зручністю математичної моделі розробник виконує із електричною схемою низку перетворень, що дозволяють створити максимально подібну за функціями модель проектуемого вузла (рис.3.3).



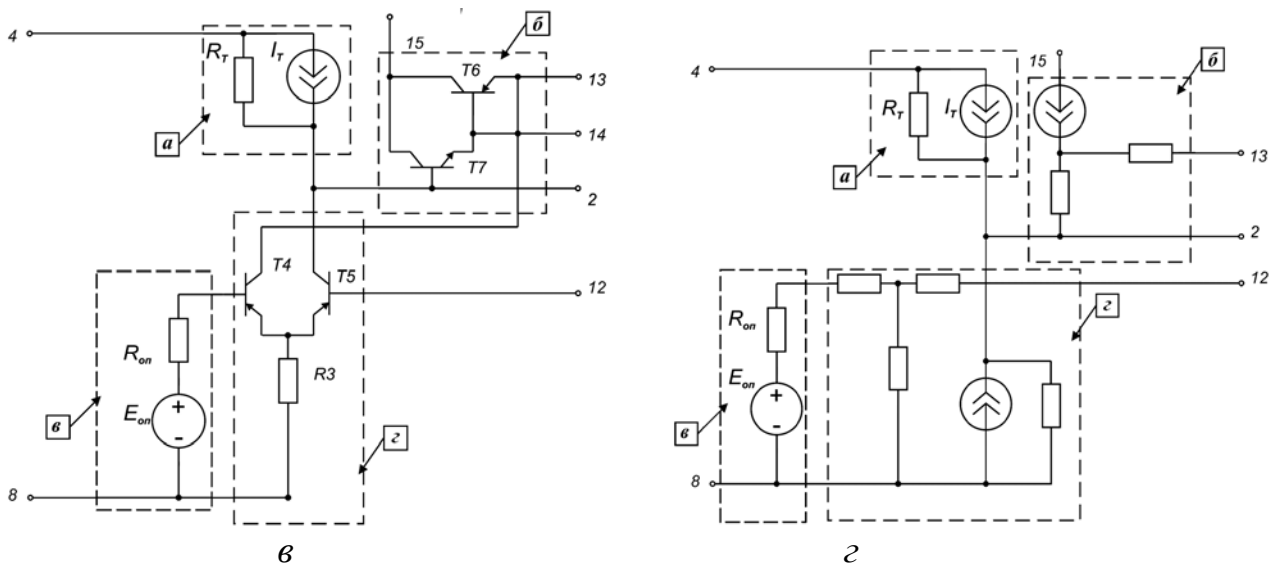


Рисунок 3.3 – Послідовність перетворення схеми стабілізатора напруги з метою створення математичної моделі ІС (а)–повна схема електрична принципова, (б)–заміна периферійних зовнішніх підключень, (в)–заміна схем порівняння і керування, (з)–повна заміна електричних елементів еквівалентними схемами заміщення).

Поряд з математичними моделями, які можуть бути геометричними, топологічними, динамічними, логічними й т.п. при проектуванні використовують функціональні моделі, інформаційні моделі у вигляді діаграм сутність-відношення, геометричні моделі (креслення), термограми та інше (рис.3.4). Надалі, якщо немає спеціального застереження, під словом "модель" будемо мати на увазі математичну модель.

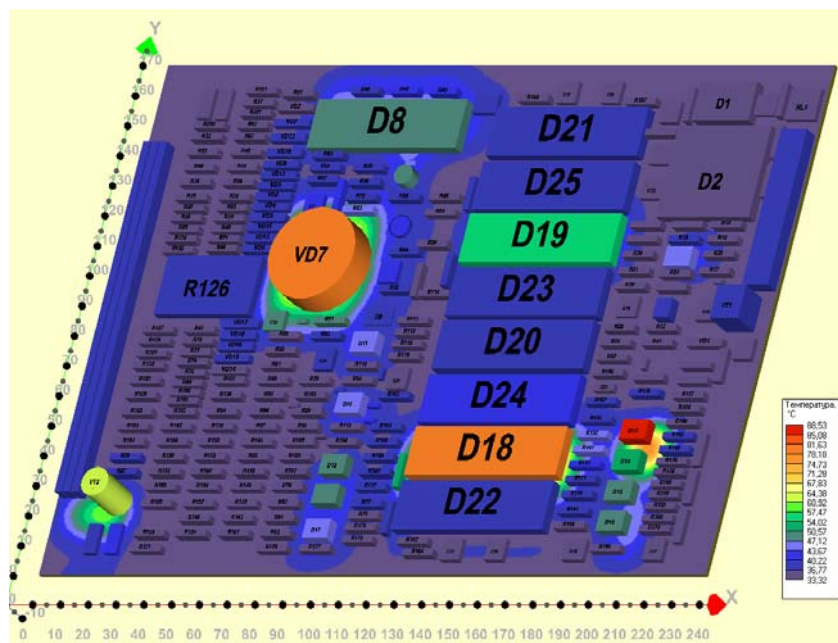


Рисунок 3.4 – Термограма трасувального вузла

Математична функціональна модель у загальному випадку являє собою алгоритм обчислення вектора вихідних параметрів Y при заданих векторах параметрів елементів (*внутрішніх параметрів*) X і *зовнішніх параметрів* Q .

Математичні моделі можуть бути символічними й чисельними. При використанні *символьних* моделей оперують не значеннями величин, а їхніми символічними позначеннями (ідентифікаторами). *Чисельні* моделі можуть бути *аналітичними моделями*, тобто їх можна представити у вигляді явно виражених залежностей вихідних параметрів Y від параметрів внутрішніми X й зовнішніми Q , або *алгоритмічними моделями*, у яких зв'язок Y , X і Q заданий неявно у вигляді алгоритму *моделювання*. Найважливіший окремий випадок алгоритмічних моделей — *імітаційні моделі*, вони відображають процеси в системі при наявності зовнішніх впливів на систему. Інакше кажучи, імітаційна модель – це алгоритмічна поведінкова модель.

Класифікацію математичних моделей виконують також по ряду інших ознак.

Так, залежно від приналежності до того або іншого ієрархічного рівня виділяють моделі рівнів системного, функціонально–логічного, макрорівня (зосередженого) і мікрорівня (розподіленого).

По характеру використовуваного для опису математичного апарата розрізняють моделі лінгвістичні, теоретико–множинні, абстрактно–алгебраїчні, нечіткі, автоматні й т.п.

Наприклад, на системному рівні переважно застосовують моделі систем масового обслуговування й мережі Петрі, на функціонально–логічному рівні – автоматні моделі на основі апарата передавальних функцій або кінцевих автоматів, на макрорівні – системи алгебраїчних диференціальних рівнянь, на мікрорівні – диференціальні рівняння в частинних похідних. Особливе місце займають геометричні моделі, що використовуються в системах конструювання.

Крім того, введені поняття *повних моделей* і *макромоделей*, моделей статичних і динамічних, детермінованих і стохастичних, аналогових і дискретних, символічних і чисельних.

Повна модель об'єкта на відміну від макромоделі описує не тільки процеси на зовнішніх виводах моделюємого об'єкту, але й внутрішні для об'єкту процеси (рис.3.5).

Статичні моделі описують статичні стани, у них не є присутнім час у якості незалежної змінної. Динамічні моделі відбивають поведження системи, тобто в них обов'язково використовується час.

Стохастичні й детерміновані моделі розрізняються залежно від врахування або неврахування випадкових факторів.

Інформаційні моделі використовують насамперед при інфологічному проектуванні баз даних (БД) для опису зв'язків між одиницями інформації.

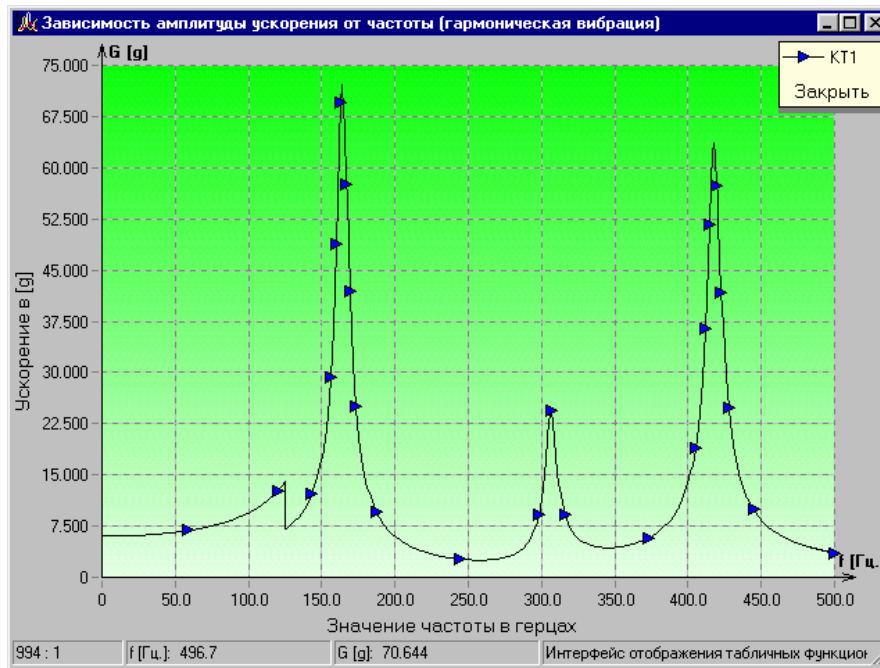


Рисунок 3.5 – Результат моделювання механічних впливів. Залежність вібраційного прискорення від частоти зовнішнього впливу

Найбільші труднощі виникають при створенні моделей слабо структурованих систем, що характерно насамперед для системного рівня проектування. Тут значна увага приділяється експертним методам. У теорії систем сформульовані загальні рекомендації з підбора експертів при розробці моделі, організації експертизи, по обробці отриманих результатів. Досить загальний підхід до побудови моделей складних слабо структурованих систем виражений у методиках IDEF.

Звичайно в імітаційних моделях фігурують величини, що характеризують стан моделюємої системи й мають назву *фазових змінних*. Так, на макрорівні імітаційні моделі являють собою системи алгебраїчних диференціальних рівнянь

$$\Phi\left(\frac{d\mathbf{V}}{dt}, \mathbf{V}, t\right) = 0, \text{ при } t = 0, \mathbf{V} = \mathbf{V}_0, \quad (3.1)$$

де \mathbf{V} — вектор фазових змінних; t — час; \mathbf{V}_0 — вектор початкових умов. До фазового змінного можна віднести струми й напруги в електричних системах, сили й швидкості – у механічних, тиски й витрати – у гідравлічній.

В *аналогових моделях* фазові змінні — безперервні величини, у *дискретних моделях* — дискретні. У ряді випадків корисне застосування *змішаних моделей*, у яких одна частина підсистем характеризується аналоговими моделями, інша — логічними.

Вихідні параметри систем можуть бути двох типів. По–перше, це параметри–функціонали, тобто функціонали залежностей $\mathbf{V}t$ у випадку використання (3.1). Приклади таких параметрів: амплітуди сигналів, часові затримки, потужності розсіювання й т.п. По–друге, це параметри, що характеризують здатність

проектованого об'єкта працювати при певних зовнішніх умовах. Ці вихідні параметри є граничними значеннями діапазонів зовнішніх змінних, у яких зберігається працездатність об'єкта.

3.5 Контрольні запитання і завдання

1. Назвіть ознаки класифікації моделей.
2. Які вимоги до методів моделювання?
3. В чому відмінність повної моделі об'єкту?
4. Наведіть послідовність перетворення схеми стабілізатора напруги з метою створення математичної моделі ІС.
5. Приведіть приклади параметрів функціоналів.
6. В чому відмінність матеріального моделювання від натурного моделювання?
7. Яка схема взаємозв'язку проектних процедур?
8. Назвіть стадії науково-дослідних робіт.
9. Що відноситься до інформаційного забезпечення САПР?
10. Що таке банк даних САПР?
11. Які основні вимоги пред'являються до баз даних САПР?
12. Що включає методичне забезпечення?
13. Охарактеризуйте ієрархічні БД.
14. Моделі та їх параметри в САПР.
15. Що включає математичне забезпечення?
16. З чого складається математичне забезпечення САПР?
17. Що включає програмне забезпечення?
18. Які основні вимоги до МЗ САПР?
19. Для чого потрібна висока міра універсальності МЗ?
20. Що таке евристичні алгоритми МЗ САПР?
21. Які методи визначення точності МЗ САПР?
22. Поняття повних моделей і макромоделей.
23. Що включає інформаційне забезпечення?
24. Що таке підсистеми САПР?

4 РОЗРОБКА СТРУКТУРИ ПРОЕКТУ

Створити проект об'єкта (виробу або процесу) означає вибрати структуру об'єкта, визначити значення всіх його параметрів і представити результати у встановленій формі. Результати (проектна документація) можуть бути виражені у вигляді креслень, схем, пояснювальних записок, програм для програмно-керованого технологічного устаткування й інших документів на папері або на машинних носіях інформації.

Розробка (або вибір) структури об'єкта є проектна процедура, що має назву *структурного синтезу*, а розрахунок (або вибір) значень параметрів елементів x — процедура *параметричного синтезу*.

Задача структурного синтезу формулюється в системотехніці як *задача прийняття рішень (ЗПР)*. Її суть полягає у визначенні мети, множини можливих рішень і обмежуючих умов.

Класифікацію ЗПР здійснюють по ряду ознак. По числу критеріїв розрізняють задачі одно- і багатокритеріальні. По ступені невизначеності розрізняють ЗПР детерміновані, ЗПР в умовах ризику – при наявності у формулюванні задачі випадкових параметрів, ЗПР в умовах невизначеності, тобто при неповноті або невірогідності вихідної інформації.

Реальні задачі проектування, як правило, є багатокритеріальними. Одна з основних проблем постановки багатокритеріальних задач – встановлення правил переваги варіантів. Способи зведення багатокритеріальних задач до однокритеріальних і наступні шляхи рішення вивчаються в дисциплінах, присвячених методам оптимізації й математичному програмуванню.

При синтезі структури ІС постановка задачі повинна включати в якості вихідних даних наступні відомості:

- множина функцій, що виконуються системою (інакше кажучи, множина робіт, кожна з яких може складатися з однієї або більше операцій); можливо, що в цій множині є часткова впорядкованість робіт, що може бути представлене у вигляді орієнтованого графа, у якому вершини відповідають роботам, а дуги – відносинам порядку;
- типи припустимих для використання ІР – ядер, що виконують функції системи;
- множина зовнішніх джерел і споживачів даних;
- у багатьох випадках задається також деяка вихідна структура системи у вигляді взаємозалежної сукупності інтерфейсів певних типів; ця структура може розглядатися як узагальнена надлишкова або як варіант першого наближення;
- різного роду обмеження, зокрема, обмеження на витрати матеріальних ресурсів і (або) на часи виконання функцій системи.

Задача полягає в синтезі (або корекції) структури, визначенні типів серверів (програмно-апаратних засобів), розподілі функцій по серверах таким чином, щоб досягався екстремум цільової функції при виконанні заданих обмежень.

Конструювання, розробка технологічних процесів, оформлення проектної документації – окремі випадки структурного синтезу.

Наступна після синтезу група проектних процедур — процедури аналізу. Ціль аналізу — одержання інформації про характер функціонування й значення вихідних параметрів Y при заданих структурі об'єкта, відомостях про зовнішні параметри Q й параметри елементів X . Якщо задані фіксовані значення параметрів X і Q , то має місце процедура одноваріантного аналізу. Одноваріантний аналіз часто виконується за допомогою моделювання.

Моделювання складається з етапів формування моделі (modeling) і дослідження моделі (рішення, simulation). У свою чергу, формування моделі включає дві процедури: по-перше, розробку моделей окремих компонентів, по-друге, формування моделі системи з моделей компонентів.

Перша із цих процедур виконується попередньо стосовно типових компонентів поза маршрутом проектування конкретних об'єктів. Як правило, моделі компонентів розробляються фахівцями в прикладних областях, причому знаючих вимоги до моделей і форм їхнього подання в САПР. Звичайно в допомогу розроблювачеві моделей у САПР пропонуються методики й допоміжні засоби, наприклад, у вигляді програм аналізу для експериментального відпрацювання моделей. Створені моделі включаються в бібліотеки моделей прикладних програм аналізу.

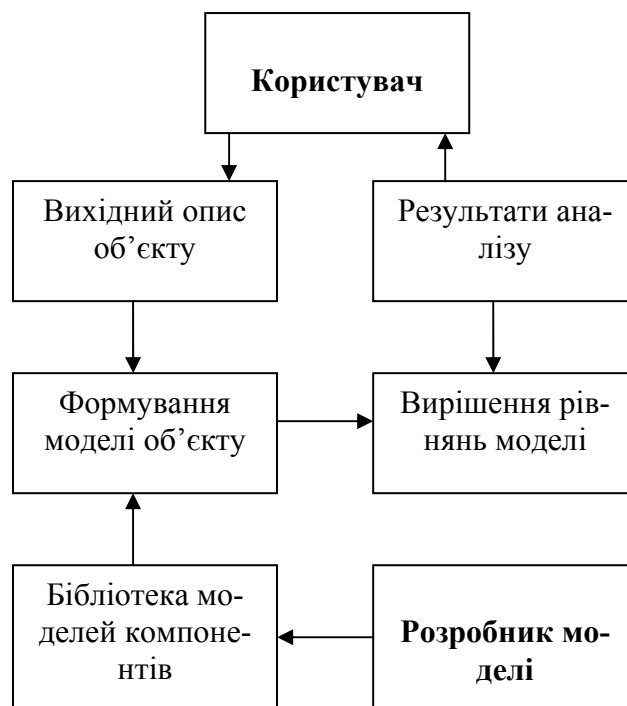


Рисунок 4.1 –Формування моделі системи

На маршруті проектування кожного нового об'єкта виконується друга процедура (рис.4.1) — формування моделі системи з використанням бібліотечних моделей компонентів. Як правило, ця процедура виконується автоматично по алгоритмах, включених у заздалегідь розроблені програми аналізу. Прикла-

ди таких програм є в різних додатках і насамперед у галузях загального машинобудування й радіоелектроніки.

При застосуванні цих програм користувач описує досліджуваний об'єкт вхідною мовою програми аналізу не у вигляді системи рівнянь, що буде отримана автоматично, а у вигляді списку елементів структури, еквівалентної схеми, ескізу або кресленню конструкції.

Друга процедура моделювання — *simulation* — зводиться до рішення рівнянь математичної моделі, наприклад, системи диференціальних рівнянь, і обчисленню вектора вихідних параметрів Y .

У процедурах *багатоваріантного аналізу* визначається вплив зовнішніх параметрів, розкиду й нестабільності параметрів елементів на вихідні параметри. Процедури статистичного аналізу й аналізу чутливості — характерні приклади процедур багатоваріантного аналізу.

Виконання аналізу й зіставлення отриманих результатів з бажаними значеннями називають процедурою *верифікації*.

Життєвий цикл виробів. Життєвий цикл промислових виробів (ЖЦВ) включає ряд етапів, починаючи від зародження ідеї нового продукту до його утилізації по закінченні строку використання. До них відносяться етапи проектування, технологічної підготовки виробництва (ТПВ), виробництва, реалізації продукції, експлуатації й, нарешті, утилізації (у число етапів життєвого циклу можуть також входити маркетинг, закупівля матеріалів і комплектуючих, надання послуг, упакування й зберігання, монтаж і введення в експлуатацію).

Розглянемо зміст основних етапів ЖЦВ для виробництва.

На етапі проектування виконуються проектні процедури — формування принципового рішення, розробка геометричних моделей і креслень, розрахунки, моделювання процесів, оптимізація й т.п.

На етапі підготовки виробництва розробляються маршрутна й операційна технології виготовлення деталей, реалізовані в програмах для верстатів ЧПК; технологія зборки й монтажу виробів; технологія контролю й випробувань.

На етапі виробництва здійснюються: календарне й оперативне планування; придбання матеріалів і комплектуючих з їхнім вхідним контролем; технологічні етапи; проміжні контрольні операції; зборка; випробування й підсумковий контроль.

На поствиробничих етапах виконуються консервація, пакування, транспортування; монтаж у споживача; експлуатація, обслуговування, ремонт; утилізація.

На всіх етапах життєвого циклу є свої цільові настанови. При цьому учасники життєвого циклу прагнуть досягти поставлених цілей з максимальною ефективністю. На етапах проектування, ТПВ і виробництва потрібно забезпечити виконання вимог, пропонованих до продукту, при заданому ступені надійності виробу й мінімізації матеріальних і тимчасових витрат, що необхідно для досягнення успіху в конкурентній боротьбі в умовах ринкової економіки. Поняття ефективності охоплює не тільки зниження собівартості продукції й ско-

рочення строків проектування й виробництва, але й забезпечення зручності освоєння й зниження витрат на майбутню експлуатацію виробів.

Досягнення поставлених цілей на сучасних підприємствах, що випускають складні технічні вироби, виявляється неможливим без широкого використання *автоматизованих систем* (АС), заснованих на застосуванні комп'ютерів і призначених для створення, переробки й використання всієї необхідної інформації про властивості виробів і супровідних процесів. Специфіка задач, розв'язуваних на різних етапах життєвого циклу виробів, обумовлює різноманітність застосовуваних АС.

4.1 Структура САПР

Як і будь-яка складна система, САПР складається з підсистем. Розрізняють підсистеми що проектують і обслуговують.

Підсистеми, що проектують, безпосередньо виконують проектні процедури. Прикладами підсистем, що проектують, можуть служити підсистеми геометричного тривимірного моделювання механічних об'єктів, виготовлення конструкторської документації, схемотехнічного аналізу, трасування з'єднань у друкованих платах.

Обслуговуючі підсистеми забезпечують функціонування підсистем, що проектують, їхню сукупність часто називають системним середовищем (або оболонкою) САПР. Типовими обслуговуючими підсистемами є підсистеми керування проектними даними, підсистеми розробки й супроводу програмного забезпечення CASE (Computer Aided Software Engineering), підсистеми, що навчають, для освоєння користувачами технологій, реалізованих у САПР.

Структурування САПР по різних аспектах обумовлює поява видів забезпечення САПР. Прийнято виділяти сім видів забезпечення:

- технічне забезпечення (ТЗ), що включає різні апаратні засоби (ЕОМ, периферійні пристрої, мережне комутаційне устаткування, лінії зв'язку, вимірювальні засоби);
- математичне забезпечення (МЗ), що поєднує математичні методи, моделі й алгоритми для виконання проектування;
- програмне забезпечення (ПЗ), що представляється комп'ютерними програмами САПР;
- інформаційне забезпечення (ІЗ), що складається з баз даних (БД), систем керування базами даних (СКБД), а також включає інші дані, що використовуються при проектуванні;
- лінгвістичне забезпечення (ЛЗ), що виражається мовами спілкування між проектувальниками й ЕОМ, мовами програмування й форматами обміну даними між технічними засобами САПР;
- методичне забезпечення (МетЗ), що включає різні методики проектування, іноді до МетЗ відносять також математичне забезпечення;

- організаційне забезпечення (ОЗ), що представляється штатними розкладами, посадовими інструкціями й іншими документами, що регламентують роботу проектного підприємства.

Відзначимо, що вся сукупність використовуваних при проектуванні даних називається інформаційним фондом САПР. Базою даних називають упорядковану сукупність даних, що відображають властивості об'єктів і їхнього взаємозв'язку в деякій предметній області. Доступ до БД для читання, запису й модифікації даних здійснюється за допомогою СКБД, а сукупність БД і СКБД називають банком накопичених даних (БНД).

Класифікацію САПР здійснюють по ряду ознак, наприклад, по застосуванню, цільовому призначенню, масштабам (комплексності розв'язуваних задач), характеру базової підсистеми – ядра САПР.

По застосуванню найбільш представницькими й широко використовуваними є наступні групи САПР.

1. САПР для застосування в галузях загального машинобудування. Їх часто називають машинобудівними САПР або MCAD (Mechanical CAD) системами.

2. САПР в області радіоелектроніки: системи ECAD (Electronic CAD) або EDA (Electronic Design Automation).

3. САПР в області архітектури й будівництва.

Крім того, відомо велике число спеціалізованих САПР, або виділюваних у зазначених групах, або що представляють самостійну галузь у класифікації. Прикладами таких систем є САПР великих інтегральних схем (ВІС); САПР літальних апаратів; САПР електричних машин і т.п.

По цільовому призначенню розрізняють САПР або підсистеми САПР, що забезпечують різні аспекти проектування. Так, у складі MCAD з'являються CAE/CAD/CAM системи.

По масштабах розрізняють окремі програмно–методичні комплекси (ПМК) САПР, наприклад, комплекс аналізу міцності механічних виробів відповідно до методу скінчених елементів (МСЕ) або комплекс аналізу електронних схем; системи ПМК; системи з унікальними архітектурами не тільки програмного (software), але й технічного (hardware) забезпечень.

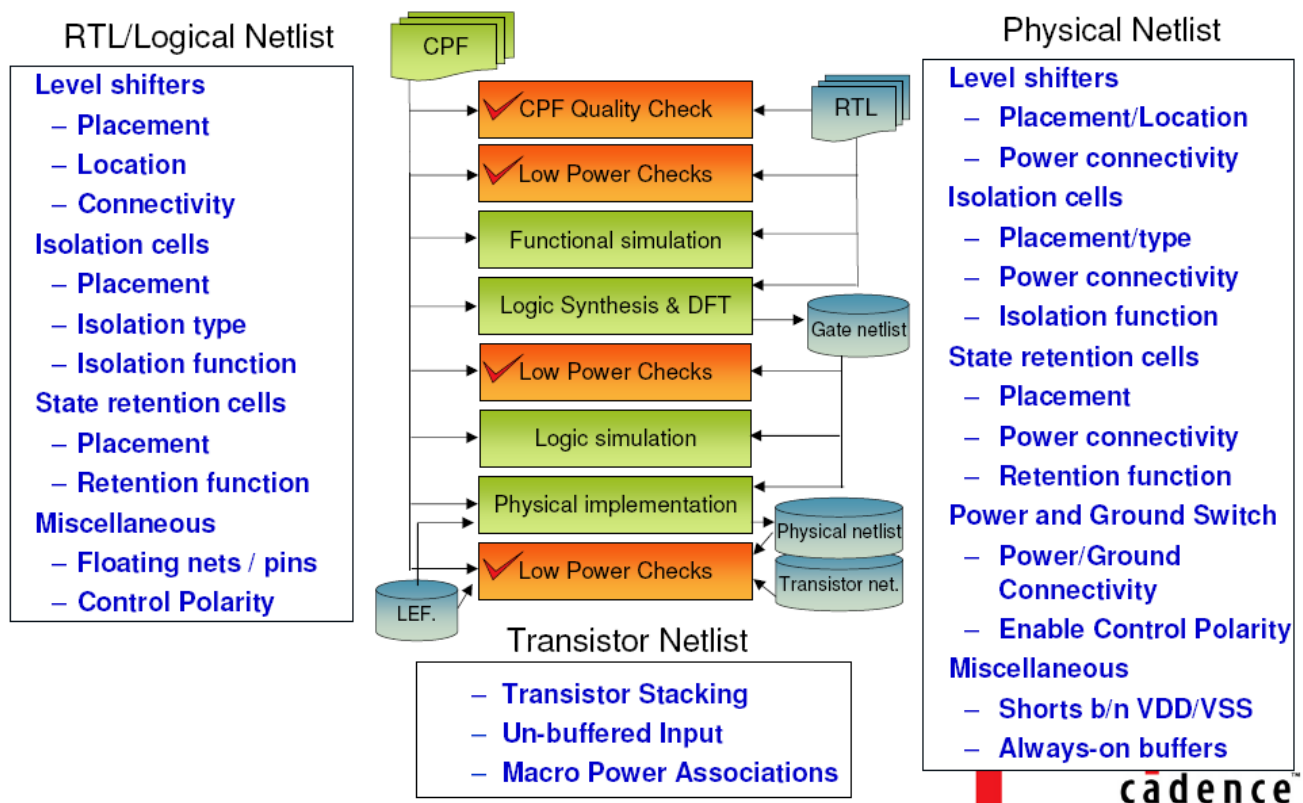


Рисунок 4.2 – Структура системи автоматизованого проектування інтегральних схем Cadence Virtuoso.

По характеру базової підсистеми розрізняють наступні різновиди САПР.

1. САПР на базі підсистеми машинної графіки й геометричного моделювання. Ці САПР орієнтовані на застосування, де основною процедурою проектування є конструювання, тобто визначення просторових форм і взаємного розташування об'єктів. Тому до цієї групи систем відноситься більшість САПР в області машинобудування, побудованих на базі графічних ядер. У цей час широко використовуються уніфіковані графічні ядра, застосовувані більш ніж в одній САПР, це ядра Parasolid фірми EDS Unigraphics і ACIS фірми Intergraph.

2. САПР на базі СКБД. Вони орієнтовані на застосування, у яких при порівняно нескладних математичних розрахунках переробляється великий об'єм даних. Такі САПР переважно зустрічаються в техніко-економічних галузях, наприклад, при проектуванні бізнес-планів, але мають місце також при проектуванні об'єктів, подібних до щитів керування в системах автоматики.

3. САПР на базі конкретного прикладного пакета. Фактично це автономно використовувані програмно-методичні комплекси, наприклад, імітаційного моделювання виробничих процесів, розрахунку міцності по методу скінчених елементів, синтезу й аналізу систем автоматичного керування й т.п. Часто такі САПР відносять до систем САЕ. Прикладами можуть служити програми логічного проектування на базі мови VHDL, математичні пакети типу MathCAD.

4. Комплексні (інтегровані) САПР, що складаються із сукупності підсистем попередніх видів. Характерними прикладами комплексних САПР є САЕ/CAD/CAM–системи в машинобудуванні або САПР ВІС. Так, САПР ВІС містить у собі СКБД і підсистеми проектування компонентів, принципів, логічних і функціональних схем, топології кристалів, тестів для перевірки придатності виробів. Для керування настільки складними системами застосовують спеціалізовані системні середовища (рис.4.2).

Етапи проектування електронних систем. Методи й засоби проектування електронних систем (ЕС) і, зокрема, САПР підрозділяються на три великих рівні, що відповідають створенню інтегрованої корпоративної системи, окремих автоматизованих систем проектування й керування, програмно-методичних комплексів і компонентів автоматизованих систем.

На ринку програмного забезпечення пропонується ряд систем типу PLM, CPC і PDM. Існує ряд фірм, що спеціалізуються на розробці проектів системної інтеграції.

Для кожного класу САПР, ERP й т.і. можна вказати фірми, що спеціалізуються на розробці програмних (а іноді й програмно-апаратних) систем. Багато хто з них на основі однієї з базових технологій реалізують свій підхід до створення ІС і дотримуються стратегії або тотального постачальника, або відкритості й розширення системи додатками й доповненнями третіх фірм.

Як ІС, так і її компоненти є складними системами й при їхньому проектуванні потрібно використати один із стилів проектування:

- спадне проектування (Top-of-Design); чітка реалізація спадного проектування приводить до спіральної моделі розробки ПЗ, на кожному витку спіралі блоки попереднього рівня деталізуються, використовуються зворотні зв'язки (альтернативою є каскадна модель, що відноситься до почергової реалізації частин системи);
- висхідне проектування (Bottom-of-Design);
- еволюційне проектування (Middle-of-Design).

Найчастіше застосовують спадний стиль блочно-ієрархічного проектування.

Розглянемо етапи спадного проектування ІС.

Верхній рівень проектування часто називають концептуальним проектуванням. Концептуальне проектування виконують у процесі передпроектних досліджень, формулювання ТЗ, розробки ескізного проекту й прототипування (відповідно до держстандарту, ці стадії називають формуванням вимог до ІС, розробкою концепції ІС і ескізний проект).

Результати аналізу проекту конкретизуються в ТЗ на створення ІС. Ескізний проект (технічну пропозицію) представляють у вигляді проектної документації, що описує архітектуру системи, структуру її підсистем, склад модулів. Тут же вказуються пропозиції на вибір базових програмно-апаратних засобів, які повинні враховувати прогноз на даний проект.

Після прийняття ескізного проекту розробляють прототип ІС, що представляє собою набір програм, що емулюють роботу готової системи. Завдяки прототипуванню можна не тільки розробникам, але й майбутнім користувачам ІС побачити контури й особливості системи й, отже, завчасно внести корективи в проект.

Як на етапі обстеження, так і на наступних етапах доцільно дотримуватися певної дисципліни фіксації й подання одержуваних результатів, заснованої на тій або іншій методиці формалізації специфікацій. Формалізація потрібна для однозначного розуміння виконавцями й замовником вимог, обмежень і прийнятих рішень.

При концептуальному проектуванні застосовують ряд специфікацій, серед яких центральне місце займають різноманітні моделі.

Розрізняють функціональні, інформаційні, поведінкові й структурні моделі.

Функціональна модель системи описує сукупність виконуваних системою функцій.

Інформаційна модель відбиває структури даних — їхній склад і взаємозв'язки.

Поведінкова модель описує інформаційні процеси (динаміку функціонування), у ній фігурують такі категорії, як стан системи, подія, перехід з одного стану в інше, умови переходу, послідовність подій, здійснюється прив'язка до часових інтервалів.

Структурна модель характеризує морфологію системи (її побудову) — склад підсистем, їхнього взаємозв'язку.

4.2 Вимоги до технічного забезпечення САПР

Технічне забезпечення САПР містить у собі різні технічні засоби (hardware), використовувані для виконання автоматизованого проектування, а саме обчислювальні системи, ЕОМ (комп'ютери), периферійні пристрої, мережне устаткування, а також устаткування деяких допоміжних систем (наприклад, вимірювальних), що підтримують проектування. Відзначимо, що обчислювальною системою (на відміну від ЕОМ і обчислювальної мережі) називають сукупність апаратних і програмних засобів, спільно використовуваних при рішенні задач і розташовуваних компактно на території, розміри якої порівнянні з розмірами апаратних засобів.

Технічні засоби, що використовуються в САПР, повинні забезпечувати:

- виконання всіх необхідних проектних процедур, для яких є відповідне ПЗ;
- взаємодію між проектувальниками й ЕОМ, підтримку інтерактивного режиму роботи;
- взаємодію між членами колективу, що виконують роботу над загальним проектом.

Перша із цих вимог виконується при наявності в САПР обчислювальних машин і систем з достатніми продуктивністю і ємністю пам'яті.

Друга вимога ставиться до користувальницького інтерфейсу й виконується за рахунок включення в САПР зручних засобів вводу–виводу даних і, насамперед, пристроїв обміну інформацією.

Третя вимога обумовлює об'єднання апаратних засобів САПР в єдину мережу.

Класифікація обчислювальних систем по співвідношенню потоків команд і даних. Популярна класифікація ОС, заснована на архітектурних особливостях систем і запропонована Флином. Відповідно до неї виділяють чотири класи систем:

SISD (Single Instruction Single Data — один потік команд і один потік даних),

SIMD (Single Instruction Multi Data — один потік команд і багато потоків даних),

MISD (Multi Instruction Single Data — багато потоків команд і один потік даних),

MIMD (Multi Instruction Multi Data — багато потоків команд і багато потоків даних).

Класу *SISD* відповідають однопроцесорні ЕОМ без застосування розпаралелювання обчислювального процесу. Клас *MISD* не знайшов практичного застосування. У сучасних високопродуктивних ОС застосовують класи *SIMD* і *MIMD*.

В *SIMD* системах та сама машинна команда виконується одночасно над різними числами, що характерно, наприклад, для матрично–векторних обчислень. Зокрема, до цього класу належать одно процесорні векторні й векторно – конвеєрні ОС (наприклад, Cray–1, Hitachi S3600), а також ОС на основі матриць процесорів.

Більшість сучасних суперкомп'ютерів має структуру *MIMD*. У цьому класі розрізняють кілька підкласів.

По–перше, це системи *SM* (Shared Memory), що розділяють загальну пам'ять, тобто що мають загальний адресний простір. До цього підкласу відносяться багатопроцесорні векторні ОС і системи *SMP* (Symmetric Multi–Processor). Очевидно, що в таких системах жорсткі вимоги пред'являються до швидкодії каналів зв'язку процесорів з загальною пам'яттю. У векторних ОС використовується високошвидкісна шина між оперативною пам'яттю й векторними регістрами, у системах *SMP* висока продуктивність підтримується за рахунок введення кеш–пам'яті великого об'єму, тобто вимоги до пропускну здатності тракту "оперативна пам'ять – кеш–пам'ять" істотно знижуються.

По–друге, системи с *розподіленою пам'яттю* *DM* (Distributed Memory) — це системи, у яких кожний процесор має свою оперативну пам'ять. Прикладом систем *DM* можуть служити кластерні системи. У свою чергу, кожний вузол може бути системою типу *SIMD* або *MIMD*. Тоді говорять про системи *DM–SIMD* або *DM–MIMD* відповідно. Якщо операційна система працює

з єдиним простором адрес, а кожний процесор виконаний як система MIMD, то маємо систему *SM-MIMD*.

По-третє, системи з *масовим паралелізмом* MPP (Massively Parallel Processing), у яких кілька копій однієї програми паралельно виконуються в різних вузлах з різними даними. Відмітна ознака MPP – помітно більше число процесорів, ніж у системах SMP, що ще більше ускладнює проблему ефективного розділення проекту. Для користувача системи MPP можуть виглядати як SM-MIMD.

Вимоги до математичних моделей і методів у САПР. Основними вимогами до математичних моделей є вимоги адекватності, точності, економічності.

Модель завжди лише приблизно відбиває деякі властивості об'єкта. Адекватність має місце, якщо модель відбиває задані властивості об'єкта із прийнятною точністю. Під точністю розуміють ступінь відповідності оцінок однойменних властивостей об'єкта й моделі.

Економічність (обчислювальна ефективність) визначається витратами ресурсів, необхідних для реалізації моделі. Оскільки в САПР використовуються математичні моделі, далі мова йтиме про характеристики саме математичних моделей, і економічність буде характеризуватися витратами машинних часу й пам'яті.

Адекватність оцінюється переліком властивостей і областями адекватності. Область адекватності – область у просторі параметрів, у межах якої погрешності моделі залишаються в припустимих межах.

Відзначимо, що в більшості випадків області адекватності будуються в просторі зовнішніх змінних.

Аналогічні вимоги по точності й економічності фігурують при виборі чисельних методів рішення рівнянь моделі.

Вихідні рівняння для формування моделей на макрорівні. Вихідний математичний опис процесів в об'єктах на макрорівні представлено системами звичайних диференціальних і алгебраїчних рівнянь. Аналітичні рішення таких систем при типових значеннях їхніх порядків у практичних задачах одержати не вдається, тому в САПР переважно використовуються алгоритмічні моделі. У цьому параграфі викладений узагальнений підхід до формування алгоритмічних моделей на макрорівні, справедливий для більшості застосувань (рис.4.3).

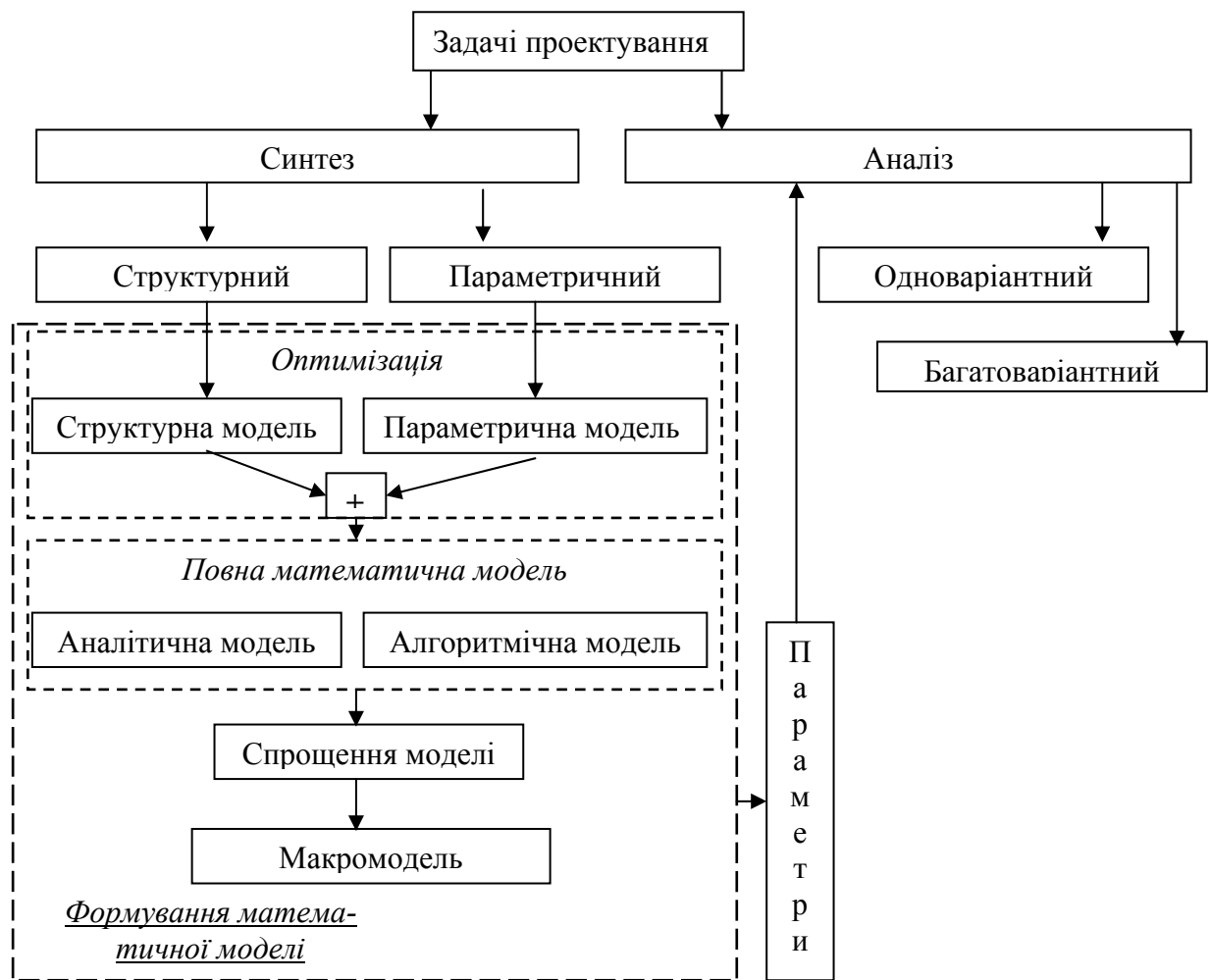


Рисунок 4.3 – Класифікація типових проектних процедур.

Вихідними для формування математичних моделей об'єктів на макрорівні є компонентні й топологічні рівняння.

Компонентними рівняннями називають рівняння, що описують властивості елементів (компонентів), інакше кажучи, математична модель елемента (ММЕ) представляється компонентними рівняннями.

Топологічні рівняння описують взаємозв'язки в складі системи, що моделюється.

У сукупності компонентні й топологічні рівняння конкретної фізичної системи являють собою вихідну математичну модель системи (ММС).

Очевидно, що компонентні й топологічні рівняння в системах різної фізичної природи відбивають різні фізичні властивості, але можуть мати однако- вий формальний вид. Однакова форма запису математичних співвідношень дозволяє говорити про формальні аналогії компонентних і топологічних рівнянь. Такі аналогії існують для механічних поступальних, механічних обертальних, електричних, гідравлічних (пневматичних), теплових об'єктів. Наявність аналогій приводить до практично важливого висновку: значна частина алгоритмів формування й дослідження моделей у САПР виявляється інваріантною й може

бути застосована до аналізу проєктованих об'єктів у різних предметних областях. Єдність математичного апарату формування ММС особливо зручно при аналізі систем, що складаються з фізично різнорідних підсистем.

Розрізняють фазові змінні двох типів, їхні узагальнені найменування — фазові змінні типу потенціалу (наприклад, електрична напруга) і фазові змінні типу потоку (наприклад, електричний струм). Кожне компонентне рівняння характеризує зв'язки між різнотипними фазовими змінними, стосовними до одного компонента (наприклад, закон Ома описує зв'язок між напругою й струмом у резисторі), а топологічне рівняння — зв'язку між однотипними фазовими змінними в різних компонентах.

Моделі можна представляти у вигляді систем рівнянь або в графічній формі, якщо між цими формами встановлена взаємно однозначна відповідність. Як приклад графічної форми можна привести електричні еквівалентні схеми.

Нижче розглянемо приклади компонентних і топологічних рівнянь для різних типів систем.

4.3 Вибір методів аналізу

Аналіз процесів у проєктованих електронних об'єктах можна проводити в часовій і частотній областях.

Аналіз у часовій області (динамічний аналіз) дозволяє одержати картину перехідних процесів, оцінити динамічні властивості об'єкта, він є важливою процедурою при дослідженні як лінійних, так і нелінійних систем.

Методи аналізу в часовій області, використовувані в універсальних програмах аналізу в САПР, — це чисельні методи інтегрування систем звичайних диференційних рівнянь (СЗДР).

Інакше кажучи, це методи алгебраїзації диференційних рівнянь. Формули інтегрування СЗДР можуть входити в математичну модель (ММ) незалежно від компонентних рівнянь або бути інтегрованими в ММ компонентів, як це виконано у вузловому методі.

Від вибору методу рішення СЗДР істотно залежать такі характеристики аналізу, як точність і обчислювальна ефективність. Ці характеристики визначаються насамперед типом і порядком обраного методу інтегрування СЗДР.

Застосовують два типи методів інтегрування — *явні методи* (інакше екстраполяційні або методи, засновані на формулах інтегрування вперед), і *неявні методи* (інтерполяційні, засновані на формулах інтегрування назад).

Аналіз у частотній області. Аналіз у частотній області більш специфічний у порівнянні з аналізом у часовій області. Його застосовують, як правило, до об'єктів з лінеаризуємими математичними моделями при дослідженні коливальних стаціонарних процесів, аналізі стійкості, розрахунку перекручувань сигналів, що представляються спектральними складових сигналів, і т.п.

Аналіз у частотній області виконується відповідно лінеарізованим моделям об'єктів. Для лінійних систем справедливе застосування для алгебраїзації диференціальних рівнянь перетворення Фур'є.

Характерною особливістю є комплексний характер матриці коефіцієнтів, що до деякої міри ускладнює процедуру рішення, але не створює принципових труднощів. При рішенні задають ряд частот w_k . Для кожної частоти вирішують систему лінійних алгебраїчних рівнянь й визначають дійсні й мнимі частини шуканих фазових змінних. По них визначають амплітуду й фазовий кут кожної спектральної складової, що й дозволяє побудувати амплітудно–частотні характеристики, знайти власні частоти коливальної системи й т.п.

Багатоваріантний аналіз. Одноваріантний аналіз дозволяє одержати інформацію про стан і поведження проєктованого об'єкта в одній точці простору внутрішніх і зовнішніх параметрів. Очевидно, що для оцінки властивостей проєктованого об'єкта цього недостатньо. Потрібно виконувати багатоваріантний аналіз, тобто досліджувати поведження об'єкта у ряді точок згаданого простору, що для стислості будемо далі називати простором аргументів.

Найчастіше *багатоваріантний аналіз* у САПР виконується в інтерактивному режимі, коли розроблювач неодноразово змінює в математичній моделі ті або інші параметри із множин X і Q , виконує одноваріантний аналіз і фіксує отримані значення вихідних параметрів. Подібний багатоваріантний аналіз дозволяє оцінити *області працездатності*, ступінь виконання умов працездатності, а отже, ступінь виконання ТЗ на проєктування, розумність прийнятих проміжних рішень по зміні проєкту й т.п.

Областю працездатності називають область у просторі аргументів, у межах якої виконуються всі задані умови працездатності, тобто значення всіх вихідних параметрів перебувають у припустимі по ТЗ межах.

Серед процедур багатоваріантного аналізу можна виділити типові, виконувані по заздалегідь складених програмах. До таких процедур ставляться аналіз чутливості й статистичний аналіз.

Аналіз чутливості – це розрахунок векторів градієнтів вихідних параметрів, що входить складовою частиною в програми параметричної оптимізації, що використовують градієнтні методи.

Ціль *статистичного аналізу* — оцінка законів розподілу вихідних параметрів і (або) числових характеристик цих розподілів. У САПР статистичний аналіз здійснюється чисельним методом — *методом Монте–Карло* (статистичних випробувань). Метод *Монте–Карло* – загальна назва групи числових методів, заснованих на одержанні великої кількості реалізацій стохастичного (випадкового) процесу, який формується у той спосіб, щоб його імовірнісні характеристики збігалися з аналогічними величинами задачі, яку потрібно розв'язати. Використовується для розв'язування задач у фізиці, математиці, оптимізації, тощо. Цей метод імітації для приблизного відтворення реальних явищ. Він об'єднує аналіз чутливості і аналіз розподілу ймовірностей вхідних змінних. Цей метод дає змогу побудувати модель, мінімізуючи дані, а також максимізу-

вати значення даних, які використовуються в моделі. Побудова моделі починається з визначення функціональних залежностей у реальній системі. Після чого можна одержати кількісний розв'язок, використовуючи теорію ймовірності й таблиці випадкових чисел. Метод Монте-Карло широко використовується у всіх випадках симуляції в САПР електронних засобів.

Відповідно до цього методу виконуються N статистичних випробувань, кожне статистичне випробування являє собою одноваріантний аналіз, виконуваний при випадкових значеннях параметрів–аргументів. Ці випадкові значення вибирають відповідно до заданих законів розподілу аргументів X_i . Отримані в кожному випробуванні значення вихідних параметрів накопичують, після N випробувань обробляють, що дає наступні результати:

- гістограми вихідних параметрів;
- оцінки математичних очікувань і дисперсій вихідних параметрів;
- оцінки коефіцієнтів кореляції й регресії між обраними вихідними й внутрішніми параметрами, які, зокрема, можна використати для оцінки коефіцієнтів чутливості.

Статистичний аналіз, виконуваний відповідно до методу Монте–Карло, — трудомістка процедура, оскільки число випробувань N доводиться вибирати досить великим, щоб досягти прийнятної точності аналізу. Інша причина, що ускладнює застосування методу Монте–Карло, — труднощі в одержанні достовірної вихідної інформації про закони розподілу аргументів–параметрів X_i .

4.4 Методологія проектування систем на кристалі

Методологія проектування систем на кристалі є складовою частиною методології проектування інтегрованих на кристалі вимірювальних перетворювачів різних фізичних величин, тому доцільно розглянути її особливості в контексті проектування складних систем, включаючи засоби вимірювання фізичних величин, а саме системний рівень проектування: призначення, завдання, маршрут, програмні засоби.

Прискорений розвиток мікроелектроніки, здобутки в технологіях виробництва інтегральних схем і нанотехнологій за останні роки дали можливість досягти вражаючих успіхів у виробництві супервеликих інтегральних схем (у сфері технологій 0,18 мкм і менше). Уже сьогодні розробляються чіпи зі ступенем інтеграції більше 1000 млн елементів на кристалі. Однак сучасна апаратура виробляється переважно з використанням інтегральних мікросхем середнього та великого ступеня інтеграції. Вузли цих систем виконуються у вигляді друкованих плат, на яких розміщуються мікросхеми й інші компоненти. Одним із недоліків такої технології є те, що виробники окремих компонент самостійно призупиняють їх виробництво, не погоджуючи свої дії з розробниками систем. Тому багато виробників апаратури потрапляли в ситуацію, коли на момент випробувань і завершення виробу десятки та сотні компонент знімалися з виробництва. Перепроєктування знятих із виробництва компонент вимагало додаткових робіт і випробувань, тобто нових фінансових затрат і часу. Така ситуація спри-

яла появи нового напрямку та класу високо інтегрованих інтегральних схем – супервеликих інтегральних схем, систем на кристалі. Використання систем на кристалі є якісно новою технологією, згідно з якою практично всі компоненти та блоки, які розміщуються на платі, реалізуються на кристалі зі збереженням усіх існуючих зв'язків між ними. Тобто виконується інтеграція мікросхем і дискретних елементів у мікросхему, яка розміщується на кристалі зі збереженням принципів побудови, алгоритмів функціонування, часових діаграм роботи й інтерфейсів.

Для проектування, тестування і виробництва інтегральних схем застосовуються нові методи та засоби. В основі технологій структурні елементи використовують ІР–блоки і вбудовані програмовані процесорні ядра. Проектування систем на кристалі об'єднує в собі методи проектування закінчених апаратно–програмних комплексів, вбудованих систем на основі стандартних процесорів і перед процесорних ядер, розроблення вбудованого програмного забезпечення, програмованих, на половину замовних і замовних інтегральних схем.

Методологія проектування інтегральних схем типу системи на кристалі, або System–on–Chip (SoC), вважається новим напрямом розвитку мікро– і наносистем. До переваг цієї технології належать:

- висока продуктивність;
- висока надійність, яка досягається за рахунок зменшення кількості мікросхем і з'єднань між ними;
- мінімальні розміри кристала і маси системи;
- мінімальна споживана потужність.

Технологія SoC також базується на використанні розроблених складних блоків, які використовуються в різних проектах. Система на кристалі обов'язково комплектується програмованим блоком процесорів. До її складу входить апаратна частина та програмне забезпечення. Блоки, так звані ІР–блоки (Intellectual Property), за аналогією з системною платою, при розробленні якої використовують готові мікросхеми, застосовуються повторно. Вони призначені для розв'язання загальних логічно – формалізованих задач: блок USB, PCI тощо. Ці блоки описуються на RTL–рівні (soft) або топологічному.

Проектування систем на кристалі є універсальним та багатоплановим процесом, який характеризується такими принциповими особливостями:

- на одну мікросхему технологічної платформи (СВІС чи ПЛІС) інтегрується функціонально завершений набір модулів управління і обробки даних, а також інші різні типи блоків: програмовані процесорні ядра, блоки ASIC, блоки програмованої логіки, пам'яті, периферійні пристрої, аналогові компоненти та різні інтерфейсні схеми (процесори, блоки пам'яті, ПЛІС чи ASIC можуть використовуватися як окремі компоненти), а також чутливі елементи перетворювачів механічних величин;
- вбудований мікропроцесор орієнтується в основному на задачі управління одночасно з обробленням даних;
- потоки даних всередині системи організовуються між контролерами, а не через мікропроцесорну шину.

Універсальні мікропроцесорні системи на кристалі, системи SoC, як уже зазначалось, містять такі три головні блоки: процесор, пам'ять і логіку (рис.4.4). Такий набір блоків пояснюється тим, що наявність процесорного ядра дає змогу реалізувати різні алгоритми управління всією системою, коли кожній керуючій програмі однозначно встановлюється послідовність виконання операцій оброблення даних. Блок пам'яті використовується для збереження коду програм процесорного ядра і даних. Блок логіки – для реалізації спеціалізованих апаратних пристроїв оброблення і проходження даних, склад і призначення яких визначаються галуззю використання системи. Застосування такої універсальної мікропроцесорної системи має значні переваги, оскільки воно не передбачає використання окремих ІС і реалізацію інтерфейсів між ними, а також дає можливість отримати особливо однокристалні конфігуровані чи програмовані рішення. Тобто вона допускає оперативну зміну своєї внутрішньої апаратної структури та кінцевого застосування як на етапі виробництва, так і в умовах використання системи. Такі системи належать до групи виробів системного рівня інтеграції Configurable System on a Chip (CsoC), System on Programmable Chip (SoPC), Programmable System on a Chip (PSoC) чи просто SoC, що визначається конкретним виробником.

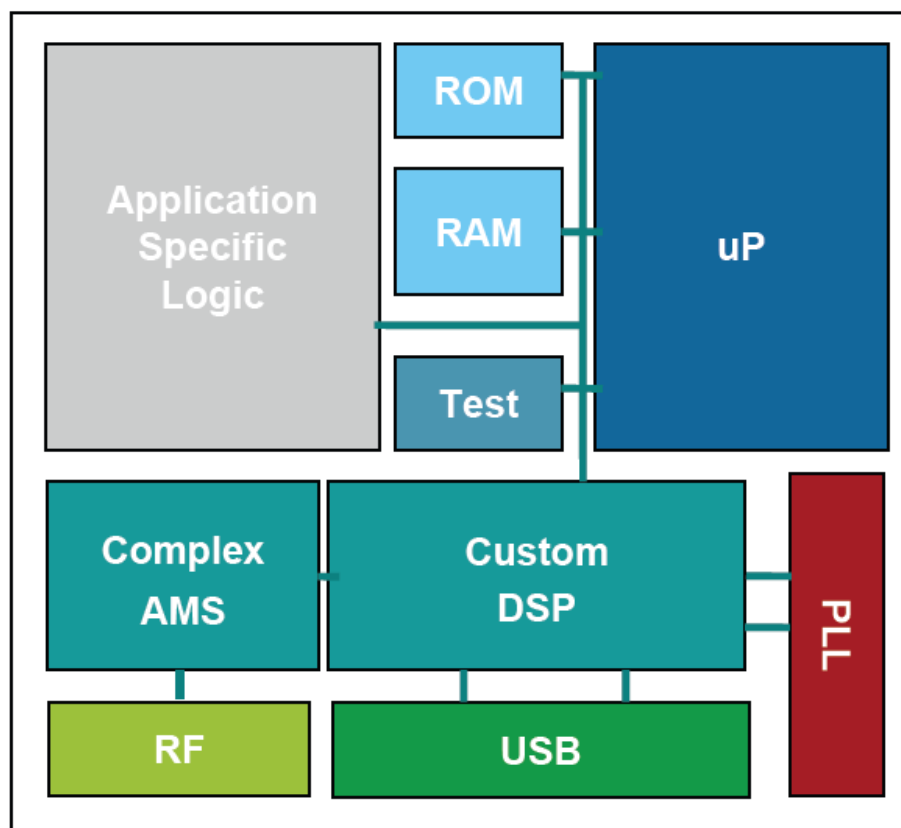


Рисунок 4.4 – Загальна структура системи на кристалі

Структура системи на кристалі включає наступні блоки:

- процесори;

- логіка контролю та управління;
- внутрішні і зовнішні шини;
- інтерфейси;
- аналогові блоки;
- радіочастотні канали;
- пам'ять;
- використовувані IP блоки;
- стандарти передачі даних;
- програмні засоби.

Конфігуровані процесори та системи на кристалі дають користувачу необхідні можливості з оптимізації структури і збільшення продуктивності конкретного вирішення без додаткових фінансових затрат. Проектне вирішення (система), яке реалізоване на універсальній мікропроцесорній платформі з конфігурованим процесором, дає користувачу можливість налаштувати систему для конкретного використання. Можна змінити набір інструкцій процесорного ядра, додати чи зменшити кількість апаратних операцій, змінити програмовану кількість станів внутрішнього конвеєра тощо. Зазвичай системи з конфігурованим процесором реалізуються як системи ASIC з великими обсягами виробництва. Більшість вироблених мікропроцесорів і мікроконтролерів можна віднести до групи систем із конфігурованою периферією. Вони вимагають розроблення спеціалізованого набору засобів підтримки програмного коду залежно від особливостей кінцевого використання системи.

Конфігуровані системи на кристалі, як уже зазначалося, реалізуються на площі одного кремнієвого кристала й об'єднують швидкісне мікропроцесорне ядро з типовими периферійними вузлами, матрицю конфігурованої логіки FPGA з різними обсягами еквівалентних логічних вентилів, швидкісну шину і масив статичної пам'яті. Вони включають інтегральні пристрої, що об'єднують вбудований процесор, програмовану логіку, пам'ять та інші додаткові ресурси і блоки на одному кристалі, з'єднані за допомогою інтерфейсу. Процесор виконується у вигляді окремого апаратного блоку. Таке виконання системи збільшує її продуктивність і ефективність.

Інтеграція програмованої логіки і виробів ASIC дає змогу отримати найвищий ступінь системного використання кристала, і такі мікросхеми допускають зміни в структурі мікросхеми на етапах проектування і експлуатації. Факторами інтеграції елементів і блоків на кристалі є зменшення їхніх топологічних розмірів, збільшення розмірів кристалів, високий рівень напівпровідникового виробництва й удосконалення схемотехніки та архітектури. При використанні ПЛІС інтегрується висока функціональність, яка включає процесори, пам'ять, блоки цифрового оброблення сигналу, швидкісні входи і виходи та ряд інших IP-блоків. Можлива інтеграція блоків програмованої логіки ASIC. Спостерігається тенденція до зближення архітектури ПЛІС, ASIC і систем з використанням стандартних компонент у швидкозмінних умовах технологічних і економічних можливостей, вимог до уніфікації маршрутів проектування. Мар-

шрут проектування має забезпечувати простий перехід від ПЛІС до ASIC із побудовою прототипів ASIC на основі ПЛІС і, навпаки, з перенесенням робіт на системний рівень, без прив'язки до конкретної реалізації.

Відомо, що одночасно з процесом інтеграції елементів на кристалі виникає проблема енергоспоживання систем. Система на кристалі містить велику кількість блоків і комірок, тому споживається значна кількість енергії в процесі виконання необхідних функцій. Тобто зі збільшенням ресурсів системи зростає і динамічне енергоспоживання, значна частка якого припадає і на периферійні пристрої, на вихідні ключі. Зменшенню енергоспоживання сприяє скорочення кількості дискретних компонент у розроблюваних системах. Додатково цю проблему можна вирішувати інтегруванням на кристал підсилювачів потужністю до 10 мВт. Однак 4 мВт є граничним значенням, вище якого окремі каскади підсилювача починають споживати значну статичну потужність в економних режимах роботи, що зменшує термін служби акумулятора.

Таким чином, можна зробити висновок, що розглянуті особливості побудови систем на основі концепції «система на кристалі» дають змогу з максимальною ефективністю розв'язувати прикладні задачі побудови векторних перетворювачів механічних величин різного призначення за рахунок високої оптимізації внутрішньої структури та відсутності надлишковості, характерній для систем, побудованих з універсальних компонент. Вони також сприяють високій економічній ефективності, зумовленій зменшенням кількості компонент і енергоспоживання.

Етапи проектування систем на кристалі Проектування систем на кристалі являє собою складний процес. Із загальної точки зору, проектування – це процес трансформації виконуваної специфікації системи (проекту) до рівня регістрових передач. Тобто отримання специфікацій на мовах Verilog чи VHDL із переходом на вентильний рівень, а також процес верифікації проекту та проектних рішень на відповідність початковим специфікаціям й іншим вимогам процесу проектування та деталізації системи.

При проектуванні використовують «спіральний» маршрут, який включає паралельне розроблення програмного й апаратного забезпечення; верифікацію і синтез окремих модулів і топологічне розміщення елементів на кристалі разом із логічним їх синтезом і повторне використання готових функціональних моделей, RTL і топологічних блоків (IP-блоків). У більшості випадків виконується сумісне розроблення специфікації проекту на верхньому рівні, алгоритмів, тестів для перевірок на системному рівні та часових характеристик блоків. Тобто етапи програмного й апаратного проектування (функціонального, часового, топологічного і верифікація) виконуються одночасно. Загальний маршрут проектування наведено на рис. 4.5.

Послідовність проектування систем SoC			
Топологічне проектування		Часове проектування	Розроблення апаратних
			Розроблення програмних

		засобів	засобів
Топологічна специфікація: площа; споживана потужність; синхронізація	Часова специфікація: часові обмеження по входах і виходах, визначення системних частот	Специфікація на ЗВІС: розроблення алгоритмів і визначення архітектури	Специфікація на програмні засоби: розроблення прототипу
Попереднє розміщення	Часова специфікація по блоках	Визначення окремих блоків	Тестування прототипу
Оновлене розміщення	Синтез блоків	Верифікація блоків	Розроблення програми
Оновлене розміщення	Синтез блоків	HDL–опис верхнього рівня	Тестування програми
Попереднє розміщення	Синтез верхнього рівня	Верифікація верхнього рівня	Тестування програми
Кінцеве розміщення і трасування			

Рисунок 4.5 – Маршрут проектування систем SoC

Спрощений процес проектування перетворювачів і мікросистем з інтеграцією системи оброблення даних у SoC можна розділити на такі етапи.

Етап 1. Проектування блоку чутливих елементів, елементів мікросистеми.

Етап 2. Розроблення загальної архітектури системи на кристалі на системному рівні.

Етап 3. Вибір IP–блоків із наявної бази даних, а також блоків мікросистеми, яких у ній нема (наприклад, блоку безпроводної передачі даних).

Етап 4. Інтеграція усіх блоків на кристалі. Верифікація загальної топології і випуск прототипів.

Етап 5. Випуск робочої конструкторської і технічної документації.

Етап 6. Проведення досліджень.

На початковому етапі проектування розробляються чітка специфікація на апаратну та програмну частини залежно від призначення системи, моделі її функціональної поведінки й управління нею, їх уточнення і деталізація. Функціональна специфікація пов'язана з інтерфейсом системи (блоку) з точки зору зовнішнього користувача. Вона містить інформацію про шини, регістри, контакти і їх використання. Поведінка на системному рівні та взаємодія між частинами кожного блоку розглядається в архітектурній специфікації.

Специфікація для апаратної частини включає: виконувані функції; зовнішній інтерфейс з іншими блоками (контакт з іншими блоками, шини, протоко-

ли обміну); інтерфейс з ПО (реєстри); швидкодію і часові параметри. Для опису апаратури використовують VHDL чи Verilog.

Програмна частина містить виконувани функції, часові параметри, структуру і ядро, а також інтерфейс до апаратної частини.

При написанні специфікації для уникнення невизначеності використовують мови високого рівня C, C++ чи їх варіації SystemC.

Процес проектування SoC на системному рівні. На системному рівні процес проектування включає такі етапи:

1. *Визначення й аналіз головних техніко–експлуатаційних вимог до SoC.* На цьому етапі аналізуються швидкодія, споживана потужність, точність тощо, на основі яких розробляється специфікація.

2. *Етап концептуального проектування.* Цей етап є критичним для оцінювання загальних характеристик системи, дослідження різних варіантів її побудови і вибору оптимальної побудови, яка буде реалізовуватися. На цьому етапі розробляється функціональна модель системи, розкриваються алгоритми та функції, які ця система має виконувати, і засоби реалізації. Розробляється вона у вигляді блок–схеми.

Етап включає:

– розроблення функціональної моделі системи на основі алгоритмів і виконуваних функцій без зв'язку із засобами їх реалізації;

– моделювання системи в її операційному середовищі з реальними даними і сигналами (аудіо– і відеоінформацією, розміщенням об'єктів тощо);

– визначення архітектури системи та необхідних ресурсів для організації програмно–апаратної реалізації її функціональної моделі.

Основним завданням концептуального проектування системи є дослідження проектованої системи і розроблення специфікацій на мовах високого рівня C++/SystemC. При дослідженні системи моделювальні функції трансформуються і розподіляються для виконання на різних платформах, архітектурах, які мають різні набори програмованих компонентів: процесори, пам'ять, ASIC, ПЛІС та не програмовані блоки на кристалі. Мета цих досліджень – знаходження оптимальної архітектури, яка задовольнятиме усі вимоги: робота в реальному часі, споживча енергія, ціна.

Застосовується програмно–апаратне проектування з використанням функціональних моделей конкретних процесорів і шин, моделей блоків, поданих на мовах проектування апаратури VHDL/Verilog і системи проектування.

Розроблення тестового оточення. Для правильності побудови моделі та її верифікації розробляється тестове оточення системи (Testbench), яке може містити тестові послідовності та блоки відображення інформації, генератори вхідних сигналів тощо.

Верифікація всієї системи на нижніх рівнях проектування і дослідних систем на кінцевому етапі виготовлення. На основі тестового оточення розробляються тестові послідовності для верифікації всієї системи на нижніх рівнях проектування і дослідних систем. Підтверджується відповідність проекту і

проектних рішень початкової специфікації та іншим вимогам процесу проектування.

Модель може коректуватися, а процес верифікації повторюватися. На цьому рівні широко використовується комп'ютерне моделювання. Проводиться аналіз алгоритму роботи системи і визначаються її оптимальні параметри з точки зору забезпечення максимальної точності та її спрощення. Верифікація дає змогу визначити якість реалізації системи, а також отримати конкретні докази того, що вимоги до проектованої системи враховано у повному обсязі.

Аналіз загальної моделі системи з точки зору її апаратної та програмної реалізації. На цьому рівні приймається рішення, яку частину системи буде реалізовано на апаратному рівні і яка на програмному у вигляді вбудованих ІР програмного забезпечення. Враховується можливість розміщення на кристалі одного або кількох програмованих процесорних ядер. Розробляється загальна архітектура системи: тип процесора, пам'яті та її обсяг, апаратні блоки, тип використовуваної шини, інтерфейс взаємодії апаратної частини з програмною.

Архітектурне планування кристала є одним із основних етапів у системі проектування. Він важливий для систем на кристалі з невеликою кількістю блоків ІР і для великих ASIC. Маршрут проектування систем на кристалі застосовується у випадку, коли використовують ІР-блоки або проект при його виконанні розподіляється між кількома групами розробників чи компаніями. Тоді проект має фізичний поділ, коли блоки залишаються єдиними як фізично, так і логічно. Тобто типовий проект включає ряд блоків верхнього рівня, які фізично виконуються на етапі архітектурного планування кристала, пізніше проект трасується з використанням каналів між блоками. Архітектурне планування маршрутизації використовується для розділення кристала на блоки, які пізніше можуть бути спроектовані незалежно один від одного, наче вони були окремими кристалами. Тому для кожного такого блоку формулюють граничні вимоги, вимоги до конфігурації, розміщення портів і часові вимоги. Потім проводиться асемблювання проекту.

Розроблення специфікації та апаратної реалізації системи. Основною метою в процесі специфікації проекту є визначення і перелік головних функцій системи та розроблення системної моделі (реалізованої). Ця модель використовується для верифікації коректності роботи системи з функціональної точки зору в операційному середовищі, в якому вона має працювати. Визначається необхідне апаратне забезпечення архітектури та роботи системи. При уточненні специфікації системи роблять детальний опис системної архітектури, яка передається на проектування.

Розроблення специфікації та програмної реалізації системи. Мета функціональної специфікації системи – визначити і змоделювати функціонування системи з точки зору використовуваних алгоритмів. Моделюється поведінка всієї системи і її блоків при заданих реальних сигналах і даних. Визначається операційне середовище, в якому має працювати система, основний сценарій її роботи, загальні функціональні характеристики і протоколи.

Програмно–апаратна верифікація системи. На цьому етапі контролюється коректність сумісної роботи апаратно–реалізованих блоків під управлінням вбудованого програмного забезпечення в режимі реального часу. Програмно–апаратна верифікація системи у випадку складної системи може бути проведена і після виготовлення дослідної системи. Програмні функції оцінюються з точки зору розміру коду та часу виконання, а апаратні – за кількістю еквівалентних елементів. Тут також можуть моделюватися системи управління, зони покриття, взаємне розміщення об’єктів тощо.

Виготовлення дослідної системи. Цей етап фізичного проектування починається з вибору технологічного та бібліотечного базису і закінчується отриманням кінцевого опису системи (проекту) у форматі GDSII.

Процеси проектування, верифікації і топологічної реалізації системи ведуться паралельно на основі загальної специфікації, моделі поведінки та загальної архітектури системи.

Програмні засоби моделювання і проектування інтегрованих на кристалі систем. Використання сучасних САПР дає можливість істотно спростити процес проектування систем на кристалі. За рахунок сумісного моделювання блоків, які описуються на мовах C, C++, Verilog, VHDL, і використання мови опису апаратних засобів SystemC досягаються однаковий опис усієї системи і верифікація специфікації на неї. Верифікація специфікації проходить без конкретного зв’язку із сигналами. Подальша деталізація моделей виконується з використанням засобів автоматизованого синтезу. На заключному етапі проводиться трасування з’єднань, фінішна верифікація кристала і його топологічне планування з розміщенням елементів на ньому.

Класифікація засобів моделювання і проектування інтегрованих на кристалі систем. Для розроблення, моделювання, синтезу та перевірки працездатності інтегрованих на кристалі систем, які містять велику кількість складних об’єктів і елементів, у т.ч. процесори, жорстку логіку, пам’ять, схеми контролю, аналого–цифрові перетворювачі тощо, використовують спеціальне прикладне програмне забезпечення і системи автоматизованого системного проектування. Завданням цього програмного забезпечення є також оптимізація таких характеристик, як площа, швидкодія, розміри й електричні параметри схем.

Подібних засобів розроблено велику кількість. До цих засобів функціонального проектування і верифікації висуваються такі вимоги:

- можливість аналізу архітектури, виробництва й інших системних параметрів проєктованих систем;
- можливість сумісного розроблення і верифікації апаратури та вбудованого програмного забезпечення;
- можливість проектування систем із використанням процесорних блоків, їх моделей при розробленні апаратури та програмного забезпечення;
- наявність єдиного середовища проектування з системного рівня до рівня вентильного і регістрових передач з підтримкою мов C, C++, SystemC рівнів 1.0 і 2.0 і мов опису апаратури Verilog і VHDL;

– наявність бібліотек і високорівневих конструкцій для функціональних блоків та комунікаційних каналів, включаючи таблиці з'єднання;

– наявність засобів управління даними і документування проектів. При розробленні САПР ВІС на БМК потрібно враховувати вимоги до систем, які визначаються специфікою заданої задачі.

Засоби моделювання і проектування (САПР) інтегрованих на кристалі систем поділяють на такі групи.

1. Засоби прикладного програмного продукту на основі мови С і її модифікації С++. Вони характеризуються простотою в роботі та використанні, а також низькою ціною.

2. Засоби математичного моделювання в середовищі MATLAB/Simulink.

3. Засоби моделювання загального призначення, які не прив'язані до конкретного об'єкта проектування.

4. Засоби моделювання (програмні засоби) вузького кола задач системного рівня від розроблення програмно-апаратної архітектури до інтеграції процесорних ядер і розроблення програмного забезпечення. Використання такого спеціалізованого програмного забезпечення є виправданим із точки зору економії загальних ресурсів. Виробниками цих засобів є різні фірми:

– Coware (www.coware.com);

– Mentor Graphics (www.mentor.com);

– Elanix (www.elanix.com);

– Summit Design (www.sd.com) та ін.

5. Потужні інтегровані програмні пакети. Використовуючи ці пакети, розробник має можливість виконати весь цикл системного і функціонального проектування майже до фізичної реалізації. Основним недоліком таких пакетів є їх висока ціна. Це програмні пакети фірм:

– Synopsys (www.synopsys.com): CoCentric System Studio, Design Ware, VCS, VCSi, Scirocco, SystemC HDL Co-Sim, CoCentric SystemC Compiler;

– Cadence Design Systems (www.cadence.com): Incisive-SPW, Incisive unified simulator, Incisive-XLD, Incisive-AMS, NC-SystemC, NC-Verilog, NC-VHDL.

4.5 Контрольні запитання і завдання

1. Вимоги до технічного забезпечення САПР.
2. Яким методом в САПР здійснюється статистичний аналіз?
3. Що включає технічне забезпечення САПР?
4. Що включає лінгвістичне забезпечення?
5. Назвіть основні принципи побудови САПР
6. Що таке проектування?
7. У чому полягають відмітні особливості автоматизованого проектування?
8. Етапи проектування SoC на системному рівні.
9. Назвіть складові частини процесу проектування.
10. У чому полягають процедури аналізу і синтезу?

11. Опишіть порядок процесу проектування.
12. Що таке рівні проектування?
13. Які вертикальні рівні можна виділити при проектуванні комп'ютерних систем?
14. З яких рівнів складається функціональне проектування?
15. З яких рівнів складається алгоритмічне проектування?
16. Що включає конструкторське проектування?
17. Що включає технологічне проектування?
18. У чому полягають процедури аналізу і синтезу?
19. Опишіть порядок процесу проектування.
20. Що таке рівні проектування?
21. З яких рівнів складається функціональне проектування?
22. З яких рівнів складається алгоритмічне проектування?
23. Що включає конструкторське проектування?
24. Що включає технологічне проектування?
25. Які особливості має процес проектування систем на кристалі?
26. Наведить склад систем проектування SOC.

5 ПРИНЦИПИ ПОБУДОВИ І ПРОГРАМНЕ ЗАБЕЗПЕЧЕННЯ CALS-ТЕХНОЛОГІЇ

Прийнята на сьогоднішній день модель розвитку промисловості передбачає широку роботизацію, створення гнучких автоматизованих виробництв і відводить особливе місце мікроелектроніці як засобу і матеріальній базі реалізації цільових програм в області автоматики і робототехніки, обчислювальної техніки, механізації і автоматизації ручних операцій у всіх галузях промисловості.

Особлива роль відводиться мікроелектроніці в розвитку обчислювальних засобів. Але складність сучасних ІС вимагає нових підходів проектування

Системи автоматизованого проектування (САПР) вже давно є невід'ємною частиною сучасного виробництва. Утворившись у вигляді засобів рішення проектних завдань, що мають чітко виражений розрахунковий характер, системи автоматизованого проектування пройшли кілька стадій свого розвитку і вросли до рівня технологій, що охоплюють більше, ніж просто проектування. Однак сучасний ринок проектних робіт вимагає подальшої модернізації та переходу на нові технології. Замовники все частіше звертають увагу не тільки на вартість проекту, але і на технічне оснащення організації, її здатність в стислі терміни випустити якісний проект. При цьому вимагається від суб'єкта господарювання застосування найсучасніших методів і підходів до створення і підтримки виробу на всіх стадіях його життєвого циклу.

Проведення комплексної автоматизації, що забезпечує не тільки потреби максимальної кількості проектних спеціальностей, а й коректну передачу даних між робочими місцями різного призначення, створення єдиного інформаційного простору є першочерговим завданням проектних організацій. Як результат, підвищується якість продукції, а також документації, що її супроводжує, зменшується кількість помилок, скорочуються терміни проектування, а значить, підвищується конкурентоспроможність підприємства. При цьому завдання єдиного середовища проектування зводиться до забезпечення колективної роботи проектно-конструкторських підрозділів над проектом, зберігання й пошуку інформації в електронних архівах, повторного використання відпрацьованих і перевірених технічних рішень, що зберігаються в архіві. Такий підхід потребує застосування нових сучасних технологій.

CALS (Continuous Acquisition and Life Cycle Support) – безперервна інформаційна підтримка життєвого циклу продукції.

Вперше *CALS*-технологія була застосована в 1980-е рр. в оборонному комплексі США як комп'ютерна підтримка поставок (*Computer Aided Logistic Support*). Надалі поширилася на інші сфери економіки і на весь життєвий цикл продукту (від маркетингу до утилізації).

Розробка концепції *CALS* обумовлена розвитком таких нових напрямів науки і техніки, як автоматизоване проектування, управління виробництвом, використання комп'ютерів для зберігання і обробки інформації, нові засоби зв'язку та ін. Кожний з цих напрямків окремо вніс революційні зміни в усі види людської діяльності, проте їх значні можливості використовувалися недостат-

ньо. Причиною стало те, що розробники сучасних засобів автоматизації формували свої власні моделі, які нерідко виявлялися несумісними у партнерів по виробництву і експлуатації техніки. Частково ця проблема вирішувалася ув'язкою різних систем автоматизованого проектування (САПР) в інтегровані системи шляхом фізичного об'єднання баз даних, однак, логічна ув'язка при цьому була відсутня, що призводило до фрагментації інформації, багаторазовому дублюванню даних, несумісність різних інтегрованих автоматизованих систем управління (ІАСУ).

Вирішення проблеми знайшлося на шляху інформаційних уявлень і процесів, організації активного обміну узгодженою інформацією такого роду між партнерами. Так з'явилася концепція *CALS*. На відміну від автоматизованої системи керування виробництвом (АСКВ) і від ІАСУ *CALS*-технології охоплюють всі стадії життєвого циклу продукції (рис.5.1).

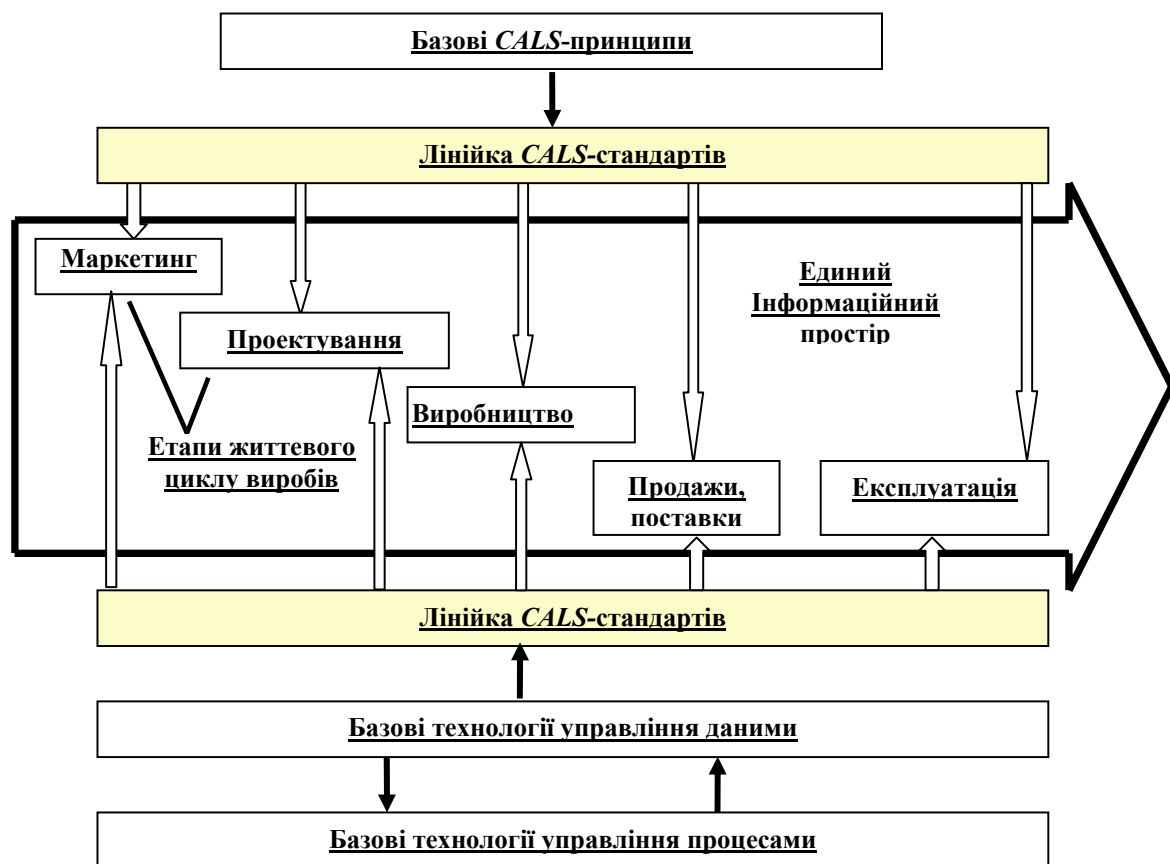


Рисунок 5.1 – Концептуальна модель CALS (Continuous Acquisition and Life cycle Support – безперервна інформаційна підтримка життєвого циклу продукції).

Предмет CALS - технології спільного використання та обміну інформацією (інформаційної інтеграції) в процесах, що виконуються протягом життєвого циклу продукту.

В даний час у світі діє понад 30 національних організацій, які координують питання розвитку *CALS* – технологій, в тому числі в США, Канаді, Японії, Великобританії, Німеччині, Норвегії, Швеції, Австралії і в рамках НАТО.

Інформаційна інтеграція базується на використанні:

- інтегрованої моделі продукту;
- інтегрованого життєвого циклу продукту і виконуються в ході його бізнес-процесів;
- інтегрованої моделі виробничого та експлуатаційного середовища.

Суть концепції *CALS* полягає у створенні єдиної інтегрованої моделі виробу, що відображає всі аспекти, пов'язані з його властивостями і виробництвом. Ця модель повинна супроводжувати виріб на всьому протязі його життєвого циклу.

Базовими принципами *CALS* є:

- без паперовий обмін даними з використанням електронного цифрового підпису;
- аналіз і реінжиніринг бізнес-процесів;
- паралельний інжиніринг;
- системна організація поствиробничих процесів життєвого циклу виробу – інтегрована логистична підтримка.

Нормативну базу застосування *CALS* -технологій складають різні міжнародні і національні стандарти (наприклад, ISO 10303 "Системи автоматизації виробництва та їх інтеграція").

Переваги використання *CALS* - технологій:

1) розширюються області діяльності підприємств (ринків збуту) за рахунок кооперації з іншими підприємствами, забезпечення стандартизації надання інформації на різних стадіях і етапах життєвого циклу;

2) підвищується ефективність бізнес-процесів за рахунок інформаційної інтеграції та скорочення витрат на паперовий документообіг; підвищується прозорість і керованість бізнес – процесів шляхом їх реінжинірингу (скорочення витрат у бізнес – процесах за рахунок кращої збалансованості ланок);

3) підвищується конкурентоспроможність виробів, спроектованих і виготовлених в інтегрованому середовищі з використанням сучасних комп'ютерних технологій, що мають засоби інформаційної підтримки на період експлуатації;

4) скорочуються витрати і трудомісткість процесів технічної підготовки та освоєння виробництва нових виробів;

5) скорочуються календарні терміни виведення нових конкурентоспроможних виробів на ринок;

6) скорочується частка браку і витрат, пов'язаних з внесенням змін у конструкцію;

7) скорочуються витрати на експлуатацію, обслуговування і ремонт виробів.

Таким чином з'явилась концепція електронного макету приладу, або пристрою, що об'єднує в собі дані проектування на всіх етапах життєвого циклу розробки (5.2).

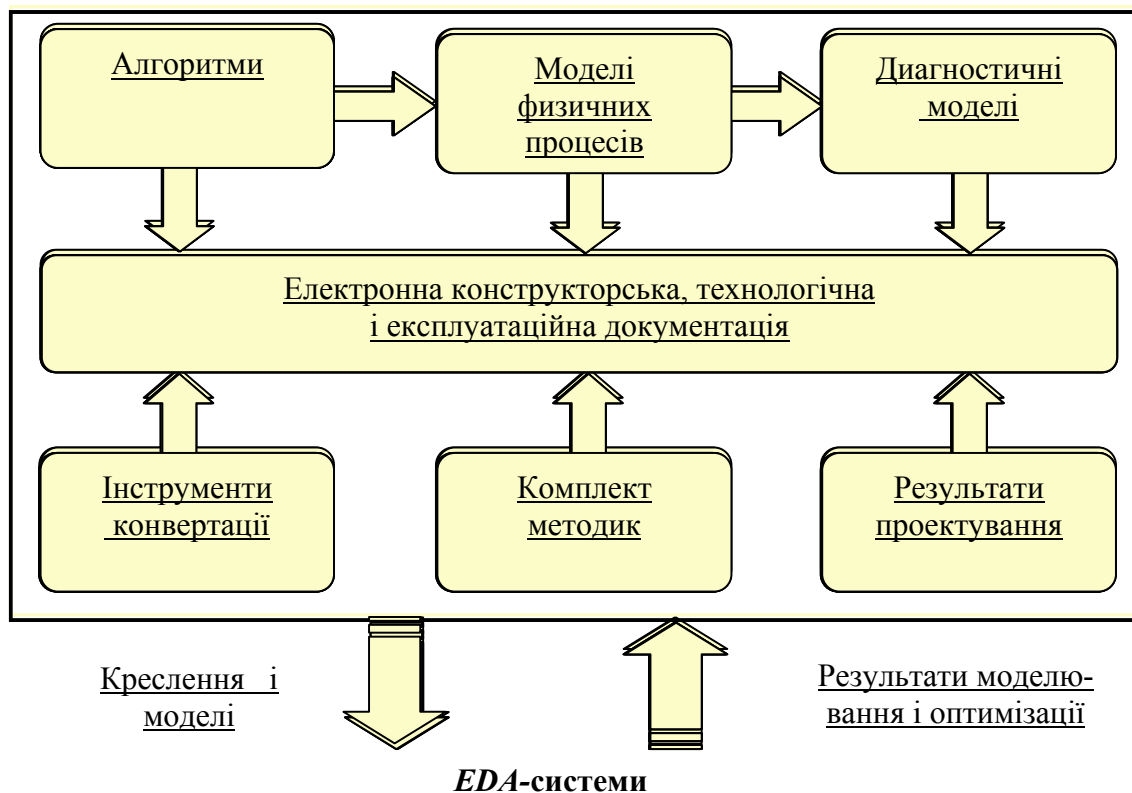


Рисунок 5.2 – Структура електронного макету приладу.

Підготовка виробництва. Виробництво і реалізація. У США роботи з розвитку *CALS* – технологій проводяться з 1985 р. у рамках низки державних програм. За оцінками зарубіжних експертів, щорічні державні витрати з реалізації цих програм становили близько 500 млн. дол. Витрати великих корпорацій в цій галузі досягають 500 – 1000 млн. дол. у рік. Впровадження *CALS* – технологій в промисловості США дозволило скоротити витрати на проектування на 10-30%; скоротити час розробки виробів на 40-60%; скоротити час введення нових виробів на ринок на 25-75%; скоротити частку браку і обсяг конструктивних змін на 23-73%; скоротити витрати на підготовку технічної документації до 40%; скоротити витрати на розробку експлуатаційної документації до 30%!

Для визначення організаційного механізму функціонування при створенні глобальної інформаційної індустріальної інфраструктури організовано міжнародне *CALS* -співтовариство, в якому Україна бере участь. Держстандартом розроблена програма стандартизації в області *CALS* -технологій. Виконання програми спрямоване на створення нормативної бази реалізації *CALS* – технологій в нашій країні.

5.1 Основні типи САПР підтримки CALS – технологій

Оскільки CALS - технології базуються на спільному використанні та обміні інформацією (інформаційної інтеграції) в процесах, що виконуються протягом життєвого циклу продукту, основою CALS є різноманітні системи автоматизованого проектування. Основними, що використовуються в проектуванні та виробництві напівпровідникових приладів та інтегральних схем є наступні САПР:

- CAD (Computer Aided Design) — система автоматизованого проектування;
- CAE (Computing Aided Engineering) — автоматизована система інженерного проектування;
- CAM (Computer Aided Manufacturing) — автоматизована система підтримки виробництва;
- CRP (Capacity Requirements Planning) — планування виробничих ресурсів (потужностей);
- EDM (Engineering Data Management) — управління інженерними даними;
- ERP (Economic Requirements Planning) — інтегроване планування бізнес-ресурсів підприємства;
- MES (Manufacturing Execution Systems) — система управління виробництвом;
- MRP (Material Requirements Planning) — планування матеріальних ресурсів підприємства;
- PDM (Product Data Management) — управління даними про вироби;
- PLM (Product Life cycle Management) — управління життєвим циклом виробу;
- SCADA (Supervisory Control And Data Acquisition) — диспетчерський контроль і накопичення даних;
- SCM (Supply Chain Management) — управління ланцюгами поставок;
- SCP (Supply Chain Planner) — планування ланцюгів поставок;
- SRM (Customer Relationship Management) — система управління взаєминами із клієнтами та інші.

Серед САПР розрізняють системи нижнього, середнього й верхнього рівнів. Цей поділ виник на рубежі 80–90-х років минулого століття. Системами нижнього рівня (або легкими системами) стали називати порівняно дешеві САПР, орієнтовані на 2D-графіку, тобто на автоматизацію переважно креслярських робіт. Технічним забезпеченням легких САПР були персональні ЕОМ, що у той час значно уступали по своїх можливостях робочим станціям.

Системи верхнього рівня, називані також "*важкими*" САПР (або hi-end), розроблялися для реалізації на робочих станціях або мейнфреймах (високопродуктивний комп'ютер із значним обсягом оперативної та зовнішньої пам'яті, призначений для організації централізованих баз даних та виконання

складних обчислювальних робіт). Ці системи були більш універсальними, але й дорогими, орієнтованими на геометричне твердотільне й поверхневе моделювання. Оформлення креслярської документації в них звичайно здійснюється за допомогою попередньої розробки тривимірних геометричних моделей. Надалі системи, у яких 3D-моделювання обмежувалося лише твердотільними моделями, тобто займаючи проміжне положення між "легкими" і "важкими" САПР, стали називати системами середнього рівня.

У цей час розвиток САПР привело до того, що в багатьох системах середнього рівня з'явилися засоби поверхневого моделювання, а можливості персональних ЕОМ стали прийнятними для систем верхнього рівня. У результаті змінилися принципи, по яких розрізняють важкі й середні системи. Важкими тепер називають системи CAE/CAD/EDA/CAM/PDM, тобто системи з можливостями конструкторського й технологічного проектування, інженерного аналізу, керування проектними даними й з розширеним складом спеціалізованих програмних модулів у підсистемах CAD і CAM (рис.5.3).

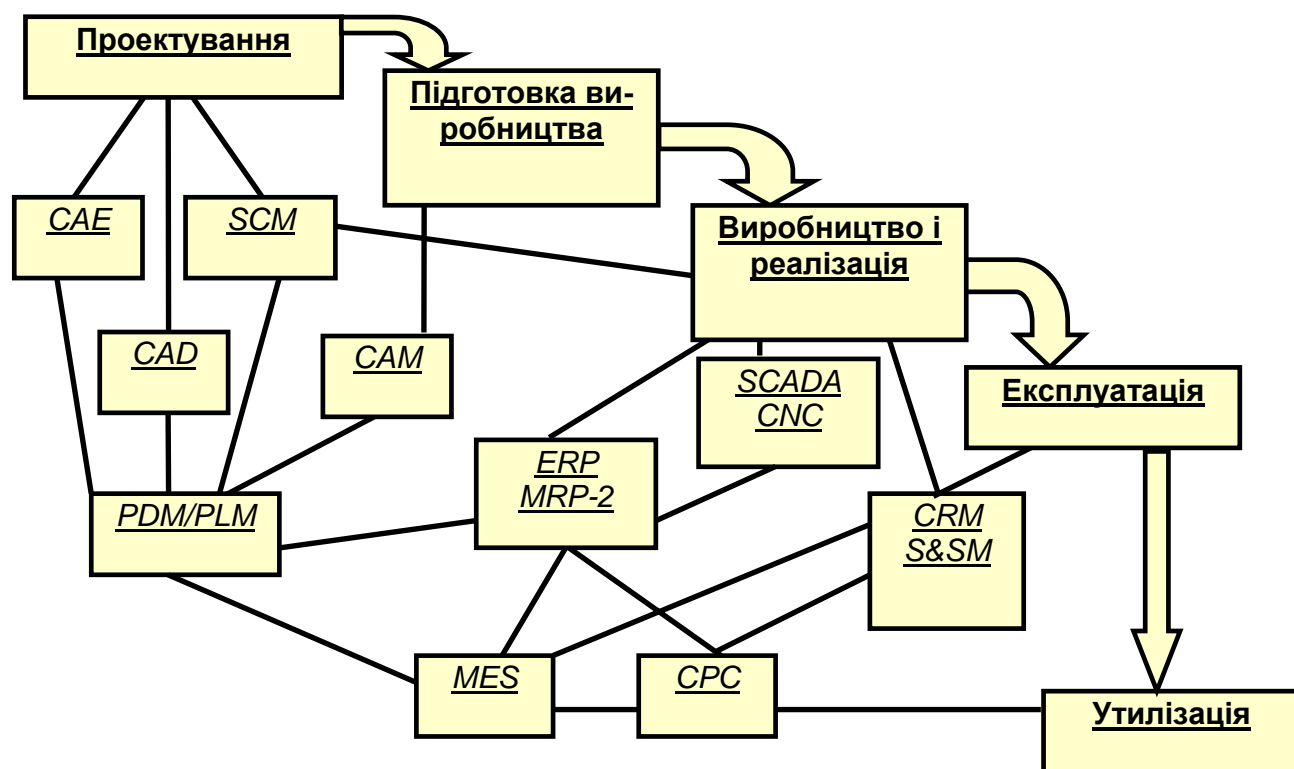


Рисунок 5.3 – Етапи життєвого циклу електронних приладів і системи автоматизації проектування і виробництва.

Системи одного рівня по своїх функціональних можливостях приблизно рівноцінні, нові досягнення, що з'явилися в одному із програмно-методичних комплексів САПР, незабаром реалізуються в нових версіях інших комплексів.

У САПР великих підприємств звичайно використовують програми різних рівнів. Зв'язано це з тим, що більше 80% всіх процедур конструювання можна

виконати на САД–системах нижнього й середнього рівнів, крім того, "важкі" системи дорогі. Тому підприємство отримує лише обмежене число екземплярів (ліцензій) програми верхнього рівня, а більшість клієнтських робочих місць забезпечується екземплярами програм нижнього або середнього рівнів. При цьому виникає проблема обміну інформацією між різнотипними САД–системами. Вона вирішується шляхом використання мов і форматів, прийнятих в САЛС–технологіях, хоча для неспотвореної передачі геометричних даних за допомогою проміжних уніфікованих мов доводиться переборювати певні труднощі.

Розглянемо деякі типи САПР, що забезпечують підтримку технологій життєвого циклу.

Основні функції САД–систем. Функції САД–систем у машинобудуванні підрозділяють на функції двовимірного (2D) і тривимірного (3D) проектування. До функцій 2D відносять креслення, оформлення конструкторської документації; до функцій 3D — одержання тривимірних геометричних моделей, метричні розрахунки, реалістичну візуалізацію, взаємне перетворення 2D і 3D моделей. Тривимірні моделі представляють у вигляді опису поверхонь, що обмежують деталь, або вказівкою елементів простору, займаних тілом деталі. Синтез моделей зборок виконують з застосуванням операцій позиціонування й теоретико–множинних операцій перетинання, об'єднання, вирахування до бібліотечних елементів і знову створеним моделям комплектуючих деталей. У ряді систем передбачене також виконання операцій компонування й розміщення блоків, елементів і т.п (рис.5.4).

До важливих характеристик САД–систем відносяться *параметризація* й *асоціативність*. Параметризація має на увазі використання геометричних моделей у параметричній формі, тобто при поданні частини або всіх параметрів об'єкта не константами, а змінними. *Параметрична модель*, що перебуває в базі даних, легко адаптується до різних конкретних реалізацій і тому може використатися в багатьох конкретних проектах. При цьому з'являється можливість включення параметричної моделі деталі в модель вузла з автоматичним визначенням розмірів деталі, диктуємих просторовими обмеженнями. Ці обмеження у вигляді математичних залежностей між частиною параметрів зборки відбивають асоціативність моделей.

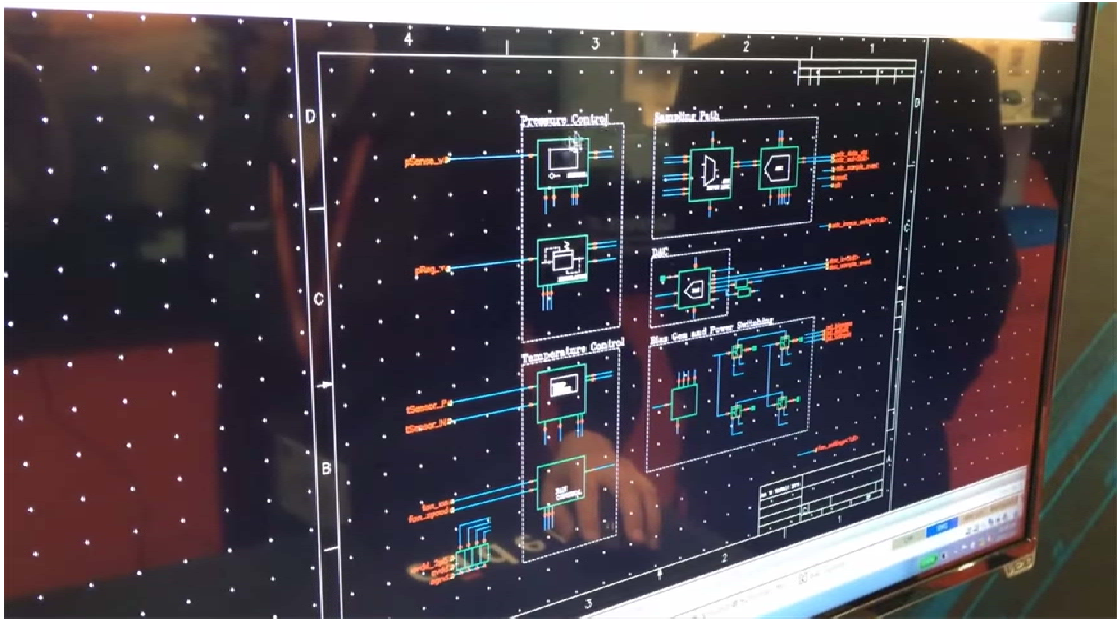


Рисунок 5.4 – Введення проекту в EDA–системі автоматизованого проектування інтегральних схем

Параметризація й асоціативність відіграють важливу роль при проектуванні конструкцій вузлів і блоків, що складаються з великої кількості деталей. Дійсно, зміна розмірів одних деталей впливає на розміри й розташування інших. Завдяки параметризації й асоціативності зміни, зроблені конструктором в одній частині зборки, автоматично переносяться в інші частини, викликаючи зміни відповідних геометричних параметрів у цих частинах.

Основні функції CAE–систем. Функції *CAE–систем* досить різноманітні, тому що пов'язані із проектними процедурами аналізу, моделювання, оптимізації проектних рішень. До складу машинобудівних CAE–систем насамперед включають програми для виконання наступних процедур:

- моделювання полів фізичних величин, у тому числі аналіз міцності, що найчастіше виконується відповідно до МСЕ;
- розрахунок станів моделюємих об'єктів і перехідних процесів у них засобами макрорівня;
- імітаційне моделювання складних виробничих систем на основі моделей масового обслуговування.

Основними частинами програм аналізу за допомогою МСЕ є бібліотеки скінчених елементів, препроцесор і постпроцесор.

Бібліотеки скінчених елементів (СЕ) містять моделі СЕ та їхньої матриці жорсткості. Очевидно, що моделі СЕ будуть різними для різних задач (аналіз пружних або пластичних деформацій, моделювання полів температур, електричних потенціалів і т.п.), різних форм СЕ (наприклад, у двовимірному випадку – трикутні або чотирикутні елементи), різних наборів координатних функцій.

Вихідні дані для препроцесору – геометрична модель об'єкта, найчастіше одержувана з підсистеми конструювання. Основна функція препроцесору – вивід досліджуваного середовища (деталі) у сітковому виді, тобто у вигляді множини скінчених елементів.

Постпроцесор служить для візуалізації результатів рішення в зручній для користувача формі. У машинобудівних САПР це графічна форма. Користувач може бачити вихідну (до навантаження) і деформовану форми деталі, поля напруг, температур, потенціалів і т.п. у вигляді кольорових зображень, у яких палітра кольорів або інтенсивність світіння характеризують значення фазової змінної.

Основні функції САМ–систем. Основні функції *САМ–систем*: розробка технологічних процесів, синтез керуючих програм для технологічного встаткування із ЧПК, моделювання процесів обробки, у тому числі побудова траєкторій відносного руху інструмента й заготівлі в процесі обробки, генерація постпроцесорів для конкретних типів устаткування із ЧПК, розрахунок норм часу обробки.

Вихідними даними для складання програм для верстатів із ЧПК є результати конструкторського проектування, що надходять із САД. Але можливе програмування й при наявності в якості вихідних даних лише креслення деталі й параметрів технологічного процесу.

При програмуванні визначають і кодують геометрію заготівлі, траєкторії руху рухливих органів верстата й параметри обробки. Для цих цілей використовують спеціалізовані мови, прикладом яких може служити мова АРТ (Automatically Programmed Tools), що відноситься до мов високого рівня.

Слід зазначити, що термін «САПР» по відношенню до промислових систем має ширше тлумачення, ніж — він включає САД, ЕДА, САМ і САЕ.

Таким чином, можна визначити, що система автоматизованого проектування загалом є *автоматизована система*, призначена для автоматизації технологічного процесу проектування виробу, результатом якого є комплект проектно–конструкторської документації, достатньої для виготовлення та подальшої експлуатації об'єкта проектування. Реалізується САПР на базі спеціального програмного забезпечення, автоматизованих банків даних, широкого набору периферійних пристроїв.

САПР виконує наступні основні функції:

- конструкторська частина — розробка повного комплексу конструкторської документації;
- технологічна частина — розрахунок і проектування технологічних схем, технологічного оснащення, визначення технологічного процесу;
- кошторисна частина — складання локальних і зведених кошторисів, відомостей матеріалів, специфікацій, комплектація обладнання та інші.

Основними компонентами САПР є:

- Математичне забезпечення — математичні моделі, методики та методи їх отримання;

- Лінгвістичне забезпечення – мовне забезпечення
- Технічне забезпечення — пристрої введення, обробки і виведення даних, засоби підтримки архіву проектних рішень, пристрої передачі даних;
- Інформаційне забезпечення;
- Програмне забезпечення — інформаційна база САПР, автоматизовані банки даних, системи керування базами даних (СКБД)
- Методичне забезпечення;
- Організаційне забезпечення.

5.2 Контрольні запитання і завдання

1. Назвіть основні компоненти САПР.
2. Функції САПР?
3. Назвіть основні функції САМ–систем.
4. Назвіть основні функції САЕ–систем.
5. Назвіть основні функції САД–систем.
6. Що означає параметризація й асоціативність САД–систем.
7. Що означає термін CALS – технології?
8. Наведіть склад САПР підтримки CALS – технологій.
9. Поясніть поняття «електронний макет приладу».
10. Які засоби відносяться до технічного забезпечення САПР?
11. Що є базовими принципами CALS?
12. Назвіть предмет CALS – технології.
13. Чим обумовлена розробка концепції CALS?
14. Переваги використання CALS –технологій.
15. З чого складаються CALS-технології цільового призначення?
16. Приведіть концептуальну модель CALS.
17. Приведіть структуру електронного макету приладу.
18. Основні типи САПР підтримки CALS – технологій?
19. Дайте визначення системи нижнього, середнього й верхнього рівнів.
20. Етапи життєвого циклу електронних приладів і системи автоматизації проектування і виробництва.

6 СИСТЕМИ АВТОМАТИЗОВАНОГО ПРОЕКТУВАННЯ ІНТЕГРАЛЬНИХ СХЕМ

Розвиток електроніки нерозривно пов'язано з розвитком засобів автоматизованого проектування електронних пристроїв. Без роботи фахівців цієї галузі вже неможливо уявити проектування і виробництво сучасних мікроелектронних систем. Сьогодні індустрія засобів автоматизованого проектування електроніки (Electronic Design Automation - EDA) - невід'ємна частина електронної промисловості. Щорічний оборот EDA-індустрії перевищує чотири мільярди доларів.

Завдання теми – ознайомлення з різними етапами проектування спеціалізованих цифрових і аналогово-цифрових інтегральних мікросхем (Application Specific Integrated Circuit, ASIC) і систем на кристалі (System on a Chip, SoC), включаючи:

- створення специфікації;
- опис цифрової логіки на мовах опису апаратури;
- логічний синтез, розміщення, трасування з використанням САПР;
- створення фотошаблонів і виробництво кристалів мікросхем;
- корпусування і верифікація мікросхем.

Використання САПР в проектуванні інтегральних схем. В кінці 80-х років інтегральні мікросхеми настільки ускладнилися, що створення опису принципової схеми (як за допомогою схемотехнічного редактора, так і в текстовому вигляді) стало суттєвою проблемою. Були розроблені перші інструменти, які дозволяли з опису на рівні регістрових передач (Register Transfer Level - RTL, мови Verilog або VHDL), вже застосовувалися в моделюванні, автоматично синтезувати опис принципової схеми на рівні логічних елементів. У 1987 році компанія Synopsys вийшла на ринок з відповідним продуктом Design Compiler, за нею незабаром пішов AutoLogic от фірми SCS–Mentor Graphics. Фахівці Synopsys вчасно оцінили переваги технології автоматичного синтезу для ринку НВІС на базі стандартних бібліотек логічних елементів (ASIC). Використання таких засобів дозволяло розробникам проводити незалежне проектування ІС на верхньому рівні, здійснюючи розробку опису на мовах Verilog або VHDL і його верифікацію засобами логічного моделювання. Після автоматичного синтезу результати проектування у вигляді опису принципової схеми на рівні логічних елементів передавалися компанії-виробнику ІС.

Компанія виробник виконувала фізичне проектування (розміщення / трасування, контроль правил проектування і відповідності електричній схемі, підготовка даних для виготовлення фотошаблонів), а також виробництво і тестування. Таким чином, до середини 90-х років на EDA-ринку в сфері фізичного проектування і проектування аналогових і змішаних ІС лідувала компанія Cadence, а в області логічного синтезу панувала Synopsys.

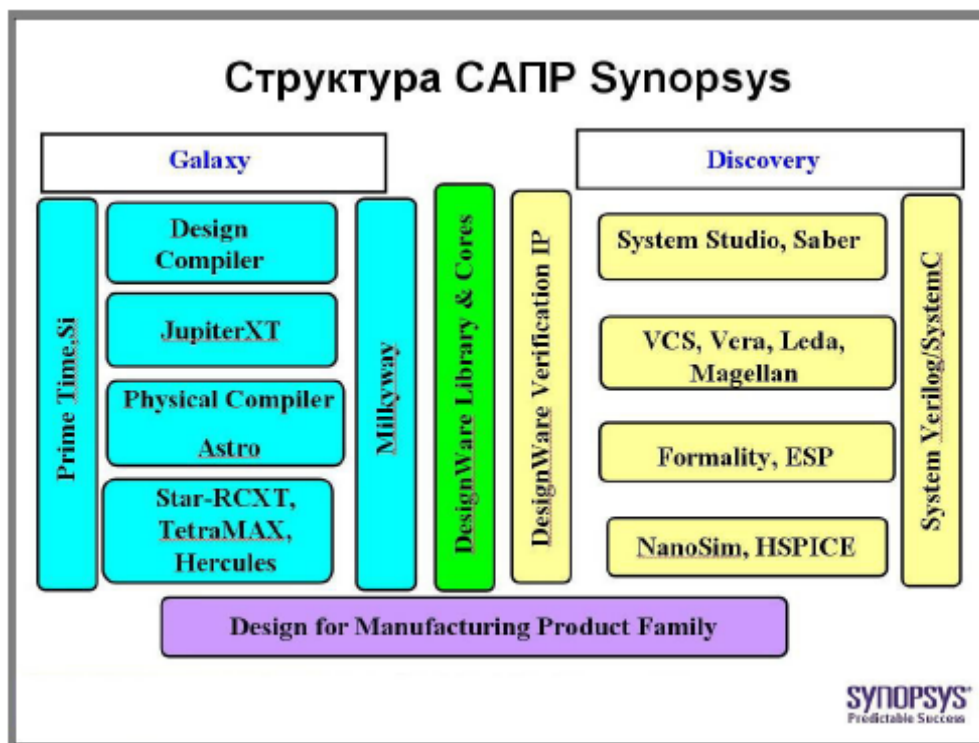


Рисунок 6.1 – Склад програмних продуктів Synopsys: Galaxy і Discovery.

Сучасне становище індустрії засобів автоматизованого проектування.

В середині 90-х років з'явилися перші інтегральні схеми з нормами проектування 0,5 і 0,35 мкм. Виникла необхідність врахування різних тонких фізичних ефектів. Збільшилася сумарна довжина провідників, провідники стали істотним джерелом запізнювання сигналів. Застосовувалася до сих пір методологія проектування ASIC досягла межі своїх можливостей, оскільки визначальним фактором стало якісне проектування топології схеми. Компанія Cadence скористалася наявними напрацюваннями в сфері розміщення / трасування і представила розробникам новий метод проектування топології (back-end), який дозволяв фахівцям в області проектування верхнього рівня (front-end) використовувати технологію попереднього розміщення (1992 рік - Preview, 1996 рік - Design Planner). З ускладненням проектів ІС вирішальне значення набуло використання оптимальної методології проектування. Ця тенденція розвитку EDA-індустрії була вчасно помічена, і з 1994 року компанія Cadence пропонує користувачам не тільки програмні засоби, а й підтримку оптимальної методології проектування, а також сервісні послуги (рис.6.1).

У другій половині 90-х років з переходом на норми проектування 0,25 мкм виникла необхідність ще більш тісної інтеграції логічного синтезу і проектування топології ІС. Компанія Cadence використовувала свою систему синтезу Ambit для розробки програми PKS Physical Synthesis, що об'єднує синтез і розміщення. Незабаром подібний продукт під назвою Physical Compiler був випущений і фірмою Synopsys, а компанія Magma розробила метод часової конвергенції з використанням масштабованих комірок.

З переходом на субмікронні технології стали все частіше з'являтися окремі незалежні дизайн-центри (fabless company), які набували EDA-засоби, необхідні для забезпечення процесу проектування ІС (Customer Own Tooling, так звана СОТ-моделях). Дизайн-центри здійснювали повний цикл розробки НВІС з використанням власної методології та ІР-бібліотек, а замовлення на виробництво розміщували на таких фабриках, як TSMC, UMC і Chartered. З виникненням цієї бізнес-моделі для EDA-індустрії відкрилася ще одна ринкова ніша, в якій можна було пропонувати не тільки продукти, а й технології проектування і сервісні послуги.

Вихід на ринок середовища проектування *Virtuoso* компанії Cadence на початку 90-х років дозволив на порядок підвищити продуктивність замовного проектування. Серед *Virtuoso* постійно поповнювалася великим числом інноваційних продуктів. Наприклад, в 1993 році з'явилася система аналогового моделювання Spectre, в 1995 році були додані засоби моделювання нелінійних радіочастотних (RF) схем, а в 2000 році - засоби Verilog-AMS - єдиного інструменту для спільного цифро аналогового моделювання. Наступний крок в сторону модернізації був зроблений в 1997 році завдяки технології IC-Craftsman, яку фірма Cadence придбала при поглинанні компанії Cooper and Chyan (CCT).

На рубежі тисячоліть почалося виробництво із застосуванням технологічних норм 90, 45 і навіть 28 нм. При використанні таких технологій вирішальними факторами успіху стає облік паразитних явищ і оцінка спотворення сигналу. Це означає, що повинна враховуватися реальна конфігурація з'єднань. Засобів фізичного синтезу вже недостатньо для отримання необхідного результату. Виникла необхідність розробки нових методів. У 2002 році компанія Cadence поглинула фірму SiliconPerspective, реалізувавши в продукті First Encounter концепцію віртуального прототипу. Система First Encounter фактично стала стандартом для проектування з використанням нанометрових технологій.

В даний час EDA-індустрія розвивається з урахуванням вимог і методології проектування нанометрових технологій.

6.1 Склад систем проектування Cadence

Системи автоматизованого проектування інтегральних схем Cadence націлені на різні типи проектування і верифікації:

- Virtuoso Platform - інструменти для проектування інтегральних схем; в нього входить структурний уявлення, поведінковий моделювання (Verilog-AMS), симуляція схеми, повний макет, фізична верифікація. Використовується, в основному, для проектування аналогових схем, але так само використовується для проектування пам'яті і FPGA.

- Encounter Platform - інструменти для проектування цифрових інтегральних схем. Сюди входить проектування, тестування і синтез.

- Incisive Platform - інструменти для симуляції, функціональної верифікації RTL, включаючи моделі, засновані на Verilog, VHDL і SystemC. Сюди

входить формальна верифікація, перевірка формальної еквівалентності і емуляція.

- Verification IP.
- Allegro Platform - інструменти для спільного проектування інтегральних схем і друкованих плат.
- OrCAD/PSpice – Інструменти для невеликих проектних компаній і індивідуальних розробників

Cadence Design Systems і Intel оголосили про те, що вони розробили еталонний процес для визначення характеристик 14-нанометрових бібліотек для клієнтів Intel Custom Foundry в рамках продовження співпраці зі створення цифрових і адаптованих аналогових процесів для 14-нанометровій платформи Intel. Еталонний процес для визначення характеристики бібліотек ґрунтується на рішенні Cadence Virtuoso Liberate Characterization і Spectre Circuit Simulator і дозволяє створювати точні 14-нанометрові логічні бібліотеки.

Еталонний процес для 14-нанометрових логічних бібліотек передбачає можливість створення бібліотек Liberty, таблиць AOCV, уявлень оцінки та надійності. Він був розроблений з використанням рішень Virtuoso Liberate, Virtuoso Liberate LV, Virtuoso Variety і Spectre Circuit Simulator для створення точних логічних бібліотек, включаючи поліпшені моделі логічних схем з урахуванням затримок (ECSM, CCS), поліпшені шумові моделі (ECSMN, CCSN) і поліпшені показники потужності моделі (ECSMP, CCSP).

Еталонний процес дозволяє клієнтам Intel Custom Foundry змінювати характеристики логічних бібліотек відповідно до своїх вимог щодо виробничого процесу, значень напруги або температури або визначати характеристики своїх осередків, використовуючи аналогічну методику.

Intel Custom Foundry розробило масштабну платформу для проектування на базі 14-нанометровій виробничій технології Intel і з використанням транзисторів Tri-Gate, яка призначена для однокристальних систем, орієнтованих на хмарні інфраструктури та мобільні області застосування. 14-нанометровій платформа Intel є другим поколінням, які використовують тривимірні транзистори Tri-Gate. Це дозволяє мікросхемам працювати з більш низькою напругою і більш низьким рівнем витоку струму, що забезпечує більш високий рівень продуктивності і енергоефективності в порівнянні з випущеними раніше транзисторами.

Логічні бібліотеки з підвищеним рівнем точності потрібні для того, щоб наші замовники могли реалізовувати і здійснювати перевірку різних однокристальних систем на базі 14-нанометровій платформи для проектування Intel (Алі Фарханг, віце-президент по сервісам для проектування і реалізації підрозділу Intel Custom Foundry). Еталонний процес для діагностики 14-нанометровій продукції Intel Custom Foundry включає самі передові методики, спільно розроблені Intel Custom Foundry і Cadence. Крім того, він може підвищити швидкість роботи компаній, яким необхідно виконати повторну діагностику своїх бібліотек.

6.2 Алгоритм створення ІС в середовищі Cadence Virtuoso.

Технологія Cadence охоплює практично всі рівні розробки складних систем – від системного рівня, властивого розробникам апаратури, до рівнів логічного, схемотехнічного і топологічного проектування НВІС, їх корпусування, а також розробки друкованих плат, на яких ці НВІС будуть монтуватися.

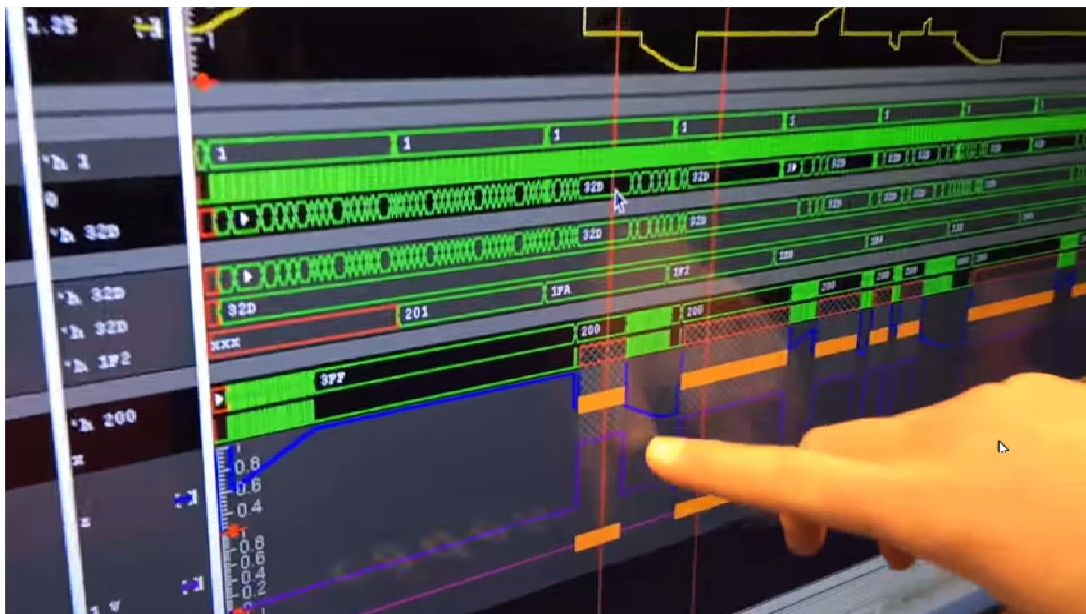


Рисунок 6.2 – Результат аналізу в часовій області на моніторі.

В цілому проектування НВІС в середовищі Cadence включає наступні етапи:

- системне проектування - побудова моделі системи на високому рівні абстракції з використанням мов програмування C/C++ і SystemC, розбиття на програмні і апаратні модулі, дослідження параметрів системи, отримання специфікацій (набору необхідних параметрів) на програмні і апаратні блоки;
- апаратне проектування і верифікація - розробка на основі специфікації поведінкових моделей окремих блоків системи з використанням мов Verilog / VHDL, реалізація проекту в базисі бібліотек виробника ІС, перевірка програмно-апаратної реалізації на відповідність специфікаціям, отриманим на системному рівні (рис.6.2);
- фізичне прототипування - попереднє розміщення елементів, оцінка споживаної потужності, планування шин живлення і ієрархії тактових сигналів, якісна оцінка можливих спотворень сигналу;
- проектування і верифікація топології кристала – розробка топології замовних блоків, трасування на рівні комірок, перевірка правил проектування топології, екстракція паразитних параметрів.

Загальний маршрут проектування НВІС в середовищі Cadence наведений на рис.6.3.

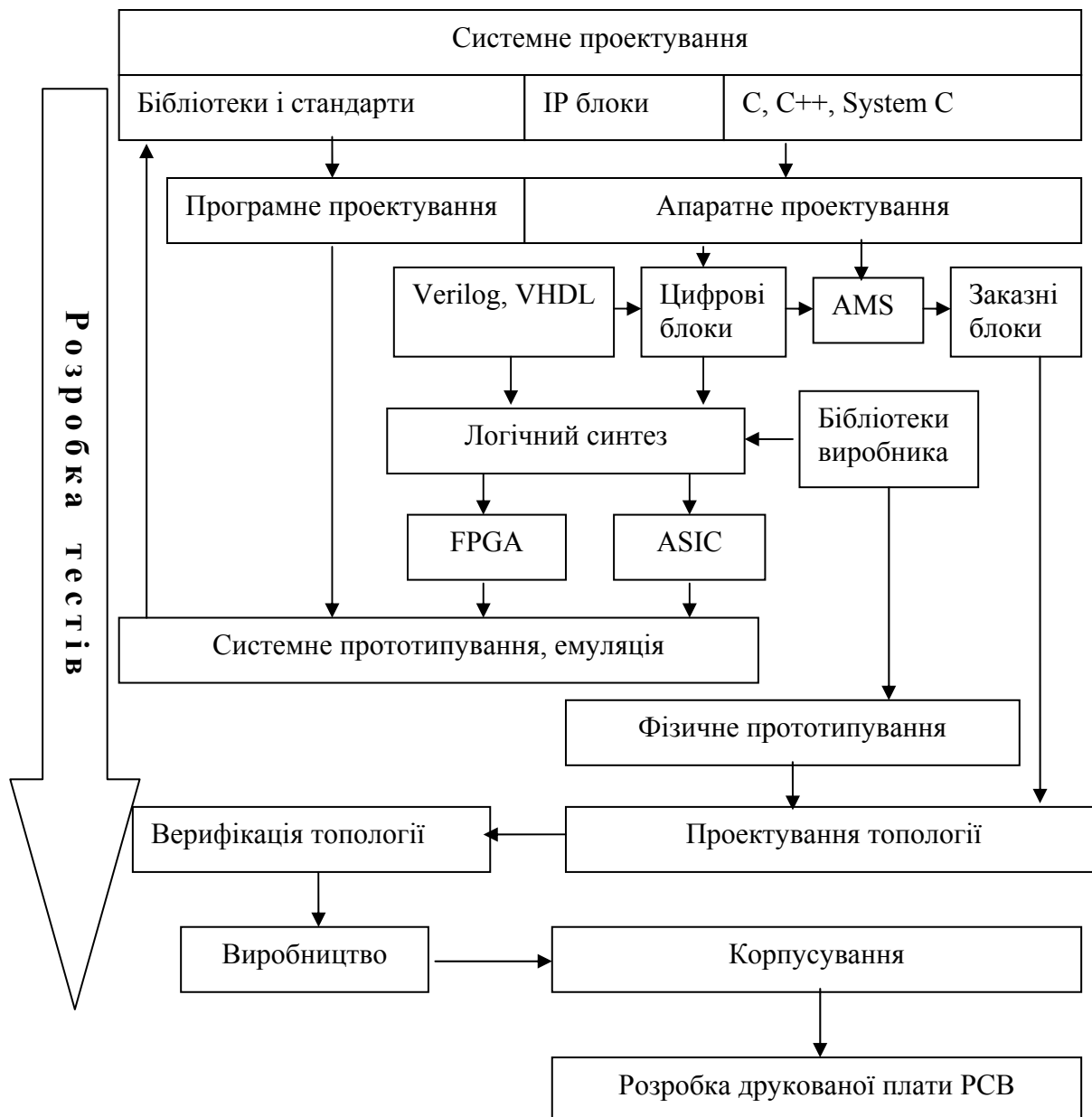


Рисунок 6.3 – Проектування НВІС в середовищі Cadence

Ієрархічний підхід в проектуванні ІС. Кінцевим елементом при проектуванні в середовищі Cadence було обрано МОН-транзистор р або п - типу з вбудованим каналом (рис.6.4).

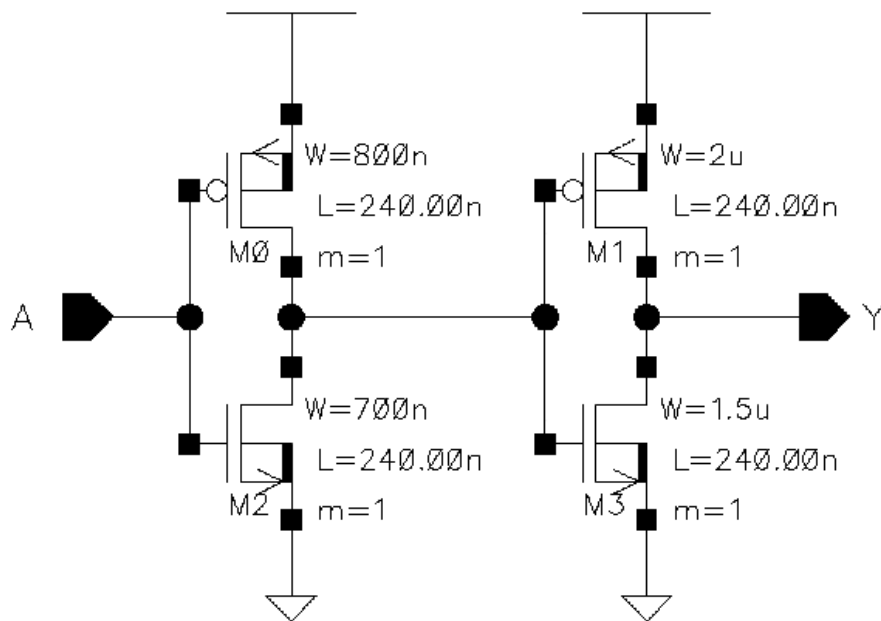


Рисунок 6.4 – Схема електрична буферного каскаду, реалізована в САПР *Cadence* із застосування програми *Virtuoso Schematic Editor (VSE)*. На рисунку позначені геометричні розміри окремих областей КМОП транзисторів

Використання графічного редактора *Cadence Composer Schematic Editor*, є традиційним для опису проєктованого пристрою на транзисторному рівні. Редактор надає можливість візуального розміщення основних компонентів схеми (транзисторів, діодів, конденсаторів, котушок індуктивності), допоміжних компонентів (джерел постійного струму і напруги, джерел малих сигналів), а також контактів, що використовуються при ієрархічному поданні складних схем, і з'єднання елементів між собою.

Результатом роботи в *Composer Schematic Editor* є створення таблиці з'єднань схеми, записи якої служать в подальшому вхідними даними для інших інструментів САПР *Cadence*. Очевидно, що на наступних етапах розробки пристрою може знадобитися зміна початкового представлення схеми. В цьому випадку будуть відкориговані і записи таблиці з'єднань.

Розглянемо реалізацію логічних елементів з використанням NMOS-транзисторів і PMOS-транзисторів.

На рисунку 6.5 представлені їх принципові електричні схеми. Коли сигнал $A = 0V$, NMOS транзистор T3 закритий. Тому струм через транзистор T1, T2 відсутній, і на виході $Z = 5V$. З іншого боку, коли $A = 5V$, транзистор відкритий і на виході Z встановлюється низький рівень напруги.

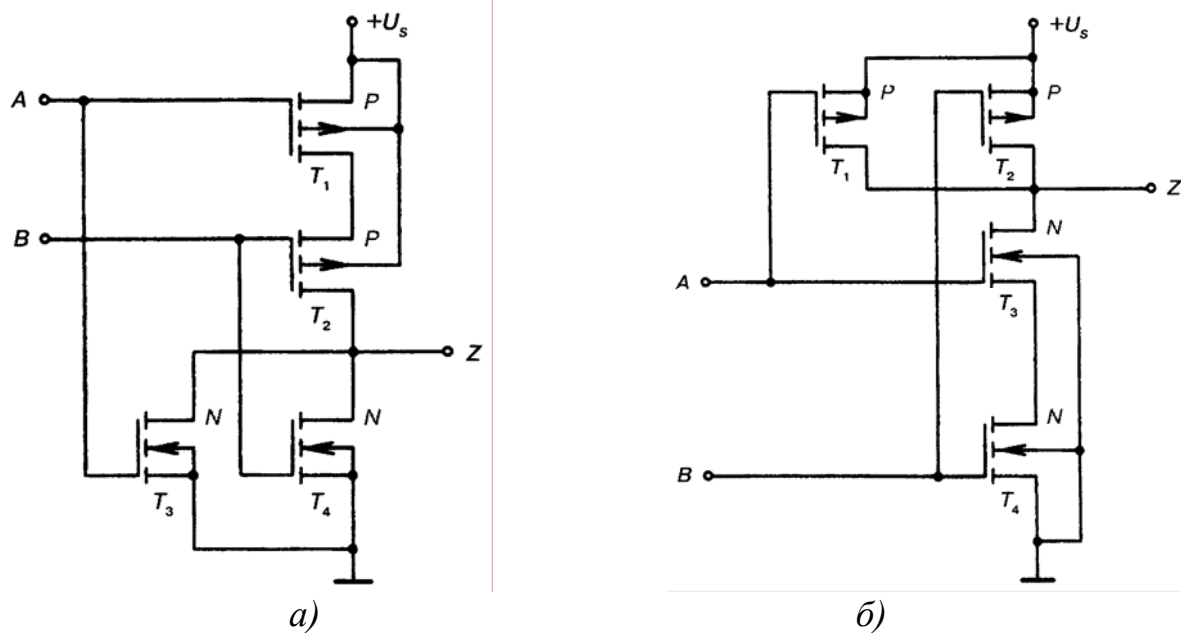


Рисунок 6.5 – Реалізація логічних елементів з використанням NMOS-транзисторів і PMOS-транзисторів: (а) схемна реалізація логічного елемента АБО-НІ, (б) схемна реалізація логічного елемента І-НІ

Точне значення напруги на виході Z в цьому випадку залежить від величини струму, що протікає через транзистори. У інтегральній схемотехніці в якості такого обмежувача зазвичай використовується транзистор. Використовуючи послідовне з'єднання NMOS-транзисторів, як показано на рисунку 7.5б, можна реалізувати логічний елемент І-НІ. Якщо $A = B = 5V$, обидва транзистора будуть відкриті і Z буде дорівнює $0V$. Але якщо або A , або $B = 0$, напруга на виході Z буде дорівнювати рівню логічної одиниці.

6.3 Моделювання роботи і параметрів електронної системи.

Моделювання або аналіз роботи пристрою, представленого принциповою електричною схемою, проводиться в середовищі Analog Design Environment. Як було зазначено раніше, вхідними даними для неї є таблиці з'єднань схеми, на підставі яких будуються системи диференціальних рівнянь. В ході вирішення даних систем можуть бути отримані величини параметрів, що характеризують роботу моделюємого пристрою.

Analog Design Environment підтримує моделювання з використанням різних рівнів абстракції моделей - від чисто поведінкового на верхньому системному рівні до точних, еталонних за експериментальними даними на нижньому, найбільш детальному рівні. Рівні абстракції фізичного дизайну змінюються від оціночних на ранніх стадіях, до фінальних трасування і екстракції. Кремнієвий аналіз, заснований на розширених моделях напівпровідникових приладів, прецизійної екстракції і засобах аналізу, дають адекватну інформацію протягом всього процесу проектування.

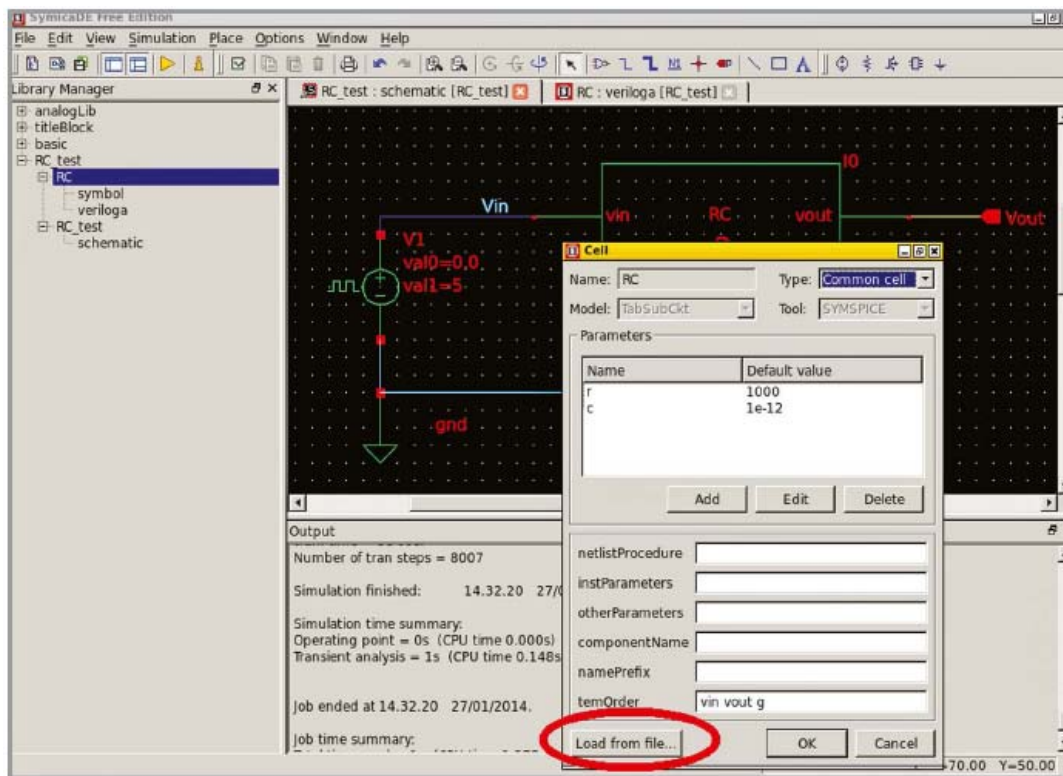


Рисунок 6.6 – Додавання параметрів моделі Verilog-A до символу

Залежно від складності та обсягу вирішуваних завдань, Virtuoso ADE (Analog Design Environment) може інтегрувати різні системи аналогового моделювання (Spice, Spectre, UltraSim, Multi-mode Simulation), забезпечує зворотню анотацію паразитних параметрів, що екстрагуються з допомогою Assura RC, підтримувати крос – перевірку між схемним введенням (Virtuoso Schematic Editor), топологічним редактором (Virtuoso Layout Editor) і системою аналізу результатів моделювання (рис.6.6).

Класичні програми моделювання аналогових електронних схем, забезпечують хорошу збіжність рішення в більшості випадків і гарантують достатню точність. Однак, постійне зростання складності та обсягів проектів ВІС привело до збільшення розмірів схем до десятків і сотень мільйонів вузлів. Як наслідок, продуктивність класичних програм моделювання, побудованих на традиційному підході складання і рішення системи EDA з застосуванням методів розріджених матриць, стала явно недостатньою для вирішення системи рівнянь, яка описує всю схему (рис.6.7).

Підходи, що застосовувалися кілька років тому, складаються з розрахунку фрагментів схем, базових комірок або в комбінованому застосуванні логічних і часових розрахунків спільно з моделюванням аналогових фрагментів схем на рівні транзисторів. Широке поширення знайшло також макромоделювання (рис.6.8).

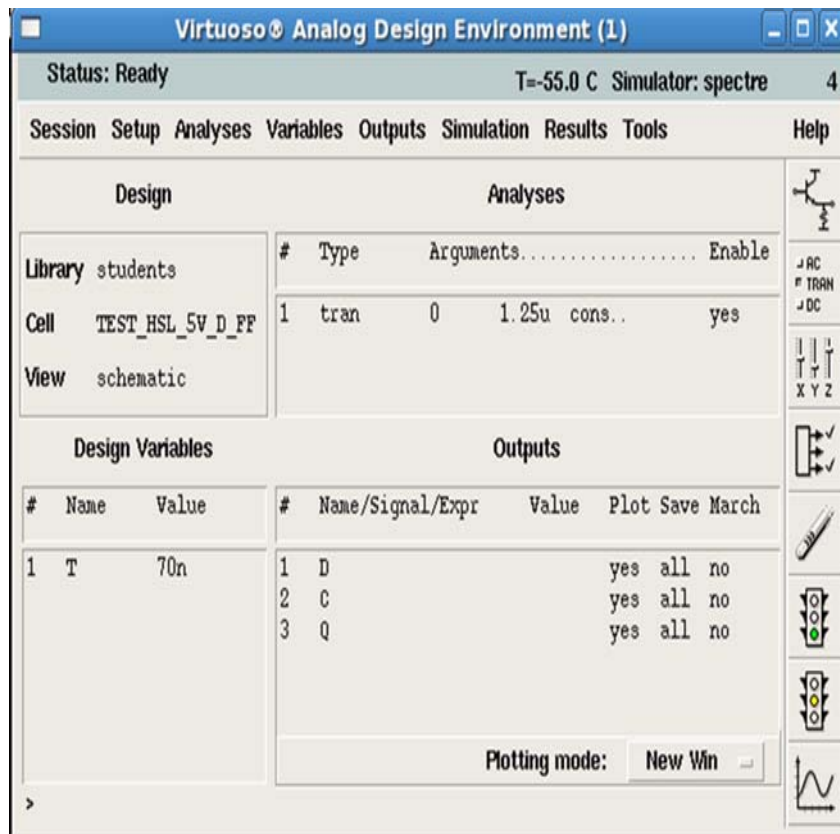


Рисунок 6.7 – Основні компоненти середовища проектування Virtuoso ADE. Діалогове вікно для вибору параметрів і методик моделювання.

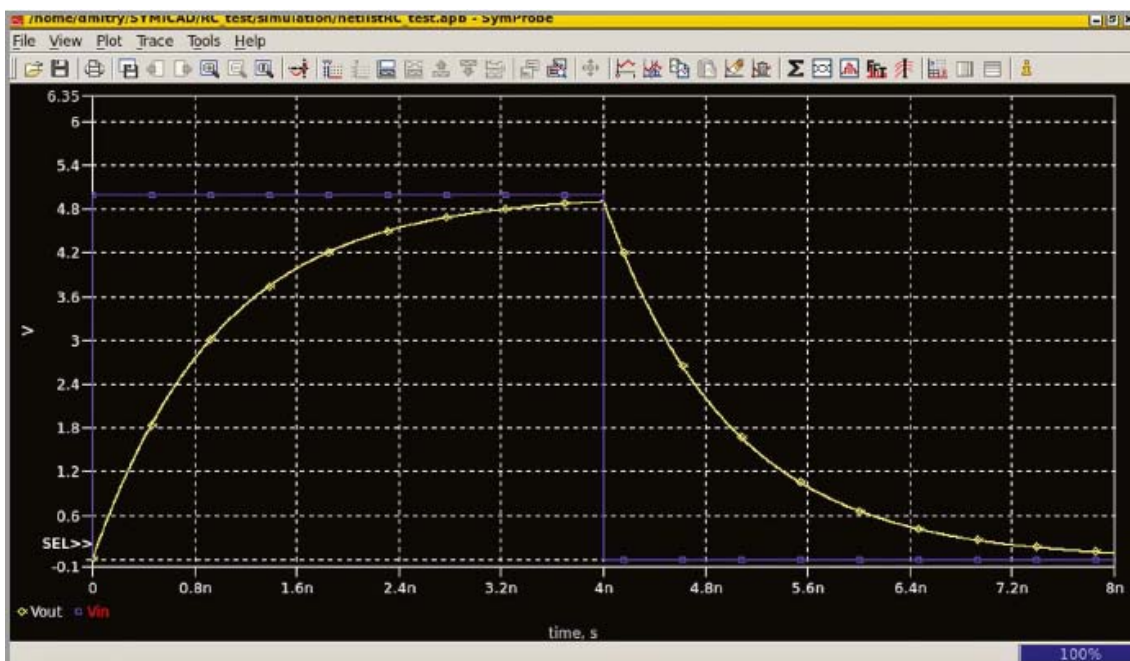


Рисунок 6.8 – Результат моделювання перехідних процесів

В останні роки, інтенсивно почали розвиватися програми моделювання нового покоління, так звані «швидкі симулятори». Їх застосування дає якісний

стрибок в продуктивності. З'явилася можливість моделювати ВІС об'ємом в десятки і сотні мільйонів вузлів з вимогами точності до обчислювальних ресурсів, близькими до традиційних програм моделювання.

Рішення, запропоноване Cadence на даному сегменті ринку, - платформа Virtuoso і система FastSPICE Ultrasim. Поряд з відомими системами моделювання, Ultrasim інтегрований в загальну середу розробки Virtuoso і дає можливість швидко отримати рішення з прийнятною точністю при зростанні складності проекту на кілька порядків.

Технічні вимоги до аналогових, цифрових, радіотехнічних та змішаних проектів росли в останнє десятиліття експоненціально (рис. 6.9). Економічні чинники і конкуренція на ринку електроніки змушують розробників застосовувати нові технології і об'єднувати незалежні блоки на одному кристалі (System-On-Chip, SOC). Багато виробників переходять на сучасні технології проектування за нормами 0.13 мкм - 28 нм, і поєднують аналогове проектування, з нанометровими цифровими дизайнами. Більш того, основою цифрового проектування є використання бібліотек стандартних і спеціалізованих замовних блоків, що розробляються із застосуванням засобів аналогового моделювання.

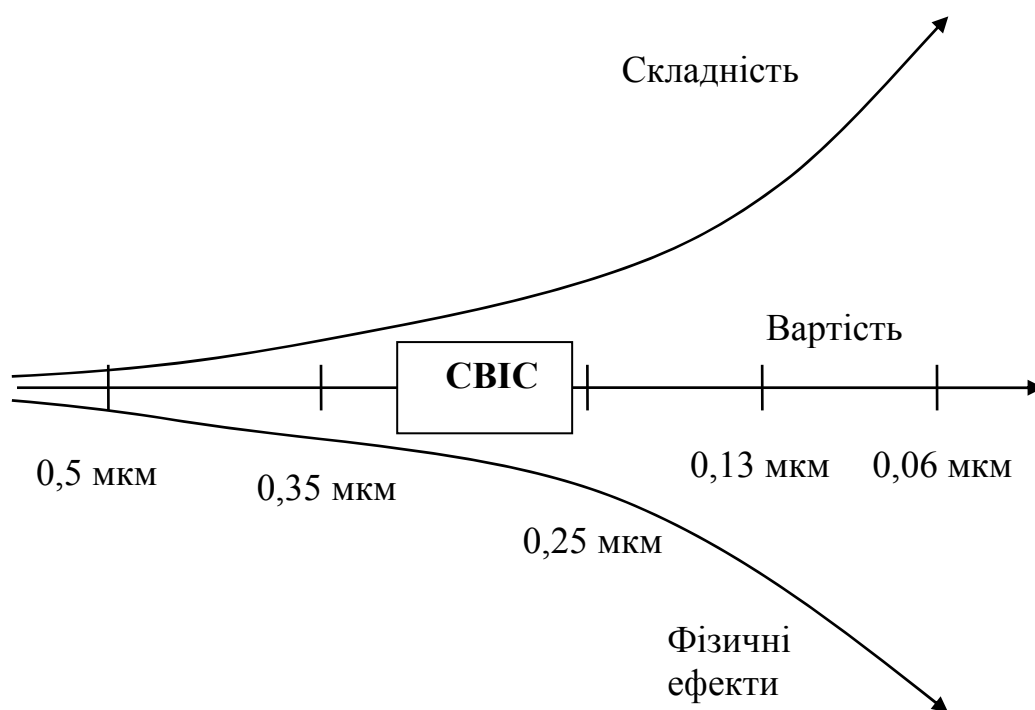


Рисунок 6.9 – Взаємозв'язок технології, складності та вартості проекту

6.4 Процес створення проекту за допомогою платформи Virtuoso

Складність, обсяг сучасних проектів і нові фізичні ефекти вимагають відповідних технологій замовного проектування, які об'єднують можливості швидкого низхідного (top-down) проектування з точністю висхідного (bottom-up) проектування, що йде від кремнієвої реалізації. Meet-in-the-middle - сучасна методологія, що поєднує в собі швидкість і точність (рис. 6.10)

Платформа для замовленого проектування Virtuoso є зрозумілою системою для швидкого і точного проектування, оптимізованої для технології meet-in-the-middle, наприклад Analog Custom Design (ACD).

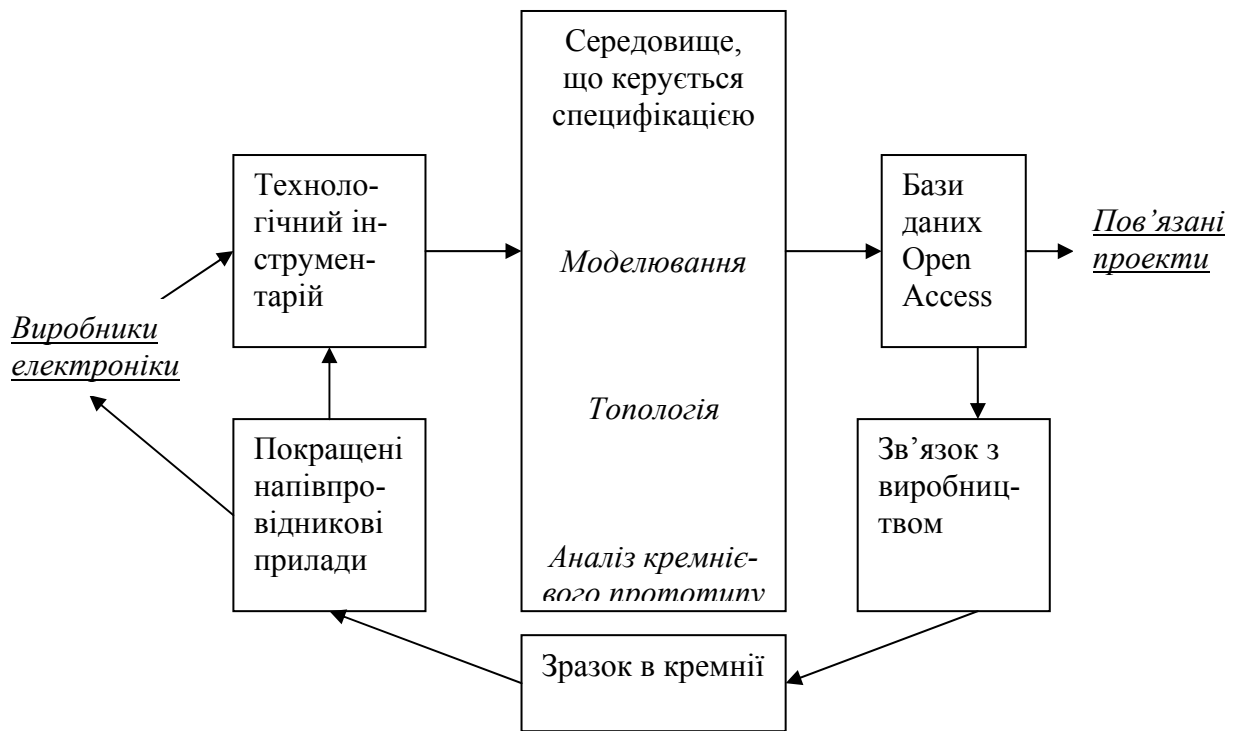


Рисунок 6.10 – Процес проектування за допомогою платформи Virtuoso.

У Virtuoso входить середовище, що визначається специфікацією: багаторежимне моделювання, що має загальний синтаксис, моделі і системи рівнянь, значно прискорені алгоритми створення шарів і з'єднань на рівні всього кристала, а також середовище змішаного моделювання.

Virtuoso підтримує моделювання з використанням різних рівнів абстракції моделей - від чисто поведінкового на верхньому системному рівні до точних, еталонних за експериментальними даними на нижньому, найбільш детальному рівні. Рівні абстракції фізичного дизайну змінюються від оціночних на ранніх стадіях, до фінальних трасування і екстракції. Кремнієвий аналіз, заснований на розширених моделях напівпровідникових приладів, прецизійної екстракції і засобах аналізу, дають адекватну інформацію протягом всього процесу проектування.

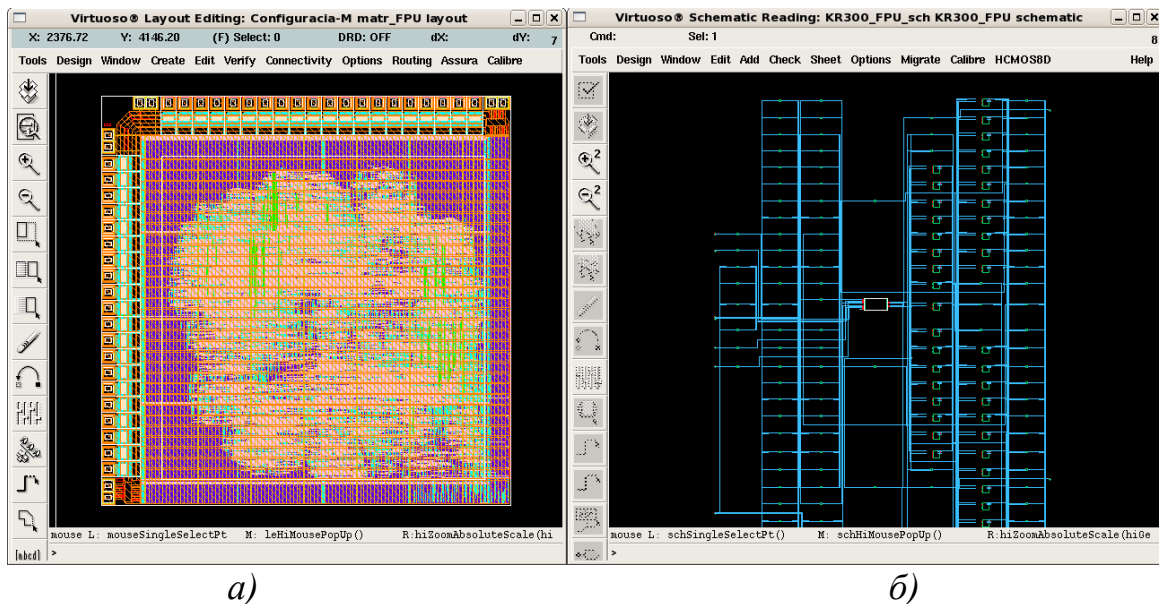


Рисунок 6.11 – Результати розробки в середовищі Virtuoso: (а) – топологія кристалу. (б) – графічне відображення периферійних з’єднань.

Залежно від складності та обсягу вирішуваних завдань, Virtuoso ADE (Analog Design Environment) може інтегрувати різні системи аналогового моделювання (Spice, Spectre, UltraSim, Multi-mode Simulation), забезпечує зворотню анотацію паразитних параметрів, що екстрагуються з допомогою Assura RC (рис.6.11).

Платформа Virtuoso може працювати з базою даних Cadence CDBA або з базою OpenAccess. З цією платформою, можливо швидке проектування з високим виходом придатних для геометрії від 1 мкм до 28 нм і менше.

З використанням сучасної *FastSPICE* технології Virtuoso UltraSim, система моделювання дозволяє виконувати високопродуктивне, аналогове або змішане моделювання всієї системи. Підтримка багатьох мов опису об’єктів забезпечує незалежність мови та рівня абстракції в методології проектування. Узагальнена реалізація напівпровідникових приладів в системах моделювання, що входять в платформу Virtuoso, гарантує високу точність результатів. З урахуванням RC-редукції, за допомогою UltraSim і Virtuoso стало можливим рішення раніше недоступних завдань повної і точної верифікації проекту після фази розробки топології на нанометрових технологіях.

Платформа замовного проектування Virtuoso легко інтегрується в єдиний маршрут проектування з платформою функціональної верифікації Incisive. Фірма Cadence забезпечила інтеграцію нової системи на рівні plug-and-play і надає розробникам можливість використання сучасних засобів аналогового моделювання і замовного проектування в рамках єдиної методології розробки НВІС.

6.5 Проектування топології КМОН замовних ВІС в САПР Tanner EDA

Для втілення схемотехнічного рішення в кремній потрібно редактор топології (наприклад, топологічний редактор L-Edit САПР Tanner EDA), засоби розміщення і трасування блоків, контроль геометричних (DRC) і електричних (ERC) проектних норм, порівняння топологічної реалізації схеми з її вихідним описом (LVS) (рис.6.12). Далі кристали наповнюються кінцевої фізичної топологією, інформація записується у файли формату GDSII, які передаються на завод–виготовлювач. Завод виготовляє набір фізичних шаблонів і втілює виріб в кремнії на своєму обладнанні. Відповідальність за функціональні характеристики ВІС повністю лежить на розробнику ВІС, в той час як кремнієва фабрика гарантує якість технологічного процесу.

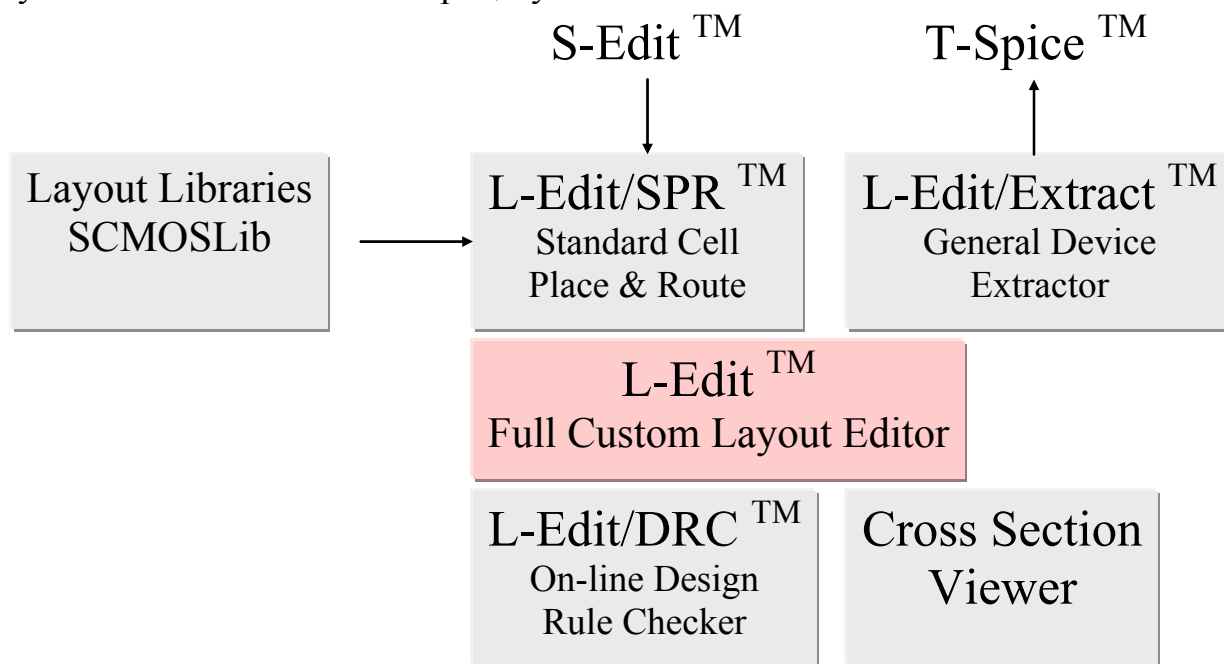


Рисунок 6.12 – Склад та функції САПР Tanner EDA

Топологія ВІС – безліч геометричних фігур, розташованих в різних топологічних шарах. Топологічні шари об'єднують фігури, які будуть нанесені на один фотошаблон. Деякий безліч фігур в одному або в декількох топологічних шарах об'єднуються в топологічну групу. Топологічна група крім геометричних фігур може містити в собі посилання на інші групи, формуючи ієрархічний опис топології ІС.

Топологічний редактор дозволяє або безпосередньо будувати топологію, або формувати її зі стандартних осередків, що містяться в бібліотеці. Використовуючи базу даних, редактор дозволяє редагувати топологію осередків відповідно до конкретних вимог. Після розробки топології окремих фрагментів за допомогою відповідної програми в діалоговому режимі здійснюється їх розміщення і трасування міжз'єднань. Після введення опису топології здійснюється її верифікація (рис.6.13).

Програма контролю проектних норм працює безпосередньо з топологією. Контроль здійснюється автоматично за значеннями конструкторсько–

технологічних вимог (DRC–контроль) для використовуваної КМОН–технології. Будь–який вихід за рамки обмежень позначається безпосередньо на зображенні топології, що виводиться на екран дисплея.

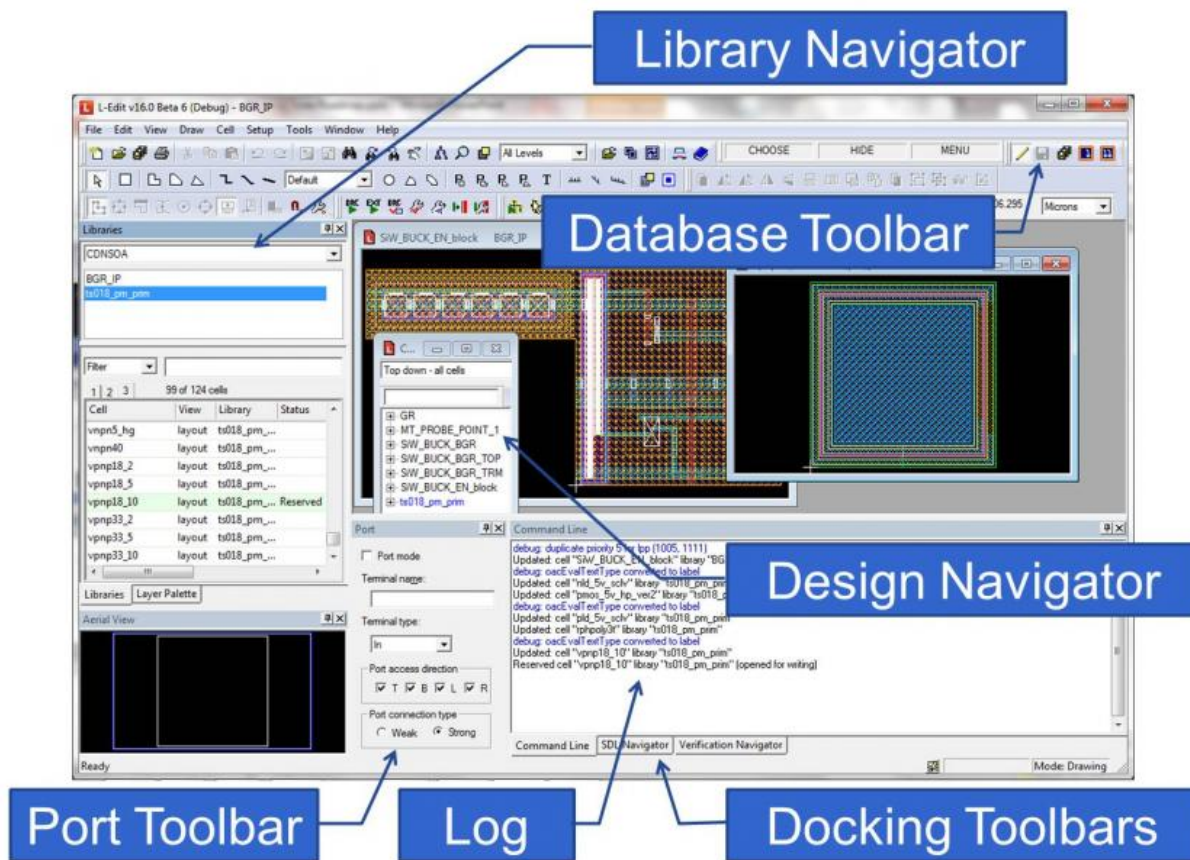


Рисунок 6.13 – Головне робоче вікно САПР Tanner EDA

Після завершення DRC–контролю програма відновлення електричної схеми (LVS) перетворює опис топології в опис електричної схеми у вигляді таблиці ланцюгів (наприклад, текстовий опис в Spice–форматі). Ця таблиця передається в блок верифікації логічних і електричних схем, де проводиться перекресна перевірка описаної схеми на логічному і топологічному рівнях, а також повторне моделювання та верифікація часових параметрів. Таблиця передається в програму контролю електричних проектних норм (ERC–контроль). Ця програма додатково використовує ще й значення параметрів транзисторів, отримані при відновленні електричної схеми з топології. В результаті її роботи ідентифікуються всі нерозпізнані або неправильно з'єднані елементи, а також всі порушення електричних проектних норм.

Маршрут проектування завершується перетворенням формату проектного файлу в проміжну форму, яка використовується для передачі проекту на кремнієві фабрики, наприклад CIF–формат.

Проміжна форма представлення даних CIF2.0 (скорочення від «Caltech Intermediate form»), розроблена в Каліфорнійському технологічному інституті, є засобом опису графічних елементарних груп (характеристик фотошаблону). Файли в формі CIF створюються засобами САПР (топологічними редакторами,

наприклад Ledit Tanner EDA) на базі інших форм представлення даних, таких як символічна мова геометричній структури. Ідея, покладена в основу цієї форми запису, полягає в літеральному описі кожного геометричного об'єкта з достатнім ступенем точності.

Проектування топології – процес перетворення електричної або логічної схеми в опис пошаровим реалізації схемних компонентів (транзисторів, діодів, резисторів) і зв'язків між ними в багатошарової інтегральної структурі.

Верифікація топології включає в себе контроль проектних норм, екстракцію (відновлення) електричної схеми з опису топології, порівняння з вихідною схемою і засоби аналізу виявлених порушень.

Головна мета розробки топології КМОН ВІС полягає в ефективному використанні площі кристала. Однак необхідно враховувати, що характеристики КПОП ВІС, зокрема динамічні, сильно залежать від паразитних ємностей і опорів, які визначаються топологією. Тому необхідно приймати компромісні рішення, які враховували б оптимальне використання площі і отримання хороших характеристик ІС. У КМОН ВІС зазвичай використовуються прямокутні конфігурації транзисторів, що відрізняються лише різними відносинами ширини до довжини каналу в залежності від необхідного значення крутизни характеристик транзистора.

Вирішуючи завдання забезпечення успішного випуску ІС в першому ж циклі виготовлення, MOSIS (www.mosis.com), невелике за обсягами виробництво в Південно–Каліфорнійському університеті (Information Sciences Institute at the University of Southern California, www.isi.edu) пропонує топологічні бібліотеки стандартних осередків цифрових ВІС різних кремнієвих фабрик. Доступні топологічні бібліотеки по КМОН – технології як за звичайними, так і за глибокими субмікронними проектними нормами, наприклад MOSIS Agilent/HP (технологічний процес AMOS14TV по проектним нормам 0,5 мкм), MOSIS AMI (1,5 мкм), TSMC (технологічний процес по субмікронних проектним нормам: 0,18 мкм, 6 шарів металізації з напругою ядра 1,8/3,3 В) і ін., для виготовлення пілотних проектів (невеликих партій ІС) університетських центрів і для дизайн-центрів,

Мінімальні розміри і мінімальні зазори.

В якості основної одиниці виміру відстані обрана масштабна величина λ . В масштабуємій технології КМОН (MOSIS Scalable CMOS desing rules, SCMOS) топологія схеми малюється відповідно до лямбда–методології. Одиниця виміру λ масштабується відповідно до зміни технології в сторону зменшення розмірів, що дозволяє уникнути повторного проектування топології кристала. Для типового технологічного КМОН–процесу виготовлення кристалу, λ масштабується в діапазоні від 2 до 0,6 мкм (табл. 6.1).

Таблиця 6.1 – Характерні значення λ в масштабуємій КМОН–технології

Кремнієва фабрика	Технологічний процес	Масштабна величина λ , мкм
-------------------	----------------------	------------------------------------

ORBIT	2 мкм n-кишеня	1
	2 мкм p-кишеня	1
AMI	1,5 мкм n-кишеня	0.6
ORBIT	1,5 мкм n-кишеня	0.6

Конструкторсько–технологічні вимоги (КТВ, DRC) на процес виготовлення кристала накладають обмеження, які повинні бути враховані при проектуванні топологічного шаблону ІС, наприклад вимоги мінімальної ширини об'єктів, допустимих технологією, вимоги на точні розміри об'єктів, вимоги на мінімальні зазори.

Нижче наведені КТВ (в повному обсязі) за масштабованою КМОН–технологією (MOSIS Scalable CMOS desing rules) з n–кишенею, з двома шарами алюмінієвої металізації і $\lambda = 2$ мкм (рис. 6.14). Згідно масштабованій технології, мінімальна ширина каналу МОНТ дорівнює двом лямбда, тому мінімальна ширина полікремнієвих затворів береться рівній 2.

1. *Кишені до підкладки* (n–кишеня, N–well; CWN, p–кишеня, P–well; CWP) (рис. 6.14а):

- мінімальна ширина кишені – 10;
- мінімальний інтервал між кишенями з різними потенціалами – 9;
- мінімальний інтервал між кишенями з однаковим потенціалом – 0 або 6;
- мінімальний інтервал між кишенями різного типу (якщо обидва присутні) – 0.

2. *Активна область* (Active, САА) (рис. 6.14б):

- мінімальна ширина – 3;
- мінімальна відстань між активними областями – 3;
- мінімальна відстань активних областей витік/стік від краю кишені – 5;
- мінімальна відстань активного шару підкладка/кишеня від краю кишені – 3;
- мінімальний інтервал між активними областями різного ступеня легування – 0 або 4.

3. *Полікремній* (ПК, Poly) (CPG) (рис. 6.14в):

- мінімальна ширина – 2;
- мінімальний інтервал – 2;
- мінімальне перекриття полікремнієвим затвором активної області – 2;
- мінімальна відстань ПК від краю активної області – 3;
- мінімальна відстань між ПК і активною областю – 1.

4. *Області n– і p–типу провідності* (n– і p–канальні області, N–Select, P–Select) (CSN, CSP) (рис. 6.14г):

- мінімальна відстань між канальної областю і затвором, щоб гарантувати адекватну ширину – 3;
- мінімальне перекриття канальної областю активної області – 2;
- мінімальне перекриття канальної областю контакту – 1;
- мінімально допустима ширина і інтервал – 2.

5. *Простий контакт до ПК (Poly contact CCP)* (рис. 6.13 д):

- точний розмір контакту до ПК – 2×2 ;
- мінімальне перекриття ПК контакту 1,5;
- мінімальна відстань між контактами – 2.

6. *Простий контакт до активного шару (Active contact, САА)* (рис. 6.14е):

- точний розмір контакту – 2×2 ;
- мінімальне перекриття контакту активною областю – 1,5;
- мінімальна відстань між контактами – 2;
- мінімальна відстань між контактом і затвором транзистора – 2.

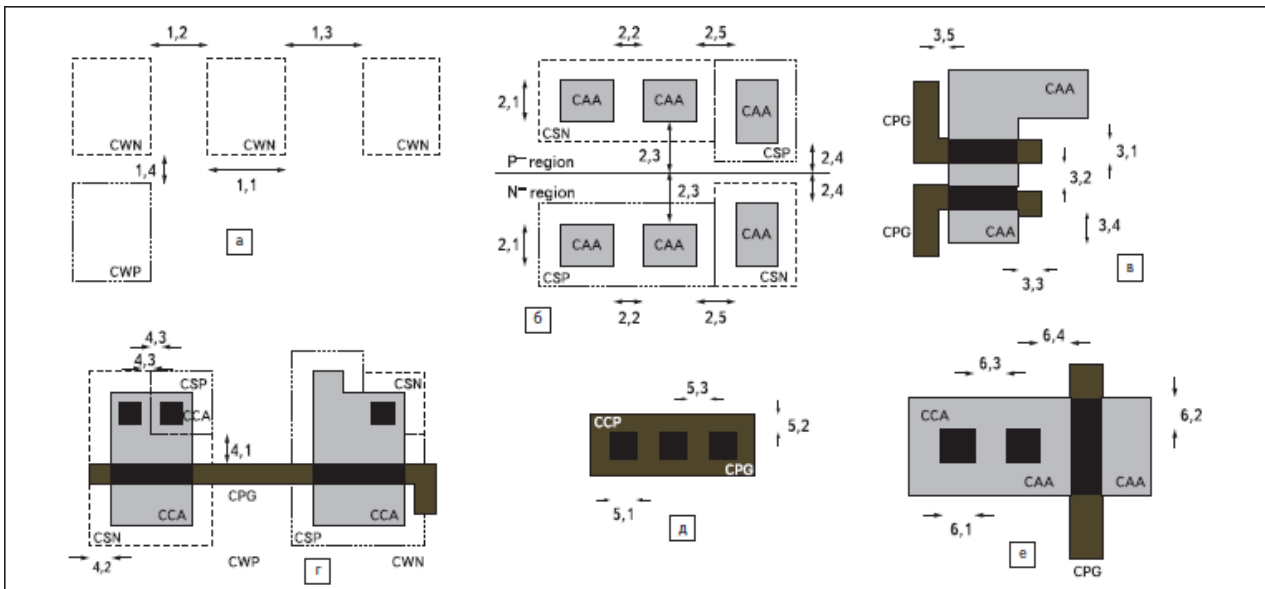


Рисунок 6.14 – Топології елементів конструкції за конструкторсько–технологічними вимогами (MOSIS Scalable CMOS desing rules): а) кишені до підкладки; б) активна область; в) полікремній, ПК; г) області n і p типу провідності; д) простий контакт до ПК; е) простий контакт до активного шару

Незалежно від методу проектування топології, отримані проекти перетворюються в форму CIF, що є проміжною формою представлення даних, перед наступною трансляцією проекту стосовно до різних форм вихідних пристроїв, таких як графічні пристрої, пристрої генерації зображень.

Специфікація топологічного шару. Кожен найпростіший геометричний елемент (багатокутник, прямокутник, провідник) повинен бути позначений шляхом точної вказівки технологічного фотошаблону, до якого він належить.

У форматі CIF для специфікації шару використовується скорочене найменування, а в форматі GDSII – номер шару (табл. 6.2). Найменування шару або його номера використовуються в цілях підвищення чіткості файлу і для виключення необхідності узгодження з численними розробниками і виробниками ВІС.

Таблиця 6.2 – Умовне позначення топологічних шарів в форматі GDSII і в CIF2,0 в масштабуємій КМОН–технології

Топологічний шар	Позначення шару в форматі CIF	Позначення шару в форматі GDSII
P_WELL (<i>p</i> -кишеня)	CWP	41
N_WELL (<i>n</i> -кишеня)	CWN	42
Active (активна область)	CAA	43
Poly (полі кремній,)	CPG	46
Contact (контактна область)	ССС, ССР (контакт з полі-Si затвором), ССА (контакт з активною областю), ССЕ(контакт з електродом)	25,47,48,55,
Metal 1 (перший шар металізації)	CMF	49
Via (між шаровий контакт Metal 1– Metal 2)	CVA	50
Metal 2 (другий шар металізації)	CMS	51

На рис. 6.15 представлені електрична схема КМОН–інвертора (*a*), структура (поперечний переріз – *б*) і ескіз топології (*в*) КМОН–інвертора з *p*-кишенею. Особливістю топології КМОН–технології від *n*-МОН технології є наявність *p*-кишені. Ця область *p*-типу провідності виступає в ролі підкладки для *n*-канального МОН–транзистора (МОНТ з індукованим каналом). Затвори *n*- і *p*-канального транзистора з'єднані між собою і являють собою вхід інвертора. Сполучені стоки обох транзисторів є виходом інвертора. Витік *n*-канального транзистора зводиться на шину земля, а витік *p*-канального транзистора на шину живлення.

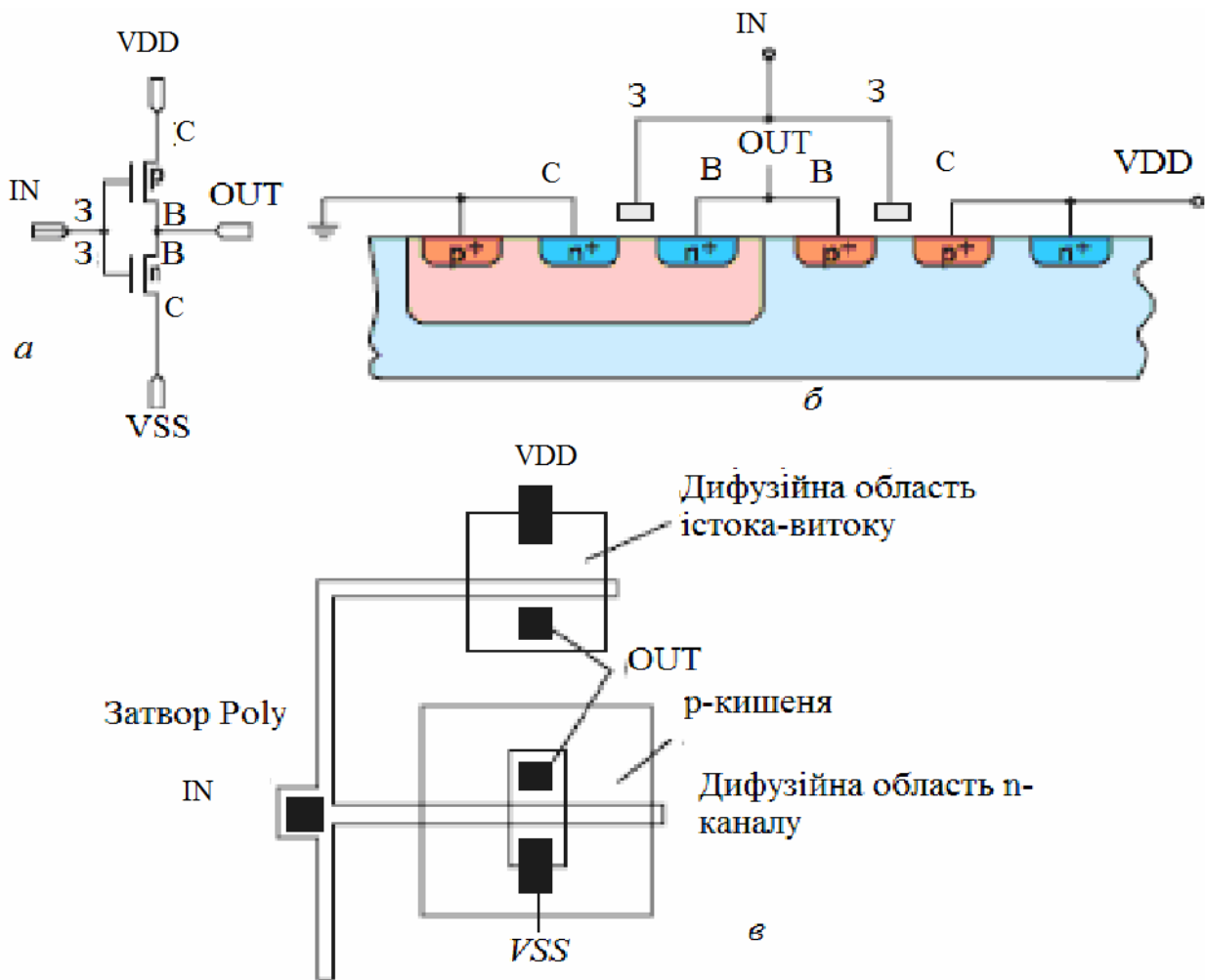


Рисунок 6.15 – Електрична схема КМОН-інвертора, структура і ескіз топології

У КМОН ІС завдяки екстремальним і фіксованим значенням логічних рівнів ($U(0) = VSS$, $U(1) = VDD$), що не залежать від параметрів транзисторних структур (крутизна, порогові напруги) і, отже, від їх топології, відпадає необхідність топологічного розрахунку на основі статичних вимог. Обумовлену цим свободу вибору можна використовувати для проектування КМОН ІС, що мають топологію, яка дозволяє отримати оптимальні динамічні характеристики високої швидкодії при мінімальному споживанні потужності.

Для мінімізації споживаної потужності необхідно зменшувати як відношення W/L , так і абсолютне значення довжини каналу. При розрахунку геометричних розмірів транзистора довжина його каналу вибирається рівної мінімально допустимому значенню ширині полікремнію на n^+ , p^+ -області. Ширину каналу визначають виходячи з вимог, що пред'являються до крутизни.

Топологія МОН-транзистора з каналом p -типу по площі приблизно вдвічі більше, ніж МОН-транзистора з каналом n -типу. Така різниця виникає через необхідність компенсації різниці в рухливості дірок і електронів в тих схемах, де потрібна узгодженість швидкодії елементів схеми. Якщо в деяких конкрет-

них застосуваннях узгодження швидкодії несуттєво, то площі транзисторів з різним типом провідності каналів можуть бути зроблені однаковими.

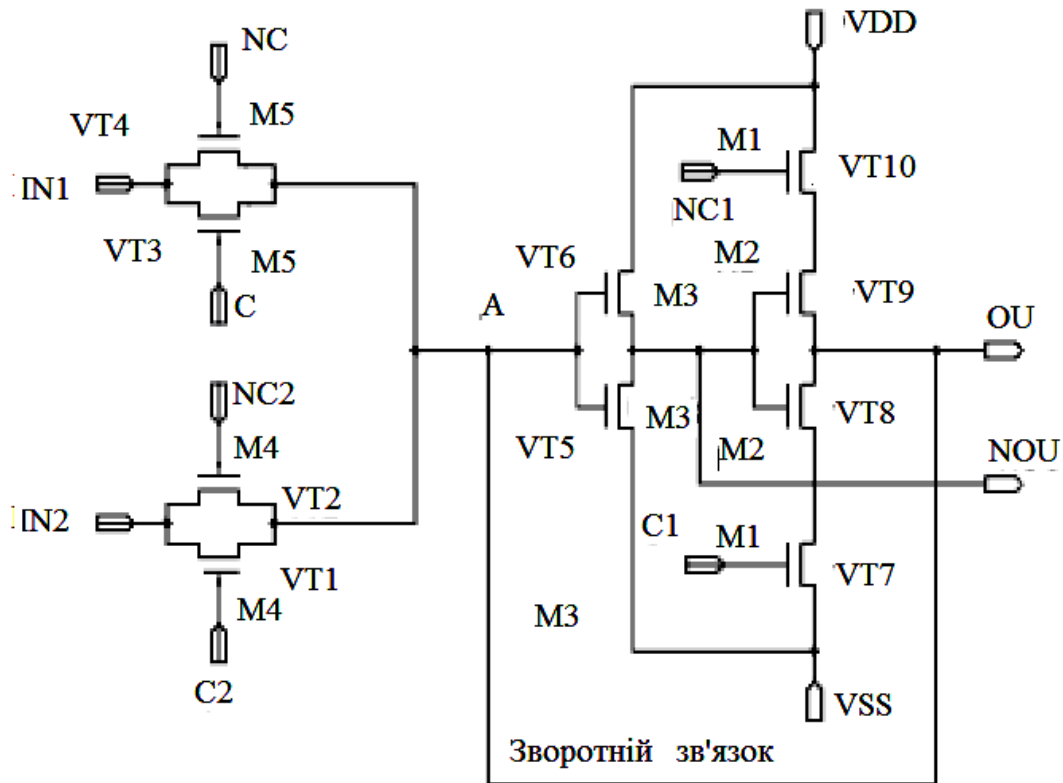


Рисунок 6.16 – Електрична схема D–тригера комбінованого типу, тактуємого рівнем синхроімппульсу.

Основні елементи конструкції топології замовних КМОН ВІС з одним шаром металізації. На рис. 6.16 приведена електрична схема одноступінчатого D–тригера комбінованого типу (D–тригер, тактуємий рівнем синхроімппульсу; IN1, IN2 – інформаційні входи тригера; NC, C, NC1, C1, NC2, C2 – тактові входи; OU, NOU – вихідний сигнал в прямій і інверсній формах) з двома входами, а на рис. 6.17 – фрагменти електричної схеми та топології D–тригера (тільки n–канальні транзистори) по проектним нормам КМОН 3 мкм з одним шаром металізації алюмінієм. Топологія побудована з використанням топологічного редактора GLE.

Вивчаючи топологію D–тригера, бачимо, що прохідні ключі (транзистори VT1–VT4) мають приблизно однакове значення W/L (розміри L і W n– і p–МОПТ беруться рівними мінімально допустимим для проектних норм 3 мкм). Завдання ключів – пропустити сигнал без спотворення фронтів за час дії синхроімппульсу. Особливість таких ключів в тому, що вони повинні працювати в однобічному режимі, бути швидкодіючими, не мати контактів до шин живлення і земля, за винятком контактів до кристалу.

Логічний елемент (інвертор) на комплементарних транзисторах VT5–VT6 (затвори M3) виконаний з різним відношенням W/L р- і n-канальних транзисторів (W різні з урахуванням компенсації рухливості електронів і дірок, а довжина каналу L n- і р-канальних МОПТ береться рівній мінімально допустимій довжині для проектних норм 3 мкм).

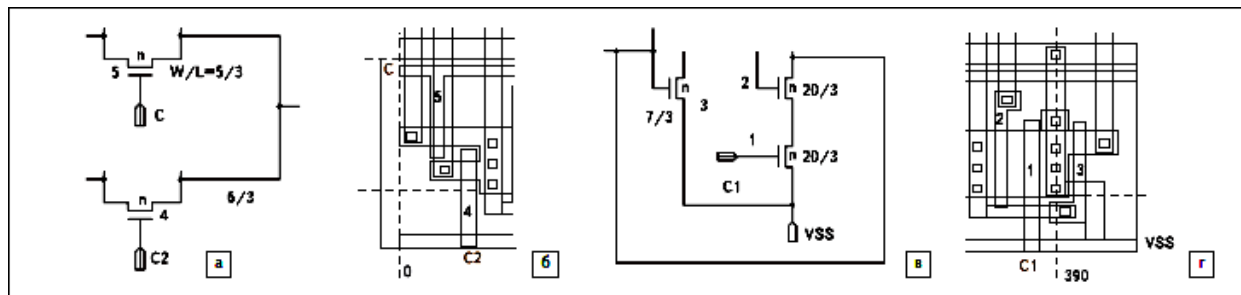


Рисунок 6.17. Фрагменти електричної схеми (а, в); фрагменти топології D-тригера (б, г)

Динамічний ключ–інвертор на транзисторах VT7–VT10 (затвори M1–M2) має найбільше значення відношення W/L з урахуванням струмів комутації через транзистори VT7, VT10 (затвори M1) для включення логічного елемента на транзисторах VT8, VT9 (затвори M2). Динамічний ключ інвертор має контакти з шинами живлення і земля. При подачі синхроімпульсів необхідної полярності ключі (VT7, VT10) комутують на виточки транзисторів VT8, VT9 напруги VDD і VSS, так що складна зв'язка транзисторів VT7–VT10 перетворюється в звичайний інвертор.

У правильно побудованих транзисторів затвори (полікремній) перекривають іонно–імплантовані області з невеликим надлишком, наприклад, затвор M1 n-канального транзистора VT7 перекриває з надлишком n-область (рис. 6.17г). В іншому випадку ефективність замикаючого сигналу буде частково втрачено.

Зворотній зв'язок в топологічному поданні реалізовано фізичним контактом витоків транзисторів прохідних ключів VT1–VT4 і витоків транзисторів VT8, VT9, і далі, за допомогою алюмінієвої металізації і двох контактних вікон – до затворів M3 транзисторів VT5, VT6, а також трьох контактних вікон – до р- і n-області витоків транзисторів прохідних ключів і витоків транзисторів VT8, VT9.

Для екстракції електричної схеми з опису топології (LVS), потрібно знати опис схем в Spice-форматі. Програма Spice використовується в якості лічильного ядра майже у всіх програмах схемотехнічного моделювання ВІС. Різні версії цього алгоритму були в різний час запозичені виробниками програмного забезпечення для використання в своїх продуктах. Зараз для моделювання аналогових пристроїв в основному використовується версія Spice 3, а для моделювання цифрових – XSpice. Ця версія була розроблена спеціально для моделю-

вання цифрових пристроїв, описаних списком з'єднань, причому самі моделі компонентів описуються на мові SimCode.

В силу використання єдиного обчислювального алгоритму програми різних виробників є за великим рахунком всього лише графічні оболонки, які надають користувачу доступ до функцій програми Spice, а також деякі додаткові можливості обробки отриманих даних.

У програмі Spice МОН–транзистори описуються чотирма різними системами рівнянь, вибір яких визначається параметром LEVEL, які приймають значення 1, 2, 3 і 4.

Параметри компонентів вказуються двома способами: безпосередньо в додатку, що описує включення компонента в схему, або за допомогою директиви MODEL.

Нижче наведено завдання для моделювання перехідних процесів одноклапкового D–тригера (вхідний файл програми PSpice). На рис. 6.19 показана електрична схема одноклапкового D–тригера (2 інвертори, 2 прохідних ключі).

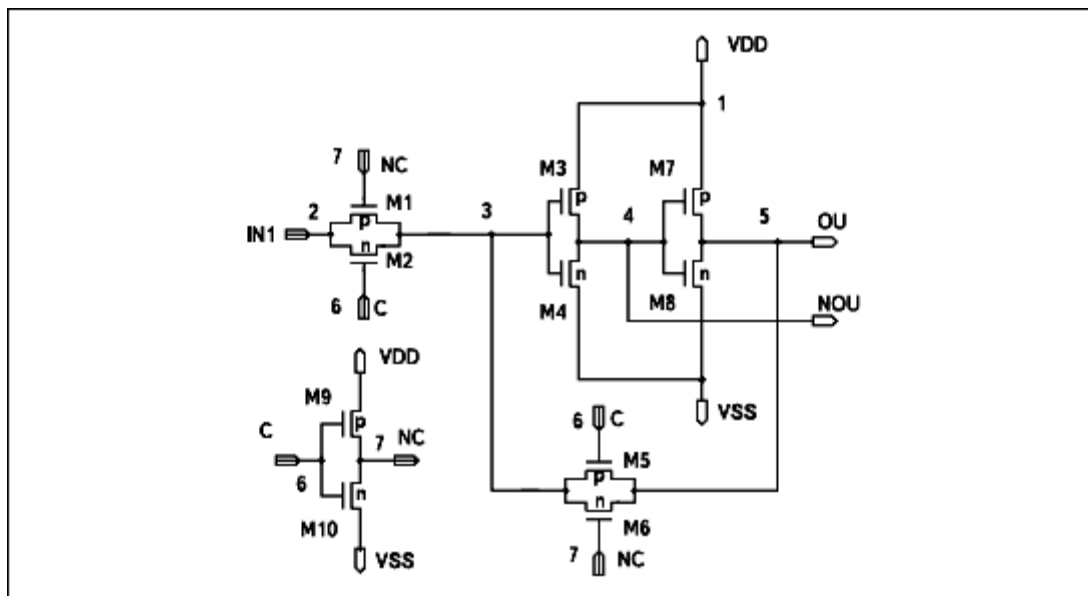


Рисунок 6.19 – Електрична схема одноклапкового D–тригера на прохідних ключах

Для аналізу схеми необхідні наступні кроки:

1. Послідовно пронумерувати всі вузли схеми і n– і p–канальні транзистори буквою М з порядковим номером, наприклад М1, М2 і т. Д. Послідовність розгляду вузлів для їх нумерації, а також транзисторів принципового значення не має. Для зручності аналізу результатів нульовим вузлом вважається вузол земля (в програмі Spice вузол земля завжди вважається глобальним, в САПР Tanner EDA такого виділення немає), а поодиноким – вузол шини живлення;
2. Задати напруга живлення, що подається на шину живлення, наприклад 5 В;
3. Задати вхідні впливи;

Задати час моделювання перехідних процесів, використовуючи директиву .TRAN.

Проектування топології базових елементів має дуже велике значення. А так як, на думку ряду зарубіжних фірм, вартість процесу проектування при ручному методі може перевищити вартість процесу виготовлення ВІС, то для прискорення термінів проектування компаніям, які не мають своїх власних виробничих потужностей, доцільно скористатися «готовою» топологічною бібліотекою. Розглянемо елементи топологічних бібліотек зарубіжних кремнієвих фабрик, виконаних в рамках MOSIS Scalable CMOS desing rules.

Історично найбільш широке поширення у виробництві довгоканальних КМОН ІС отримала технологія з кишнями p -типу, яка вимагає мінімального числа технологічних операцій. КМОН – технологія з кишнями p -типу забезпечує кращу симетрію параметрів n – і p –МООНТ, тоді як технологія з n – кишнями дозволяє отримувати підвищені робочі характеристики n –МООНТ, які в цьому випадку виготовляються в підкладці без інверсії її типу провідності. Перевага технології з p –кишенею віддається ще й тому, що енергетичні вимоги до іонного легування p –кишені набагато нижче, ніж в разі n – кишені, оскільки бор має більший пробіг в кремнії, ніж фосфор. З цієї причини для однієї і тієї ж глибини легування потрібна менша енергія імплантації іонів бору, а отже, радіаційні пошкодження будуть менш значні.

Для субмікронних ВІС перевага віддається технології з n –кишенею. Базовий технологічний маршрут виготовлення КМОН ІС по субмікронних нормам з n –кишенею вимагає використання само суміщеного полікремнієвого затвора для створення LDD–областей. Особливе значення в сучасній КМОН–технології має пристінковий проміжок, який виконує роль само суміщеної маски при імплантації іонів в контактні виток–стокові області і при саліцидизації цих областей в глибоко субмікронній технології. Проміжок (спейсер) є елементом, що визначає послідовний опір МООНТ, коротко канальний ефект і ефект гарячих носіїв.

Основні елементи конструкції топології замовних ВІС по КМОН–технології з двома шарами металізації. Розглянемо порядок формування топології (топологічних шарів) інвертора по масштабованій КМОН–технології з n –кишенею (по конструктивно–технологічним проектним нормам MOSIS Scalable CMOS desing rules) з використанням топологічного редактора LEdit САПР Tanner EDA. Згідно з масштабованою технологією мінімальна ширина каналу МООНТ дорівнює 2λ , тому мінімальна ширина полікремнієвих затворів береться рівній 2. Різні варіанти з'єднань транзисторів і їх топологічна реалізація представлені на рис. 6.20. Швидко розпізнати топологію логічних елементів 2І–НІ 2АБО–НІ дозволяє наступне правило: для схемної реалізації логічного елемента 2І–НІ необхідно два контакту до шини живлення («живляться» два джерела p – транзисторів) і один контакт до шини земля («заземлюється» один витік n – транзистора); для логічного елемента 2І–НІ необхідно «одне живлення дві землі».

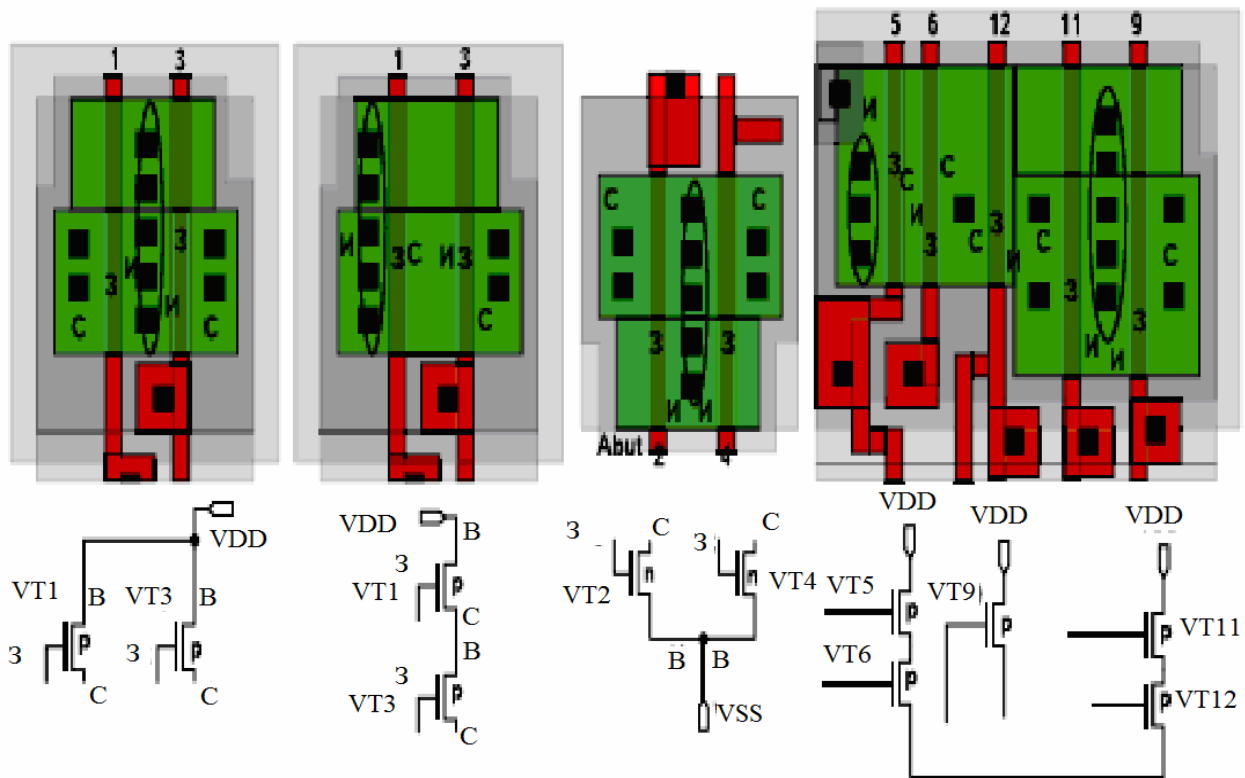


Рисунок 6.20 – Варіанти з'єднань транзисторів і їх топологічна реалізація

Витоки p -каналних МОПТ і локальна n '-область n -кармана підключаються до шини живлення. Витоки n -каналних МОПТ і локальна p '-область p -підкладка підключаються до шини земля. Таким чином n -карман і p -підкладка ізольовані один від одного зворотним зміщенням pn -переходом:

– n '-область створюється за допомогою двох шарів n -Select і Active. p '-область створюється за допомогою двох топологічних шарів p -Select і Active (рис. 6.20). Слід зауважити, що шари p -Select і Active не відповідають фізичній топології, а розглядаються як допоміжні. Логічна операція AND (I) над шарами p -Select і Active дозволить сформулювати p '-область.

– p -МОПТ створюється з використанням трьох шарів: p -Select, Active і Poly. Першим створюється топологічний шар n -кишені. Далі – шар p -Select, активний шар (Active layer) і полікремнієві затвори (топологічний шар Poly). p -МОПТ формується шарами: (p -Select) AND (Active) AND (NOT (Poly)). Довжина (L) і ширина (W) каналу визначаються у межах перетину топологічного шару Poly активного шару. Периметр транзистора визначається активним шаром. n -МОПТ створюється також з використанням трьох шарів: n -Select, Active і Poly.

У загальному випадку топологія КМОП-інвертора з n -кишеною будується в наступній послідовності:

1. формується топологічний шар p -підкладка (SubCkt ID);
2. формується топологічний шар n -кишеня (N-Well);

3. в топологічному шарі n – кишень формуються топологічний шар p – канал (p –Select). Це p –канальні області МООНТ і локальна область p –типу на p –підкладка для зміщення підкладки;

4. формуються n –канальна область (n –Select) – це n –канальні МООНТ і локальна n –область до кишень для зміщення кишень;

5. формуються області витоку і стоку n –МООНТ і p –МООНТ з використанням активного шару (Active);

6. формуються полі–Si затвори (Poly) і, якщо необхідно, полі–Si перемички (невеликі відрізки з полі–Si, призначені для з'єднання затворів) і контакти до полі–Si затворів з розрахунком місця під один (контакт полі–Si затвор–металл–1) або два контакти (контакт полі–Si затвор–металл–1 і контакт метал–1–метал–2);

7. в активних областях, затворах і в областях до підкладки і кишень формуються контактні області: Active Contact, Poly Contact ;.

8. формуються топологічний шар метал–1 (Metal1) (шини *земля, живлення*, внутрішні між з'єднання, невеликі відрізки для організації між шарового контакту метал–1–метал–2);

9. формуються контактні області під другий шар шин (Metal2);

10. в вертикальному напрямку прокладається шар Метал 2.

Метал–1 служить для створення внутрішніх між з'єднань в топологічних осередках і для прокладки шин живлення і земля, тактових шин. Метал–1 прокладається горизонтально або вертикально. Топологічний шар Метал–2 служить для прокладки вхідних і вихідних сигналів і частково для внутрішніх між з'єднань . Метал–2 прокладається вертикально.

Для порівняння, на рис. 6.21 показана топологія КМООН–інвертора, побудована за правилами MOSIS Scalable CMOS desing rules, для реалізації по КТВ фірми АМІ (процес С5N, КМООН, n –кишень, 0,5 мкм ($\lambda = 2$) проектні норми, три рівня металізації) із застосуванням топологічного редактора Virtuoso САПР CADENCE. Для побудови топології використовуються ті ж самі топологічні шари: N–Well, Active, N–Select, P–Select, Poly, Metal1, 2, 3, Contact, Via1, 2, Glass, Pad.

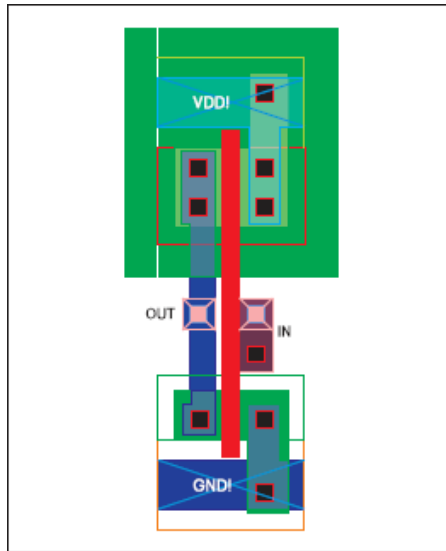


Рисунок 6.21 – КМОП–інвертор в САПР Cadence Virtuoso.

У топологічній реалізації вентилів використовують три або більше контактів до витoku транзисторів для того, щоб надійно з'єднати шини живлення і земля. На рис. 6.22 наведена топологічна реалізація елемента 2I–НІ. Вивчаючи топологію логічного елемента, бачимо дві групи контактів витoku до області p –каналних транзисторів (зліва і справа дві n –області для усунення кишені) і два виводи шини живлення (два вертикально розташованих бокси шини живлення), одну групу контактів до витoku n –каналного транзистора (зліва p –область для зміщення підкладки) і один вивід шини земля (один вертикальний бокс шини земля).

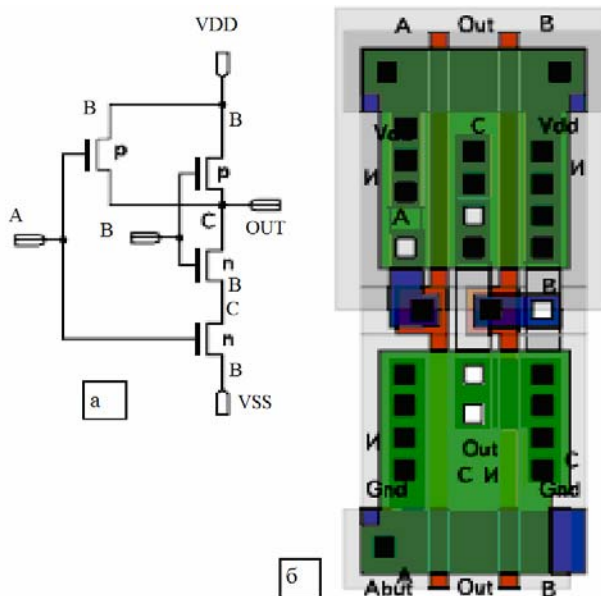


Рисунок 6.22 – Елемент 2I–НІ: (а) електрична схема; (б) топологічна реалізація елемента 2I–НІ

Топологічні особливості побудови D–тригерів з двома шарами металізації. Використання дворівневої металізації на відміну від однорівневої допускає деяку «свободу» при проектуванні топології осередки D–тригера як в плані оптимізації площі осередку, так і внутрішніх міжз’єднань .

На рис. 6.23 показаний одноктакний динамічний D–тригер (так як використовуються два динамічних ключа–інвертора: T5–T8–вхідний ключ–інвертор, T9–T12–ключ–інвертор в зворотного зв'язку), тактуемого одним синхросигналом GB і адаптований до системи з однофазної синхронізацією. Використовуються 2–мкм проектні норми. Активним є сигнал низького рівня синхронізації. Для цього в схему введені додаткові інвертори. При наявності логічного нуля на вході GB тригер пропускає сигнал з входу D на вихід Q. У цьому випадку ключі транзистори T6, T7 відкриті (мають низький опір), а ключі T10, T11 закриті (мають високий опір). При наявності логічної одиниці на вході GB транзистор знаходиться в режимі зберігання інформаційного сигналу D. Ключами T6, T7 інформаційний вхід D надійно відключений від тригера.

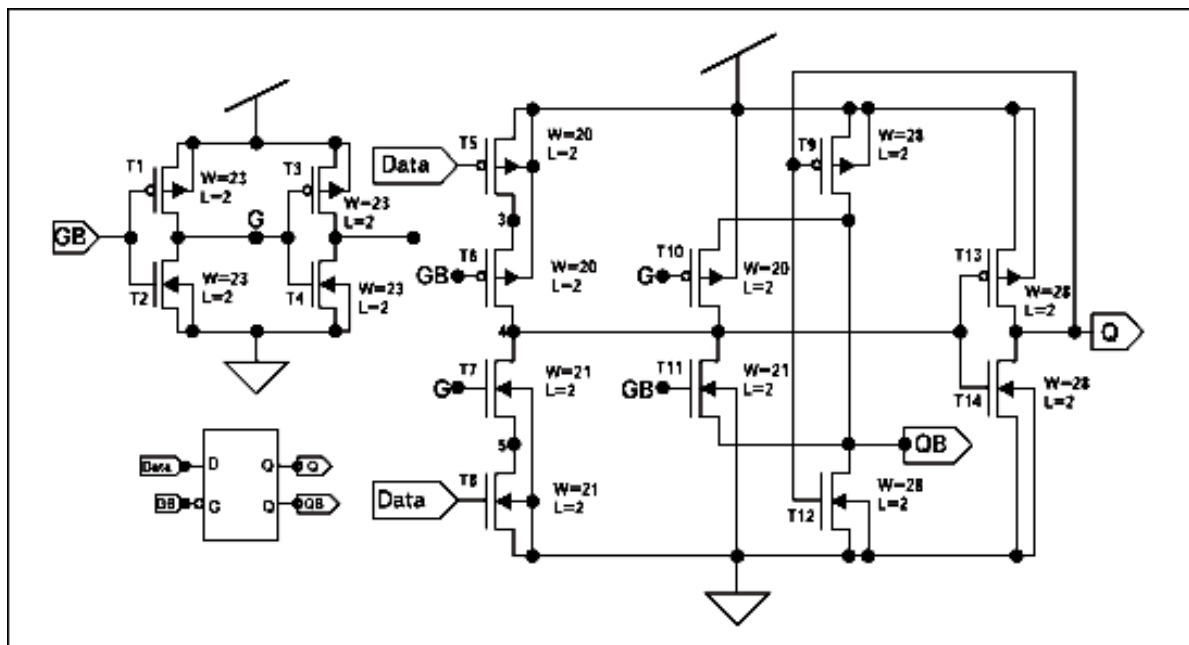


Рисунок 6.23 – Електрична схема динамічного одноктакного D–тригера, тактуемого рівнем синхросигналу в схемотехнічному редакторі SEdit САПР Tanner EDA

Повністю топологія динамічного D–тригера, тактуемого рівнем, показана на рис. 6.24. Дане топологічне креслення є базовим по відношенню до можливих модифікацій. На рис. 6.25 показана топологія цього ж триггера, але побудована за правилами MOSIS Scalable CMOS desing rules, для реалізації по КТВ фірми АМІ (КМОН, n –карман, 0,5 мкм ($\lambda = 2$) проектні норми, три рівня металізації).

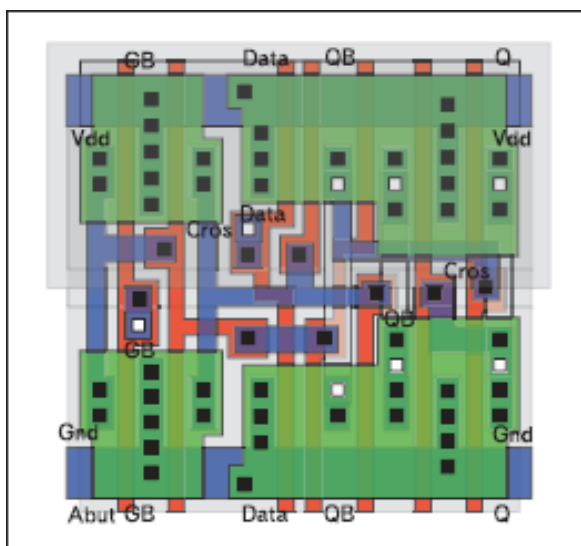


Рисунок 6.24 – Топологія динамічного D–тригера, тактуємого рівнем синхросигналу.

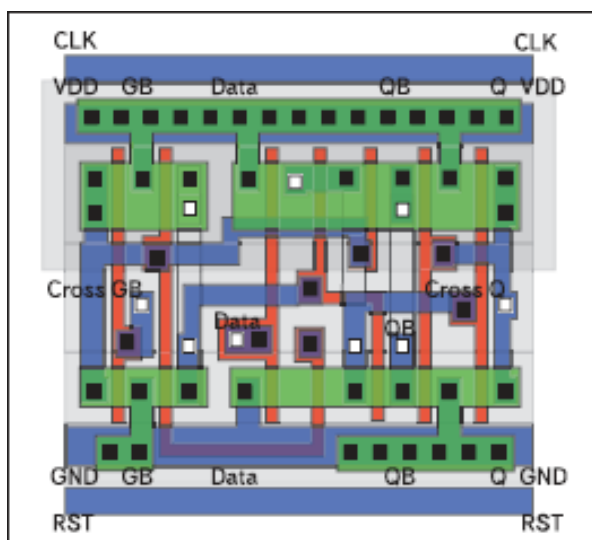


Рисунок 6.25 – Топологія динамічного D–тригера, тактуємого рівнем синхросигналу (0,5 мкм, MOSIS AMI).

Найбільш успішно працюють світові кремнієві фабрики, такі, наприклад, як TSMC, IBM, AMI, Orbit, що випускають субмікронні ВІС за правилами проектування MOSIS Scalable CMOS desing rules. Єдині правила проектування, підтримувані розробниками САПР ВІС Tanner і Cadence, дозволяють дизайнерам, які не мають власних виробництв, вирішити задачу виходу на ринок своїх виробів, забезпечити переносимість проектів серед провідних у світі виробників, а виробникам – збалансувати завантаження своїх потужностей.

6.6 Контрольні запитання і завдання

1. Назвіть основні принципи побудови САПР
2. Що таке проектування?
3. У чому полягають відмітні особливості автоматизованого проектування?
4. Назвіть складові частини процесу проектування.
5. У чому полягають процедури аналізу і синтезу?
6. Опишіть порядок процесу проектування.
7. Що таке рівні проектування?
8. Склад програмних продуктів Synopsys: Galaxy і Discovery.
9. Етапи проектування НВІС в середовищі Cadence.
10. Загальний маршрут проектування НВІС в середовищі Cadence.
11. Моделювання роботи і параметрів електронної системи.
12. З яких рівнів складається функціональне проектування?
13. З яких рівнів складається алгоритмічне проектування?
14. Що включає конструкторське проектування?
15. Процес проектування в платформі Vitioso.
16. Що включає технологічне проектування?
17. Функції топологічного редактора?
18. Функції програми контролю проектних норм?
19. Які конструкторсько–технологічні вимоги визначають рівень проекту?
20. Для чого існує проміжна форма представлення даних CIF2.0?
21. Що таке специфікація топологічного шару?
22. Що рекомендується робити для мінімізації споживаної потужності?
23. Які кроки необхідні для аналізу схеми?
24. Що таке пристінковий спейсер?

7. ЗАСТОСУВАННЯ ПРОГРАМОВАНИХ ПРИЛАДІВ ДЛЯ РОЗРОБКИ ПРОТОТИПІВ ІНТЕГРАЛЬНИХ СХЕМ

Протягом останніх років технології проектування електронних пристроїв зазнали кардинальних змін. Було розроблено мови типу VHDL та Verilog, які стали основними інструментами опису комп'ютерних апаратних засобів. Також створено низку потужних САПР НВІС, які підтримують їх розробку, починаючи з опису на названих мовах до створення кристалу. В той же час, завдяки досягненням у галузі інтегральної технології суттєво зріс рівень інтеграції мікросхем, і з'явилась можливість реалізації в них надзвичайно складних комп'ютерних пристроїв. У зв'язку з цим існуючі методи проектування комп'ютерних пристроїв, які передбачають проведення розробки від самого початку (постановки задачі) до реалізації стали неефективними, оскільки для створення електронного пристрою великої складності вони вимагають невиправдано багато часу, що негативно впливає на конкурентоспроможність створеного продукту.

Широке впровадження електроніки й автоматики в усі сфери людської діяльності, що спостерігається в даний час, пред'являє все більш жорсткі вимоги до виробів електронної техніки. Це пов'язано, з одного боку, зі зростанням важливості і складності розв'язуваних задач, а, з іншого боку, необхідністю поліпшення таких характеристик, як швидкодія, надійність, споживана потужність, габарити, вартість та інше. Існує підхід, який базується на використанні готового рішення з можливістю конфігурування під конкретну задачу. Основою такого підходу є створення базової моделі пристрою, яку можна конфігурувати, вибираючи значення тих чи інших параметрів. Ще одним підходом до зменшення часу проектування є такий, що базується на використанні мов програмування високого рівня для опису апаратних засобів. Використання такого підходу дозволяє спростити процес проектування і підняти його на рівень проектування програмного забезпечення. Такий підхід дозволяє одночасно отримати і апаратні, і програмні засоби для реалізації поставленої задачі.

Одним з шляхів вирішення даної задачі є широке використання програмувальних логічних інтегральних схем (ПЛІС - Programmable Logic Devices - PLDs). ПЛІС являють собою елементну базу, що мають гнучкість замовних ВІС і доступність традиційної жорсткої логіки. Головною відмінною властивістю ПЛІС, на відміну від "жорсткої" логіки, є можливість налаштування на виконання заданих функцій самим користувачем. Сучасні ПЛІС характеризуються низькою вартістю, високою швидкістю, значними функціональними можливостями, багаторазовістю перепрограмування, низькою споживаною потужністю й інше. При цьому час розробки на основі ПЛІС навіть досить складних проектів може складати усього кілька годин. Власно кажучи, розробка пристроїв на основі ПЛІС являє собою нову технологію проектування електронних систем, включаючи їх виготовлення і супроводження. Доказом перспективності нової елементної бази служить щорічна поява нових поколінь ПЛІС, а також постійно зростаючий обсяг випуску вже розроблених ПЛІС.

На даний момент існують традиційний та сучасний підходи (рис. 7.1,7.2) до проектування та розробки готових продуктів.



Рисунок 7.1 – Традиційний підхід до розробки нових виробів

Особливістю традиційного підходу є те, що процес виявлення недоліків функціонування або невідповідностей вимогам технічного завдання можливий лише після випуску дослідного зразка. Тобто неминучі помилки при розробці та проектуванні переходять з етапу на етап і виявляються тільки після понесених витрат часу та ресурсів на виготовлення дослідної партії.

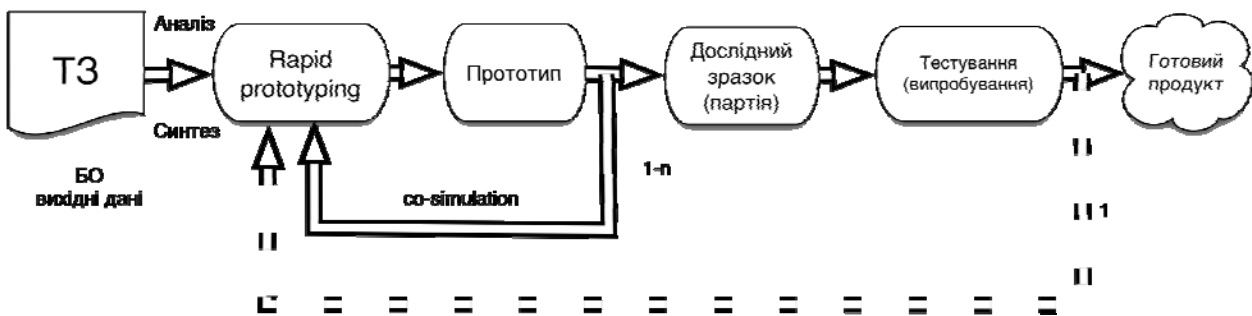


Рисунок 7.2 – Сучасний підхід до розробки нових виробів

Найсучаснішим напрямом в розробці спеціалізованих ІС є застосування нового класу інтегральних схем з програмованою користувачем структурою – *ASSP* (Application-specific standard product), що об'єднав в собі програмовані логічні і аналогові схеми.

Конфігурація *ASSP* схеми виконується споживачем, виробник в цьому процесі не бере участі і поставляє на ринок продукцію, придатну для багатьох покупців, що створюють апаратуру різного призначення. *ASSP* мають певною мірою дуальний характер: для споживача вони є спеціалізованими, а для промисловості — стандартними.

На відміну від *ASIC* для програмування *ASSP* не потрібна розробка спеціальних фотошаблонів з малюнками міжз'єднань, що вимагає великих витрат коштів і часу. Застосовуючи для цілей конфігурування програмовані логічні ін-

тегральні схеми (ПЛІС), можна виключити розробку шаблонів і порівняно простими способами одержати ефективні засоби побудови цифрових систем, що містять набір схем з необхідним функціонуванням.

Програмування структур спочатку було застосовано в програмованих логічних матрицях (ПЛМ), програмованій матричній логіці (ПМЛ) і базових матричних кристалах (БМК). Слідом за ними виникли нові класи більш складних ASSP, що продовжують лінії розвитку матричної логіки і базових матричних кристалів: CPLD і FPGA, відповідно. Потім були реалізовані ASSP комбінованої (змішаної) архітектури, що поєднували ознаки CPLD і FPGA. Пізніше вдалося розробити ASSP з аналоговими та аналого-цифровими елементами, які можна позначити як ПАІС (програмовані аналогові інтегральні схеми).

7.1 Розробка прототипу змішаної ІС на ПАІС

Сучасна апаратура обробки сигналів немислима без аналогової попередньої обробки, перетворення даних з сенсорів і формування керуючих напруг і струмів для виконавчих елементів. Аналогова електроніка займає в сучасних системах не менш важливе місце, ніж цифрова. Однак такі недоліки систем аналогової обробки, як складність, необхідність в налаштуванні і відносно велике число компонентів в порівнянні з цифровими рішеннями, змушували провідних виробників електронних компонентів протягом багатьох років розробляти універсальну однокристальну систему, що дозволяє програмно створювати різноманітні аналогові пристрої. У той же час рівень інтеграції аналогових схем поки ще не досяг аналогічних показників цифрових пристроїв. Значення ПЛІС при проектуванні цифрових схем не потребує додаткових коментарів, тому абсолютно зрозумілі намагання компаній-виробників елементної бази випустити подібний за призначенням і популярності компонент і для аналогової схемотехніки. У цьому розділі розглядається досить новий клас пристроїв - програмовані аналогові інтегральні схеми (ПАІС, в зарубіжній термінології FPAА, Field Programmable Analog Array).

Один з авторитетних виробників матричних структур – Lattice Semiconductor. До речі, саме вона почала вперше випускати ПЛІС з можливістю програмування в системі (без вилучення будь-якого компонента з друкованої плати) і вперше вжила відповідну аббревіатуру ISP. Тепер Lattice пропонує ПАІС з цією можливістю – сімейство ispPAC (In-System Programmable Analog Circuit).

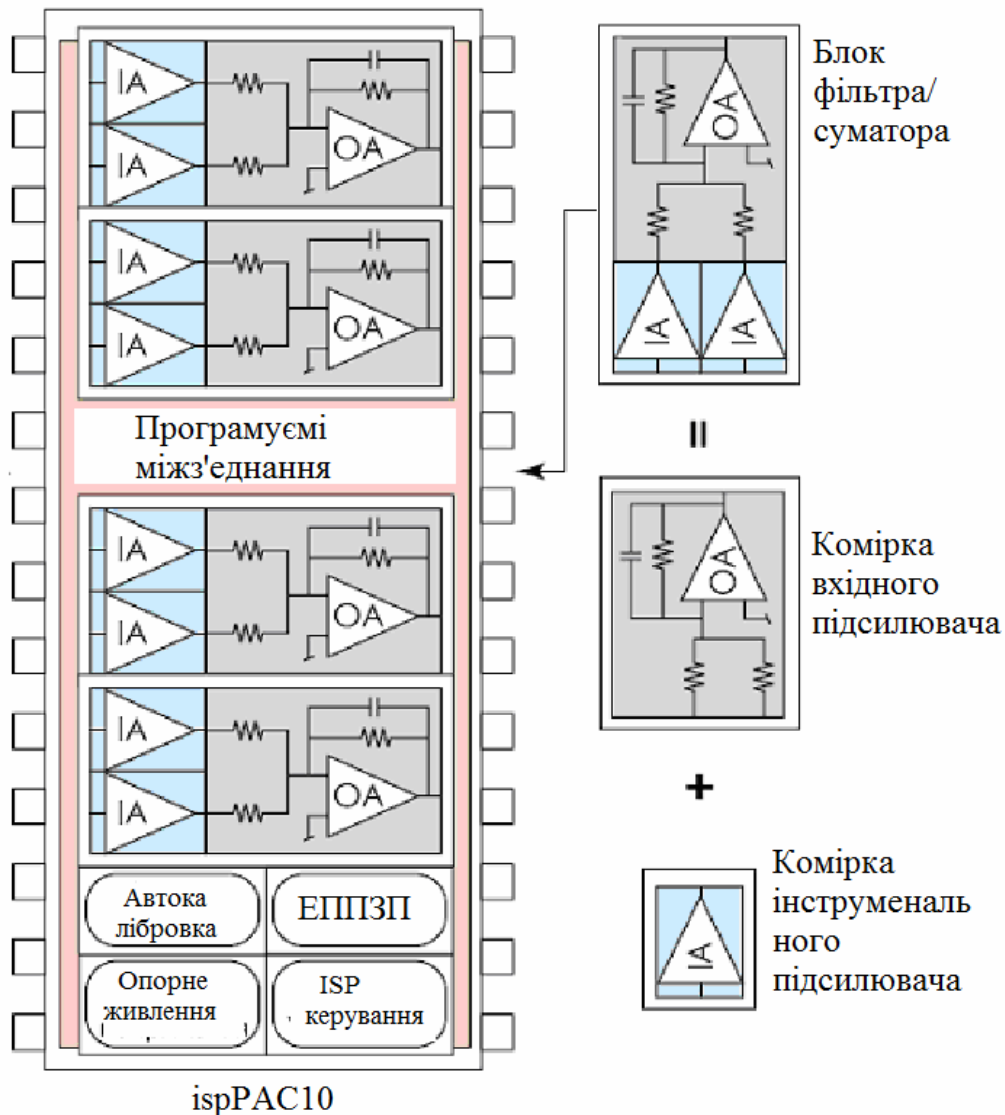


Рисунок 7.3 – Структура програмованих аналогових інтегральних схем ispPAC.

Закладена в цю серію архітектура (рис.7.3) ґрунтується на наступних базових функціональних комірках: інструментальний підсилювач, вихідний підсилювач (IA, OA), реалізований за схемою суматора/інтегратора, джерело опорної напруги (Reference, ДОН), 8-розрядний ЦАП, і здвоєний компаратор (CP). Аналогові входи і виходи осередків (крім ІОН) для підвищення динамічного діапазону оброблюваних сигналів виконані з диференціальної схемою. Два IA і один OA утворюють макрокомірки, звану PAC-блоком, в якій виходи IA з'єднані з входами OA. IspPAC10 має чотири такі макрокомірки, а ispPAC20 - дві. До складу ispPAC20 також входять осередки ЦАП і компараторів. У макрокомірці програмуються коефіцієнт посилення IA в діапазоні від -10 до +10 з кроком 1, величина ємності конденсатора зворотного зв'язку в OA (128 можливих значень) і включення/вимикання опору зворотного зв'язку в OA.

Засоби внутрішньої трасування (Analog Routing Pool) дозволяють виконати з'єднання між вхідними контактами мікросхеми, входами і виходами макрокомірок, виходом ЦАП і входами компараторів. Об'єднання декількох макрокомірок дозволяє будувати схеми перебудовуються активних фільтрів, засновані на використанні ланки інтегратора, на діапазон частот від 10 до 100 кГц.

Для підвищення точності по постійному струму передбачений режим автокалібровки, який виконується завжди при включенні живлення, а також при подачі фронту імпульсу на спеціальний цифровий вхід CAL мікросхеми. В процесі автокалібровки мінімізується напруга зсуву виходу макрокомірки з запрограмованими конкретними коефіцієнтами посилення в ній.

8-розрядний ЦАП допускає паралельне або послідовне завантаження. Сформована ним після подачі живлення вихідна напруга задається при програмуванні мікросхеми. Для компараторів допускається програмування включення/вимикання гистерезису їх характеристики.

Мікросхеми працюють з напругою живлення +5 В, тому робоча точка в мікросхемі зсувається на 2,5 В, що задається осередком ІОН. Є також можливість перепрограмування зміщення внутрішньої робочої точки конкретного РАС-блоку на величину напруги, поданого на спеціальний аналоговий вхід CMVIN.

Основні параметри ispPAC. Типове значення наведеного до входу температурного дрейфу диференціального вихідної напруги зміщення макрокомірки згідно специфікації дорівнює 50 мкВ/°С (другий вхід макрокомірки не використовується). Діапазон зміни вихідного напруги на окремому виході мікросхеми становить 1...4 В при навантаженні 300 Ом між диференціальними виходами, тобто розмах напруги між ними дорівнює 6 В. В разі використання АЦП з диференціальним входом і загальним з ispPAC живленням +5 В можливе досягнення повного використання діапазону вхідних сигналів АЦП до 5 В. Це дасть значення одиниці молодшого розряду (ОМР) в 1,25 мВ. Звідси видно, що існують значні обмеження зверху на коефіцієнт посилення в макрокомірці з урахуванням діапазону робочих температур. Експлуатаційний діапазон температур мікросхем дорівнює -40 ... + 85 °С.

Періодичне проведення автокалібровки, яка триває 100 мс, може поліпшити ситуацію, якщо алгоритм роботи конкретного пристрою допускає такі тимчасові паузи. Автокалібровка гарантує диференціальну напругу зсуву виходу макрокомірки не більше 1 мВ згідно специфікації. Треба думати, що мається на увазі, як зазвичай, ± 1 мВ. Це означає, що періодичне проведення автокалібровки може привести до коливання молодшого розряду АЦП. Схема ж, в якій послідовно з'єднані макрокомірки з посиленням в останній більше одиниці, безумовно не відповідає точності 12-розрядного АЦП за постійним струмом.

Типове значення коефіцієнта гармонік для диференціального виходу макрокомірки при одиничному посиленні -88 дБ (нормально -74 дБ) на 10 кГц і -67 дБ (нормально -62 дБ) на 100 кГц.

Конфігурація мікросхеми здійснюється через JTAG-інтерфейс за допомогою завантажувального кабелю від паралельного порту PC або наявного в системі мікроконтролера.

Проектування пристроїв серії ispPAC підтримується САПР PAC-Designer. Цей пакет забезпечує в графічному вигляді редагування схеми шляхом проведення конкретних внутрішніх між'єднань і задання величин програмованих параметрів, її моделювання (на жаль, поки тільки в частотній області), створення конфігураційного файлу і його завантаження.

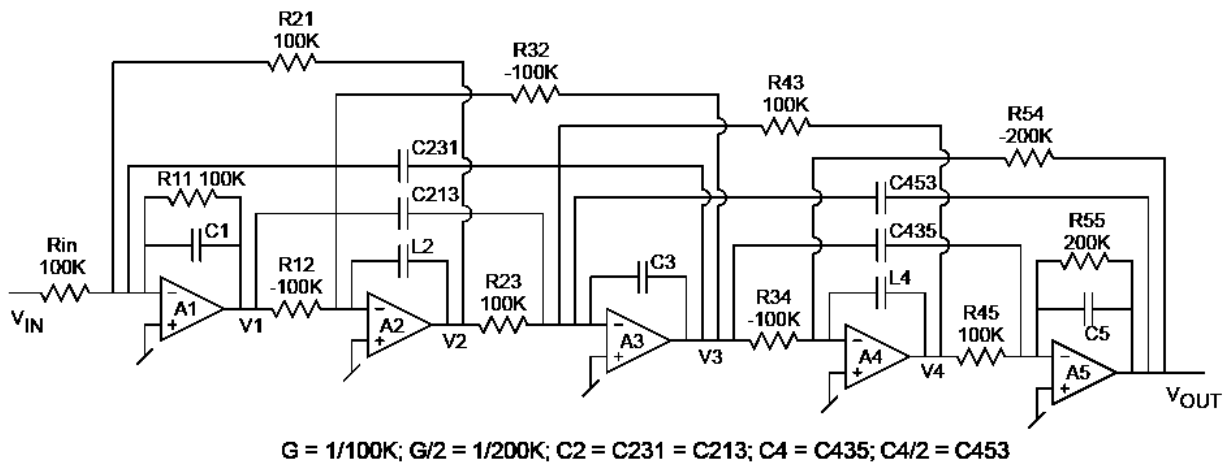


Рисунок 7.4 – Структура фільтра, реалізованого на ПАІС.

Трасування і встановлення значень параметрів виконують вручну. Але в системі також є бібліотека деяких готових рішень, в тому числі і для побудови активних фільтрів.

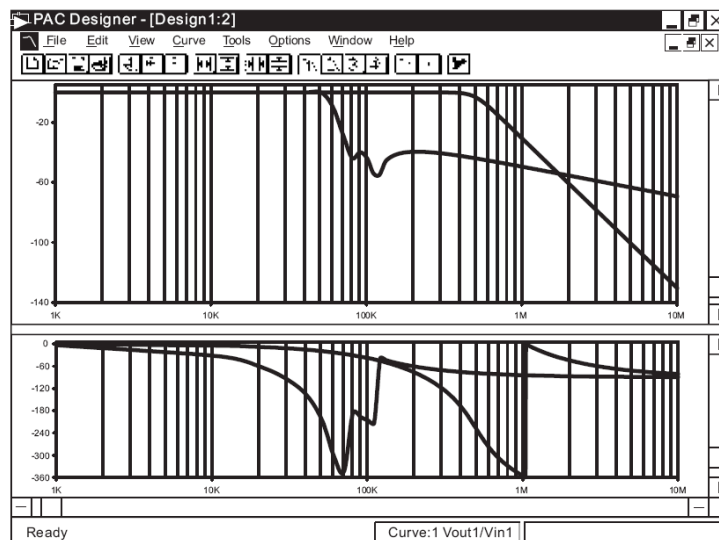


Рисунок 7.5 – Моделювання роботи фільтра, реалізованого в САПР PAC Designer.

Процес проектування нескладний, і результати виходять досить швидко. Демонстраційну версію PASC-Designer (обмеження якої полягає у забороні режиму виконання конфігурації мікросхеми) можна списати з сайту фірми. З її допомогою можна легко розібратися в можливостях схем і оцінити їх придатність для конкретного завдання. Приклад схеми, реалізованої на ПАІС приведено на рис.7.4, результати симуляції роботи фільтра – на рис.7.5.

Ще один відомий виробник ПАІС - компанія Anadigm. Відмітна особливість ПАІС AN10E40 полягає в тому, що вони являють собою матричну структуру (4 x 5 комірок), причому кожна з комірок виконана на ОУ з перемикаємими конденсаторами (switched capacitor). Архітектура ПАІС AN10E40 компанії Anadigm представлена на рис.7.6.

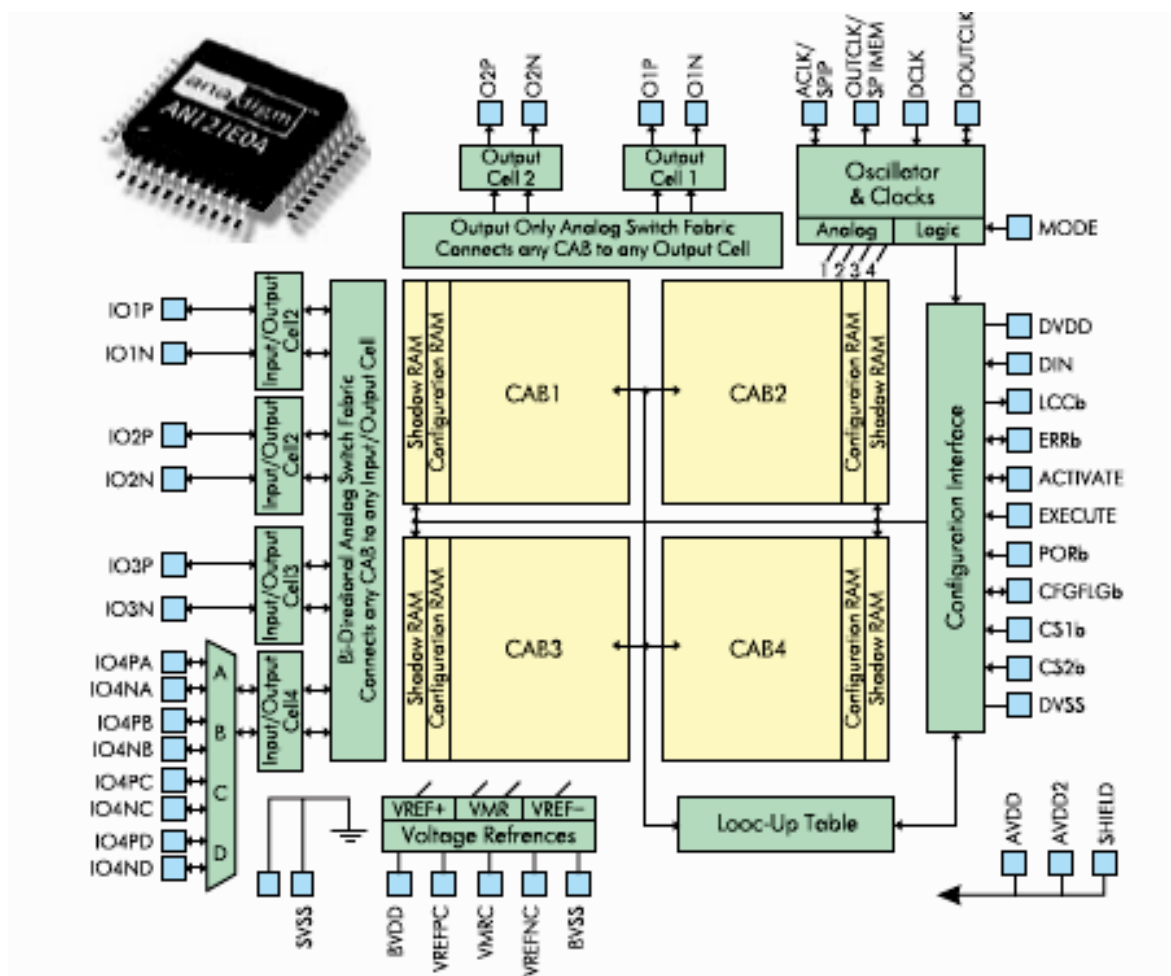


Рисунок 7.6 – Архітектура ПАІС AN10E40 компанії Anadigm.

Основу ПАІС складають конфігуруєми аналогові блоки (КАБ), які містять набори елементів для реалізації стандартних пристроїв – операційних підсилювачів, компараторів, джерел опорної напруги, АЦП, а також так звану таблицю коефіцієнтів передачі (ТКП) і спеціальний інтерфейс. У кожному КАБ міститься ряд аналогових ключів – статичних і динамічних. Статичні ключі визначають загальні схеми комутації блоків, значення ємності конденсаторів, підключення

входів. Динамічні ключі управляються вхідними і тактовими сигналами, а також логікою регістра послідовного наближення (SAR). Незалежно від призначення, всі ключі управляються за допомогою конфігураційного статичного ОЗП.

При включенні живлення ПАІС ОЗП очищається, і після цього за допомогою конфігураційної логіки дані з зовнішнього ЕППЗП завантажуються в тіньовий ОЗП, а з нього копіюються в конфігураційний ОЗП. Під час роботи ПАІС тіньовий ОЗП може перезавантажуватися новими даними, які згодом використовуються для перепрограмування структури ПАІС. У цьому випадку вміст тіньового ОЗП копіюється в конфігураційну пам'ять, і з приходом чергового такту синхронізації мікросхема починає працювати в новій конфігурації, без переривання процесу обробки сигналу.

Основу комірки КАБ складають два операційних підсилювача і компаратор. Вхідні аналогові сигнали направляються до матриці першої групи вхідних аналогових ключів, на яку виводяться зворотні зв'язки операційних підсилювачів і компаратора. Друга матриця ключів призначена для організації внутрішньої топології і виконує відповідні внутрішні комутації кіл.

КАБ містить також групу з восьми програмованих конденсаторів, кожний з яких може мати відносне значення ємності від 0 до 255 одиниць. Для елементів КАМ важливо не абсолютне значення ємності, а співвідношення між ними, яке втримується з точністю не гірше 0,1%. Обробка сигналу всередині КАБ проводиться схемами на комутуємих конденсаторах.

При ініціалізації логіки SAR для реалізації восьмирозрядного АЦП використовується внутрішній компаратор КАБ. До АЦП може підключатися ТКП для реалізації нелінійних аналогових функцій, таких як множення, стиск, лінеаризація, автоматичне регулювання підсилення. КАБ включає в себе всі необхідні компоненти для створення восьмирозрядного АЦП послідовного наближення. Для його роботи потрібні два тактових сигналу з співвідношенням частот 1:16. НЧ-сигнал, званий CLOCKS, визначає швидкість перетворення і не повинен перевищувати 250 кГц. ВЧ-сигнал, званий CLOCKB, використовується безпосередньо для перетворення (тактова синхронізація АЦП). Обидва сигнали формуються схемою розподілу основної тактової частоти.

Результат перетворення представляється у вигляді величини (7 біт) зі знаком (1 біт). Вхідна напруга АЦП має бути обмежена значенням $\pm 1,5$ В відносно системного нуля (опорної напруги V_{MR}). Результат перетворення може подаватися на адресний порт ТКП або повертатися назад в КАБ, на базі якого створено АЦП. У більшості випадків АЦП використовується як генератор адрес ТКП. Конфігураційна схема зчитує вміст таблиці, що знаходиться за цією адресою, і завантажує його в відповідну область тіньового ОЗП. Типове використання спільної роботи АЦП і ТКП – лінеаризація і калібрування вхідного сигналу. Сигнал подається через вхідну комірку в КАБ, в якому налаштований підсилювач з функцією лінеаризації, і перетворюється за допомогою АЦП в восьмирозрядний код. Результат перетворення надходить на адресну шину таблиці, в якій зберігається масив значень функції лінеаризації. При цьому встановлюється-

ся поточний коефіцієнт передачі підсилювача, необхідний для здійснення лінеаризації. Якщо АЦП використовується як самостійний пристрій, результат перетворення повертається назад в конфігураційну пам'ять КАБ. На виході АЦП формуються послідовний потік даних і синхросигнал, які можна вивести через вихідні комірки, сконфігуровані як цифрові виходи.

Вхідні аналогові сигнали подаються в КАБ через конфігуровані двонаправлені I/O комірки. Комірки I/O Cell1–I/O Cell3 передають сигнал безпосередньо в один з блоків. Комірка I/O Cell4 містить спеціальний мультиплексор, який дозволяє підключати до чотирьох диференційних або несиметричних вхідних сигналів або навантажень (в режимі виходів). У кожену вхідну комірку I/O Cell входить набір ресурсів, що дозволяють підключати зовнішні приймачі та джерела сигналів без додаткових компонентів. Для забезпечення максимальної точності всі сигнали усередині комірок обробляються в повністю диференційній формі. Вхід/вихід кожної комірки також є диференційним. При необхідності комірка може бути налаштована в режимі несиметричного входу,

Для багатьох застосувань, таких як обробка сигналів постійного струму, іноді необхідно використовувати на вході фільтр НЧ для очищення сигналу від перешкод. Вхідна частина комірки I/O Cell містить ФНЧ другого порядку з програмованою частотою зрізу. При його використанні рекомендується вибирати співвідношення частоти зрізу і максимальної частоти сигналу не більше 30. Іншим унікальним ресурсом I/O Cell є наявність підсилювачів з програмованим коефіцієнтом підсилення і прецизійного, зі стабілізацією, зсуву напруги. Останній дуже корисний при необхідності посилення слабого НЧ-сигналу. Значення його підсилення може бути встановлено з ряду 2^n , де $n = 4 - 7$. Підсилювач з програмованим коефіцієнтом підсилення здатний також виконувати функцію вхідного буфера. Сигнал з підсилювачів може подаватися в КАБ як безпосередньо, так і через згладжуючий ФНЧ. Несиметричний вхідний сигнал також може безпосередньо подаватися на підсилювач або ФНЧ, що забезпечує його перетворення в диференціальну форму всередині комірки. Необхідно відзначити, що перераховані ресурси можуть використовуватися тільки при конфігурації комірки в режимі входу.

Вихідні сигнали можуть бути виведені безпосередньо через спеціальні вихідні комірки Output Cell1 і Output Cell2. Так само, як і вхідні I/O Cell, вихідні комірки Output Cell розроблені з урахуванням забезпечення максимальної точності обробки і дозволяють виводити з ПАІС як диференціальні аналогові сигнали, так і логічні рівні. Кожна вихідна комірка також містить програмований ФНЧ. Після нього стоять перетворювачі диференціального сигналу в несиметричні, які зміщені щодо нуля на значення VMR. У деяких випадках потрібно вивести сигнал через Output Cell, минаючи фільтр і вихідні буфери. Це можна здійснити з конфігурованої відповідним чином комірки.

Синхронізація в ПАІС проводиться за допомогою зовнішнього джерела або від власного тактового кварцового генератора. Тактова частота логіки формується на виводі DCLK, до якого можна підключити як зовнішній кварцовий резонатор, так і генератор з частотою до 40 МГц. Всі аналогові сигнали фор-

муються від ACLK або DCLK. Який з тактових сигналів буде використовуватися в якості основного, визначається конфігурацією виробу. Схемотехніка системи генераторів гарантує повну синхронність всіх похідних сигналів і основної тактової частоти. Це особливо важливо, коли використовується нарощування продуктивності схеми за рахунок спільної роботи декількох ПАІС.

Режими роботи КАБ, значення тактових частот, напрямки передачі сигналів, призначення та конфігурація I/O Cell і Output Cell зберігаються в конфігураційному ОЗП. Все КАБ мають доступ до загальної області пам'яті об'ємом 256 байт. У ній зберігається інформація о передавальних характеристиках пристроїв, необхідних для реалізації таких функцій, як стиснення динамічного діапазону, лінеаризація сигналів датчиків, формування сигналів довільної форми, керована фільтрація. Її восьмизарядний адресний вхід може підключатися до виходу АЦП або ТКП – лічильнику. У цьому випадку кожне нове значення лічильника являє собою адресу в ТКП. Дані, що знаходяться за цією адресою, зчитуються з таблиці і записуються в тіньовий ОЗП, де зберігається інформація про конфігурацію відповідного аналогового компонента. Після завантаження в конфігураційне ОЗП вони використовуються для формування передавальної функції пристрою. Синхронізація ТКП – лічильника здійснюється від одного з чотирьох аналогових тактових генераторів. Завантаження даних ТКП з тіньового в конфігураційне ОЗП проводиться з надходженням даних конфігурації, а також по сигналу від внутрішнього детектора перетину нуля, компаратора або зовнішнього сигналу EXECUTE. Комбінуючи конфігурації ТКП/КАБ, можна здійснювати модуляцію стандартних сигналів або формувати сигнали довільної форми. компаратора або зовнішнього сигналу EXECUTE. Генератор опорної напруги формує сигнали для кожного з блоків і має зовнішні виходи для підключення фільтруючих конденсаторів.

Завантаження даних із зовнішнього ПЗП. Найбільш простий спосіб конфігурації ПАІС – завантаження даних конфігурації безпосередньо з зовнішнього ПЗП. ПАІС безпосередньо сумісні з 25-ю серією SPI EPROM і 17-ю серією Serial EPROM (в тому числі FPGA EPROM).

Після подачі напруги живлення на мікросхему автоматично генерується внутрішній імпульс скидання, який перезавантажує конфігураційну пам'ять і запускає процес ініціалізації ПАІС. Якщо при цьому на входах CS1b і CS2b присутній низький логічний рівень, мікросхема формує необхідні сигнали для читання даних з ПЗП відповідного типу. Після завершення завантаження даних ПАІС автоматично активує аналогову структуру. По завершенні процесу ініціалізації ПАІС на виведення CFGFLGb з'являється логічний нуль (активний рівень), який видається на вхід CS (Chip Select) SPI EPROM. На виводах OUTCLK/SPIMEM з'являється послідовний потік даних (16-розрядний стартовий адресу, значення завжди 0x0000), призначений для установки SPI EPROM в режим зчитування. Через певний інтервал часу ПАІС переходить в режим прийому даних конфігурації по входу DIN, які починають завантажуватися в ОЗП після прийому байта синхронізації. Таким чином, пристрій забезпечує стандартний протокол зчитування даних з SPI EPROM. Завантаження даних в ПАІС

може бути здійснена з Serial EPROM 17-ї серії (Xilinx XC1700E, Altera ECP1, ECP2 і т.п.), яка зазвичай використовується в якості конфігураційної пам'яті ПЛІС. Аналогічно попередньому випадку, після генерації внутрішнього імпульсу скидання на виведення ACTIVATE присутній логічний нуль, а ERRb переходить в третій стан, після чого здійснюється по тактове завантаження даних конфігурації в ПАІС. Основна відмінність при використанні FPGA EPROM від SPI EPROM в тому, що формується ПАІС 16-розрядний стартовий адресу в цьому випадку не використовується, а дані із зовнішньої пам'яті в ПАІС починають надходити раніше, ніж вона готова їх прийняти. Тому конфігураційні дані повинні мати префікс з чотирьох незначущих байтів перед байтом синхронізації і значущою інформацією. САПР AnadigmDesigner2 автоматично додає потрібний префікс до даних конфігурації. Процес конфігурації завершується через кілька тактів синхронізації після завантаження останнього (незначущого) байта, який також додається до конфігураційним даними автоматично при верифікації проекту. Завантаження конфігурації в систему з кількох ПАІС може здійснюватися із загальної зовнішньої пам'яті (FPGA або SPI EPROM). На виводи CS1b і CS2b першої ПАІС в ланцюжку завжди видається низький логічний рівень, тому після включення живлення вона відразу ж починає процес конфігурації. Решта мікросхеми в цей момент знаходяться в режимі очікування, оскільки на їх входах CS1b присутній високий логічний рівень. Після того як перша ПАІС закінчить завантаження конфігурації, її вихід LCCb перейде в стан логічного нуля, що дозволяє початок конфігурації наступної за нею мікросхеми. Аналогічно будуть послідовно сконфігуровані все ПАІС в ланцюзі. З'єднання разом всіх двонаправлених виводів ERRb гарантує, що якщо хоча б одна з мікросхем в процесі автоматичної інсталяції виявить помилку і перерве завантаження, все ПАІС в ланцюзі будуть перезавантажувались в режимі первинної конфігурації і процес повториться заново. Все двонаправлені виводи з відкритим стоком ACTIVATE також повинні бути пов'язані один з одним. Поки процес конфігурації кожної з мікросхем не завершений, на ACTIVATE присутній логічний нуль. Після того як остання ПАІС завершить завантаження даних, все виводи ACTIVATE виявляться в третьому стані, і з приходом чергового такту синхронізації будуть одночасно активовані аналогові структури всіх мікросхем. У додатках, що вимагають динамічного переконфігурування аналогової структури, необхідно використовувати зовнішній контролер, що дозволяє виконувати обчислення нових значень схеми, збирати ці значення в блок конфігураційних даних і передавати його в ПАІС. Гнучкий конфігураційний інтерфейс пристрою розроблений так, щоб приймати дані як від послідовних ПЗП, так і від будь-якого з трьох основних типів інтерфейсів мікроконтролерів і мікропроцесорів: синхронного послідовного інтерфейсу (SSI), послідовного периферійного інтерфейсу (SPI) або традиційної зовнішньої периферійної процесорної шини даних. З точки зору завантаження даних в ПАІС SPI і SSI еквівалентні. Єдина відмінність SSI і SPI складається в назві хостів, що визначають ці сигнали, а також в частотах, на яких хост може отримати доступ до них. Функціонально підключення обох інтерфейсів ідентично. Мікроконтролери з SPI-портами трохи

більше поширені, ніж з SSI-портами. В обох випадках ПАІС видає сигнал АСТІВАТЕ на універсальний вивід GPIО мікроконтролера для індикації успішного завершення конфігурації.

Засоби розробки ПАІС Anadigm. Для розробки проектів на базі ПАІС компанія Anadigm надає спеціалізовану програмну середу Anadigm DesignerT2. Її основу складає бібліотека модулів (КАМ), кожен з яких може використовуватися для виконання широкого кола аналогових функцій шляхом завдання відповідних параметрів. Anadigm DesignerT2 включає в себе функціональний симулятор, який дозволяє налагодити пристрій без програмування мікросхеми. Програмне середовище відрізняє простий і дуже зручний інтерфейс (рис.7.7).

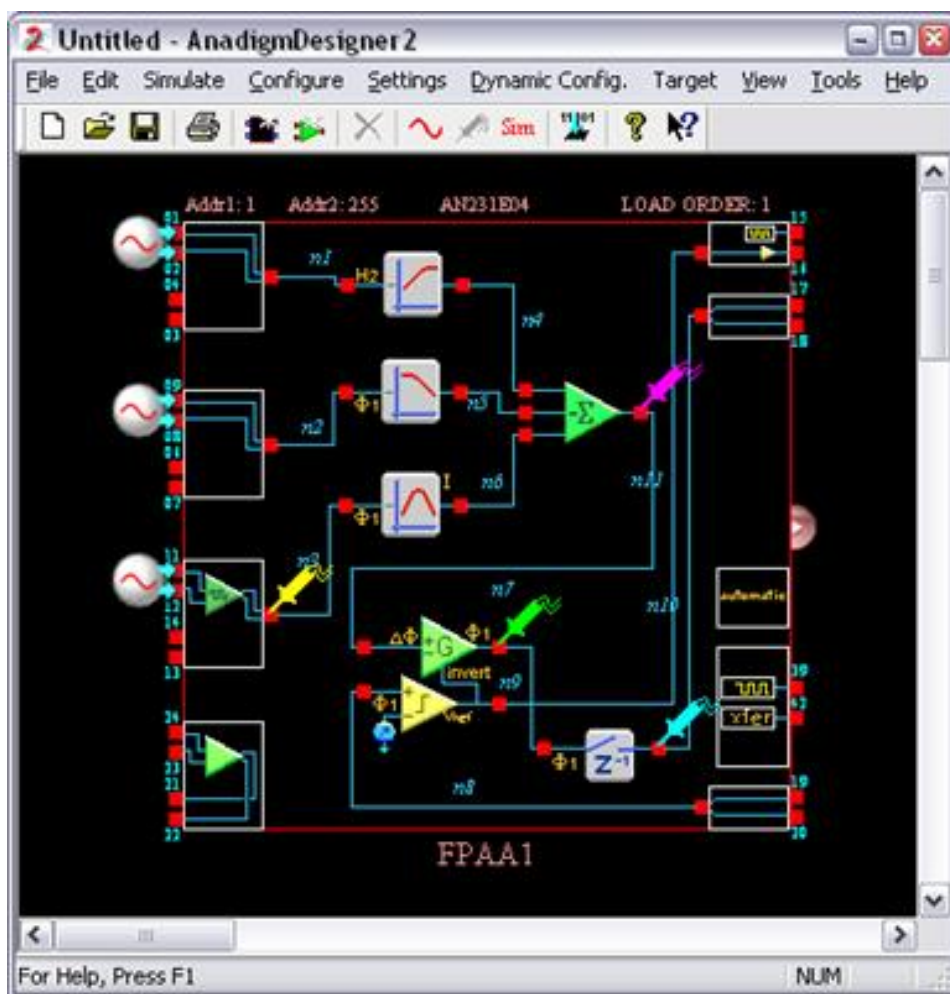


Рисунок 7.7 – Спеціалізоване програмне середовище Anadigm DesignerT2.

Навіть якщо користувач не є фахівцем в області аналогової схемотехніки, він може швидко розробити необхідний пристрій, налагодити його, переглянути всі режими і сигнали за допомогою чотирьохканального віртуального осцилографа і завантажити отриману конфігурацію в ПАІС (рис.7.8). Додатково Anadigm DesignerT2 включає в себе системи автоматизованого проектування пропорційно/інтегрально/диференційних регуляторів і фільтрів. Ці програмні продукти дозволяють максимально автоматизувати процес розробки і оптимі-

зувати витрати ресурсів ПАІС при синтезі зазначених пристроїв. У разі розробки проекту з динамічно змінною конфігурацією Anadigm DesignerT2 автоматично формує код, що дозволяє задавати необхідні аналогові функції безпосередньо з керуючого мікропроцесора або мікроконтролера.

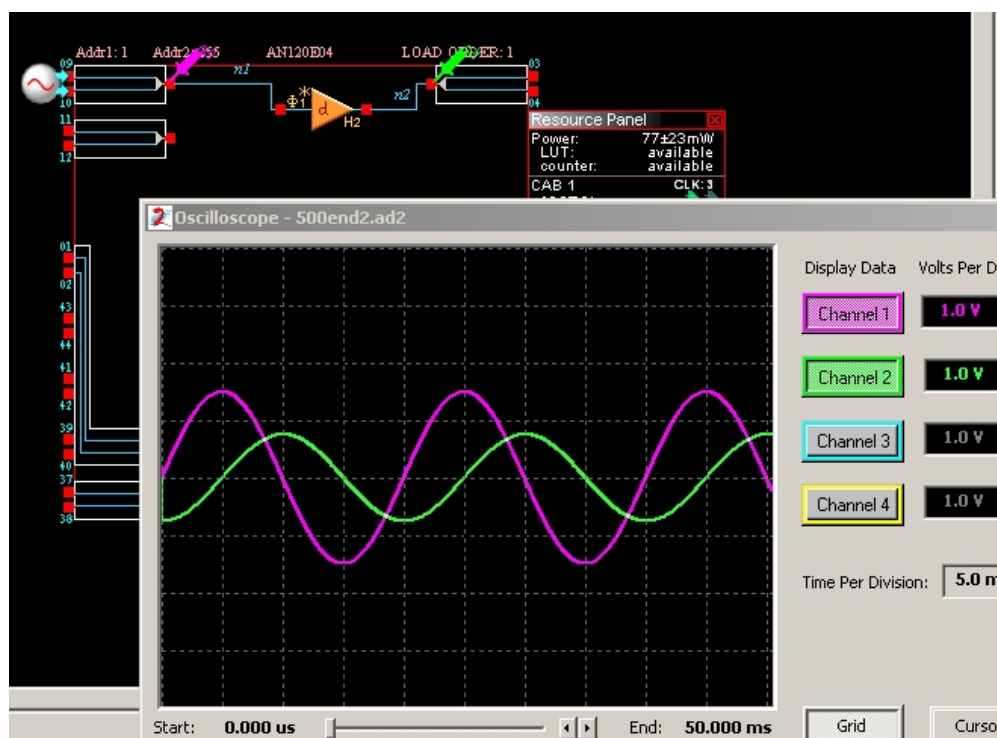


Рисунок 7.8 – Результати розробки і моделювання проекту в САПР Anadigm DesignerT2.

Для розробки і налагодження Anadigm пропонує комплект, який дозволяє випробувати весь спектр можливостей ПАІС. Області застосування ПАІС Anadigm – створення аналогових пристроїв в частотному діапазоні від постійного струму до 2 МГц, однак у ряді випадків верхня частота обмежується 400 кГц. Тому серед основних областей застосування можна виділити наступні: обробка сигналів датчиків, аналогові схеми управління, комплексна фільтрація, інтерфейси і підсилювачі сигналів фотодіодів, перетворювачі напруга/струм і струм/напруга, обробка і фільтрація аудіосигналів, обробка над низько частотних аналогових процесів, динамічні еквалайзери, стиснення і розширення динамічного діапазону сигналу, частотні модулятори, генератори сигналів довільної форми, прецизійні детектори, перетворювачі RMS/DC, аналогові у множини, тональні генератори і багато інших пристроїв для систем промислової автоматики, медичної, контрольно-вимірювальної і побутової апаратури.

Програма Freeze Frame Для серійного виробництва Anadigm пропонує унікальну послугу – виготовлення замовлених мікросхем на базі ПАІС. Вироби Freeze Frame мають таку ж архітектуру, що і програмовані схеми, оптимізовану для виготовлення спеціалізованих аналогових мікросхем (ASIC). Оскільки основні блоки ASIC за структурою не відрізняються від ПАІС, раніше розроблене

і налагоджене пристрій автоматично переноситься в ASIC. Програма Freeze Frame дозволяє знизити вартість мікросхем на 30–60%. Все, що для цього потрібно, – розробити і налагодити проект на базі ПАІС і відправити файл прошивки регіональному представнику. Через деякий час буде виготовлено необхідну кількість ASIC в тих же корпусах і повністю сумісних за висновками, що дозволяє паралельно виготовити друковані плати і підготувати виробництво.

Основне застосування ПАІС AN10E40 компанії Anadigm - реалізація фільтрів і лінійних пристроїв обробки сигналу.

Програмне забезпечення AnadigmDesigner поставляється безкоштовно і має зручні засоби введення проекту, моделювання та завантаження конфігурації.

Для синтезу фільтрів пакет опціонально може бути доповнений утилітою FilterDesigner. Кожен функціональний вузол вводиться за допомогою діалогу введення Ipmodule (рис. 7.9).

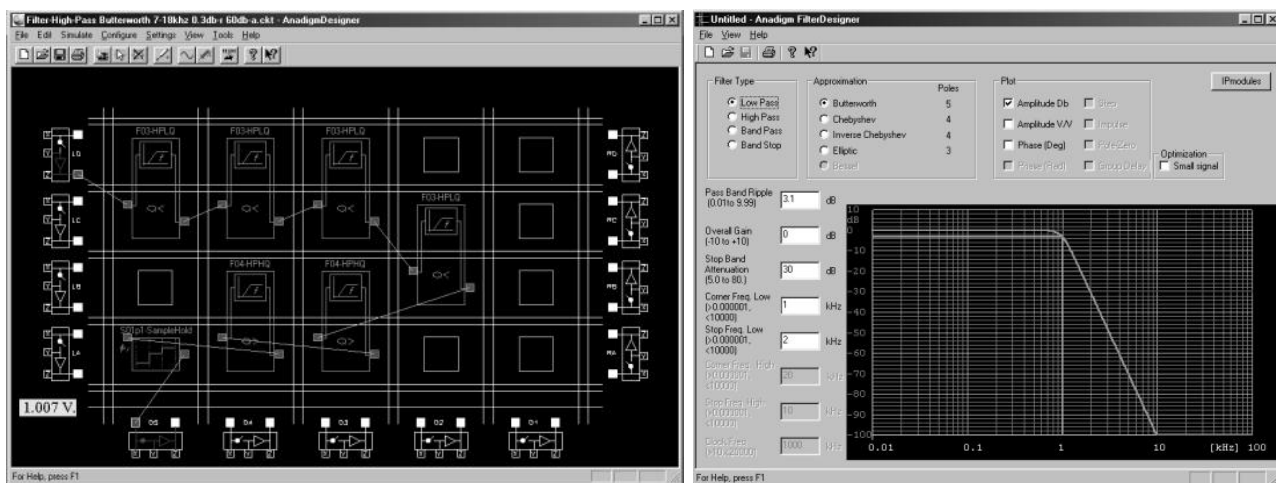


Рисунок 7.9 – Приклад проектування фільтра в САПР Anadigm DesignerT2 із застосуванням FilterDesigner.

З її допомогою можна створити Ipmodule фільтра з необхідними частотними параметрами, апроксимацією і т.п. Як можна бачити, утиліта дозволяє провести повне моделювання фільтра, задати його характеристики.

7.2 Приклад розробки прототипу цифрової ІС на ПЛІС

Сучасна технологія, що отримала назву технології швидкого прототипування, дозволяє отримувати прототипи, на яких вже можливо виконувати пошук різного роду помилок функціонування ще до виготовлення дослідних зразків.

Істотною перешкодою широкого практичного використання ПЛІС була відсутність ефективних методів синтезу. Справа в тому, що в основу архітектури сучасних ПЛІС покладена структура програмувальних логічних матриць

(ПЛІМ — Programmable Array Logics — PALs), що являє собою пари матриць: І й АБО, у якій програмується матриця І, а матриця АБО має фіксоване положення. Методи й алгоритми синтезу на такій структурі одержали назву дворівневого синтезу і бурхливо розвивалися в 80-х роках. З часом інтерес дослідників на багато років залучив багаторівневий синтез, використовуваний при проектуванні цифрових систем на основі FPGA (Field Programmable Gate Array).

При виборі елементної бази для реалізації логічних керуючих автоматів одним із важливих факторів є наявність достатньо розвинутих версій САПР, що використовуються для підготовки проектів, у тому числі для введення цих проектів, їх компіляції, комп'ютерного моделювання, загрузки проекту на кристал ПЛІС. Програмні продукти фірм Xilinx та Altera на сьогоднішній день є найбільш поширеними САПР для проектування цифрових пристроїв на ПЛІС.

Для скорочення терміну створення проектів ІС застосовують засоби розробки прототипів із застосуванням програмованої логіки. Даний розділ присвячений розгляду процедури розробки проекту цифрової ІС на ПЛІС.

Для цього потрібен комплекс, що складається з IBM-PC сумісного комп'ютера із установленим пакетом САПР ПЛІС MAX+Plus II, програматора типу Byte Blaster MV і макета із установленою інтегрованою схемою програмованої логіки й периферійних пристроїв відображення, призначених для візуалізації роботи проектованої цифрової схеми.

Порядок розробки прототипу. Запустити програму MAX+Plus II. Ознайомитися з повним списком додатків, що входять до складу САПР.

Дані додатки функціонують під керуванням програми Manager. Запуск додатку менеджера проектів здійснюється натисканням відповідної кнопки меню. Вид вікна Manager з відкритим списком додатків наведений на рис. 7.10.

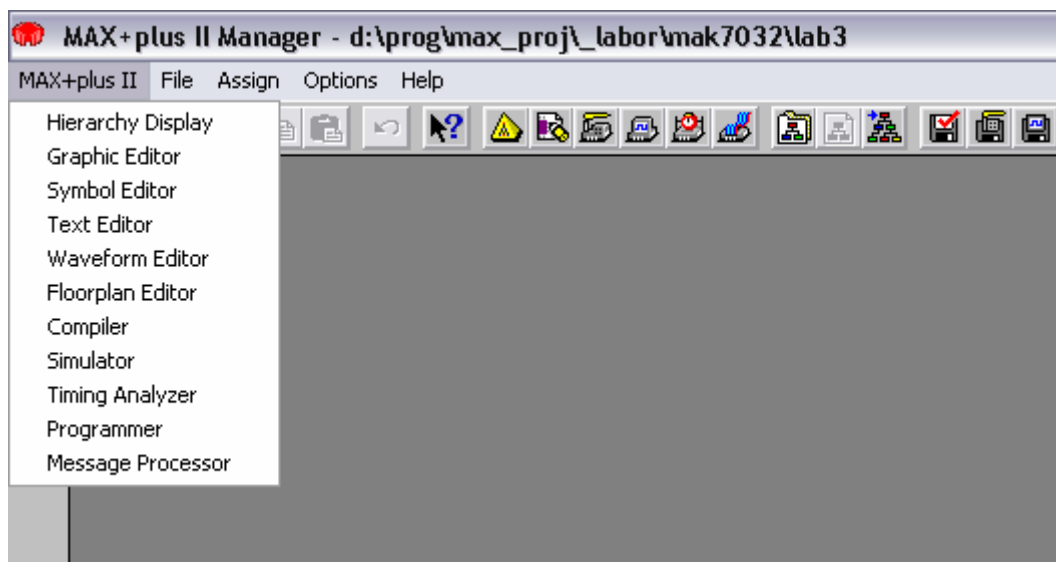


Рисунок 7.10 – Вид вікна Manager з відкритим списком додатків

Проект у системі MAX+Plus II може бути простим, ієрархічним (тобто вертикально– орієнтованим) і складатися з набору модулів. Кожен модуль міс-

тять опис частини (або всього) проекту або схеми. Форма опису проекту може бути різною: графічне подання принципової схеми, текст на мовах AHDL/VHDL/ Verilog, часові діаграми функціонування пристрою.

Вихідні модулі проекту створюються за допомогою додатків Graphic Editor (графічний редактор), Text Editor (текстовий редактор), Waveform Editor (сигнальний, або часовий редактор). Будь який створений модуль (текстовий, сигнальний або схемний файл) за допомогою редактора символів (Symbol Editor) може бути представлений у графічному вигляді. Далі ці символи використовуються при створенні ієрархічного проекту.

При створенні графічних модулів (тобто при введенні проекту в графічному виді) зручно використати бібліотеки примітивів (primitives), макрофункцій (macro function) і стандартних компонентів 74 серії (аналог серії K155).

Існує функція імпорту файлів із системи ORCAD (VHDL).

Додаток Simulator здійснює перевірку (моделювання) функціонування спроектованого пристрою на відповідність правилам логіки й фірми виготовлювача.

За допомогою додатка Compiler (компілятор) здійснюється обробка вихідних даних: верифікація, трансляція, розміщення, поділ і трасування схеми на кристалі ПЛІС, а також генерація файлу програмування.

За допомогою додатка Floor Plan Editor (редактор фізичного розміщення) можна переглянути зв'язки логічних елементів (комірок, макрокомірок, логічних блоків) на кристалі ПЛІС і при необхідності зробити коректування розміщення й призначення виводів відповідно до вимог розроблювача.

Завершальний етап – програмування ПЛІС, здійснюється за допомогою додатка Programmer. При цьому варто звернути увагу на послідовність дій з програматором.

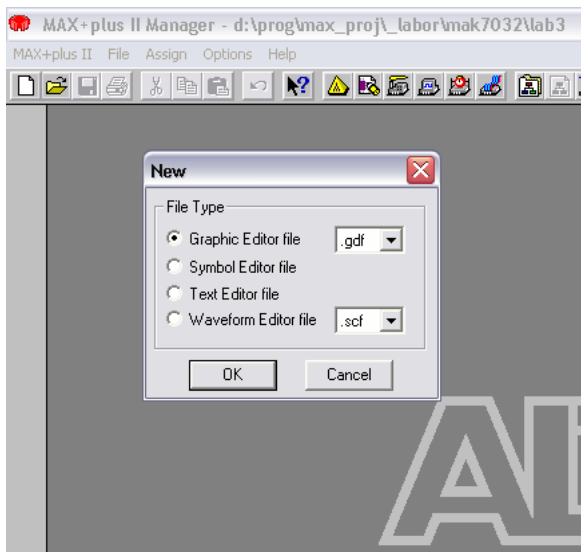
Графічне введення схеми.

1. У меню Manager вибрати програму Graphic Editor. З'являється вікно з ім'ям Untitled 1. Роботу також можна почати командою New (рис. 7.11а).

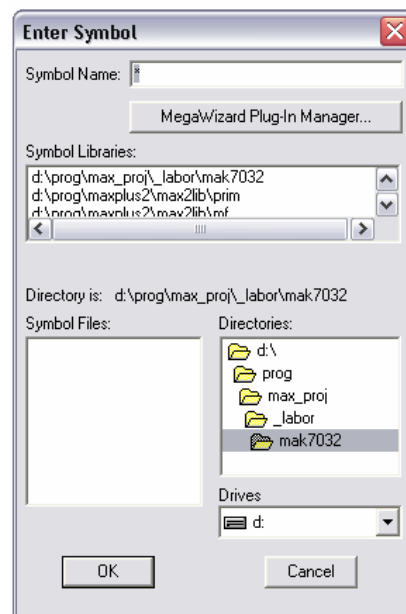
2. Привласнити ім'я файлу з розширенням .gdf (Graphic Design File). Команда File / Save As'... й у рядку File Name укажіть ім'я, наприклад, Lab1. gdf, уведіть ОК. Рекомендується розміщати файли директорії Work. Далі в меню File/Project виконати команду Set Project to Current File. (При запуску файлу нового проекту ця команда обов'язкова!).

3. Для введення графічних зображень елементів схеми імпортувати їх з бібліотек, prim (Primitives), mf (mega function) і ін. Для цього необхідно виконати наступні дії.

Відкрити вікно на полі графічного редактора. У меню, що з'явився, вибрати команду Enter Symbol. У меню команди вибрати необхідну бібліотеку, потім – елемент (рис. 7.11б). Увести ОК.



а



б

Рисунок 7.11 – Робота з графічними проектами: а – вибір типу файлу проекту, б – вибір елемента

Розмістити елемент на робочому полі редактора. Переміщення здійснюється виділенням елемента щикликом миші, після чого при натиснутій лівій кнопці можна рухати елемент по робочому полю. Для зручності візуалізації можна включити сітку на робочому полі – команда Option / Show guidelines'. При необхідності скопіювати елемент: при натиснутій клавіші CTRL клацнути по елементі (з'явиться знак "+") і перетягнути його на потрібну позицію.

4. Ввести символи вхідних і вихідних портів. Для цього в меню у поле Symbol Name ввести найменування: input, output, bidirectional, або вибрати необхідний символ з бібліотеки примітивів (prgm).

5. Привласнити імена всім портам. При цьому нове ім'я можна ввести безпосередньо на робочому полі. При натисканні клавіші ENTER буде виділений наступний порт.

6. З'єднати елементи у відповідності зі схемою пристрою. На лівій вертикальній панелі (рис.7.12) виділити інструмент «лінія». Підвести курсор до кінця лінії виводу елемента, або порту. При цьому курсор здобуває вид хреста. Нажавши ліву кнопку миші переведіть курсор до наступної крапки з'єднання. Відпустіть кнопку.

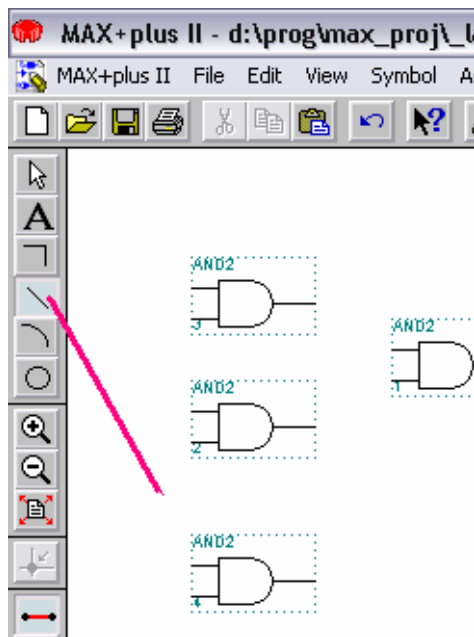


Рисунок 7.12 – Виділення інструмента «лінія»

З'єднання здійснюються тільки у вигляді горизонтальних і вертикальних ліній. При цьому необхідно стежити, щоб не виникало помилкових з'єднань. При необхідності здійснити з'єднання ліній – клацнути лівою кнопкою миші на вузлі й вибрати інструмент вузла (рис. 7.13).

Кожний елемент, або відрізок лінії можна видалити, виділивши його (виділення офарблюється) і натиснувши клавішу DELETE.

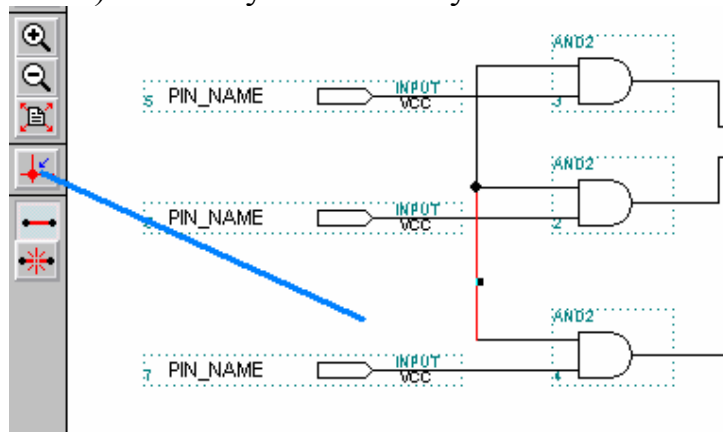


Рисунок 7.13 – Вибір інструмента «вузол»

7. Після введення схеми необхідно провести компіляцію проекту, тобто аналіз, генерацію булевих рівнянь і генерацію файлів програмування. Команда File / Project / Save & Compile, або Save, Compile & Simulate. Остання команда буде працювати, якщо попередньо був створений файл симуляції.

У результаті компіляції генеруються файли роздільника (Partitioner), якщо в проекті використовуються декілька ПЛІС, файл розміщення (Fitter), у якому

можна переглянути інформацію про розміщення проекту на кристалі ПЛІС, файл моделювання (симуляції .scf) і, власне, файл програмування (Programmer).

Симуляція роботи пристрою.

1. Створення файлу симуляції. Для створення файлу симуляції використовується додаток Waveform Editor. Команда Manager/Waveform Editor, або New/Waveform Editor/.scf.

2. За командою File / Save As привласнити файлу ім'я, що відповідає імені проекту.

3. Визначити й ввести вхідні й вихідні кола для проведення симуляції. Найменування кіл повинні відповідати іменам портів у схемі графічного редактора. Введення імен кіл може здійснюватися вручну (подібний метод – єдино можливий при введенні проекту в сигнальному виді), або по команді Node / Enter Node from SNF (клацнути правою кнопкою миші по робочому полю редактора).

Ручне введення здійснюється в такий спосіб. Двічі клацнути мишею на робочому полі, при цьому з'являється меню (рис. 7.14), у якому необхідно вказати відповідні атрибути елемента вводу/виводу:

- ім'я (Node Name);
- початковий рівень (Default Value);
- тип виводу (i/o Type);
- вибрати виводи із групи (Node/Group – List).

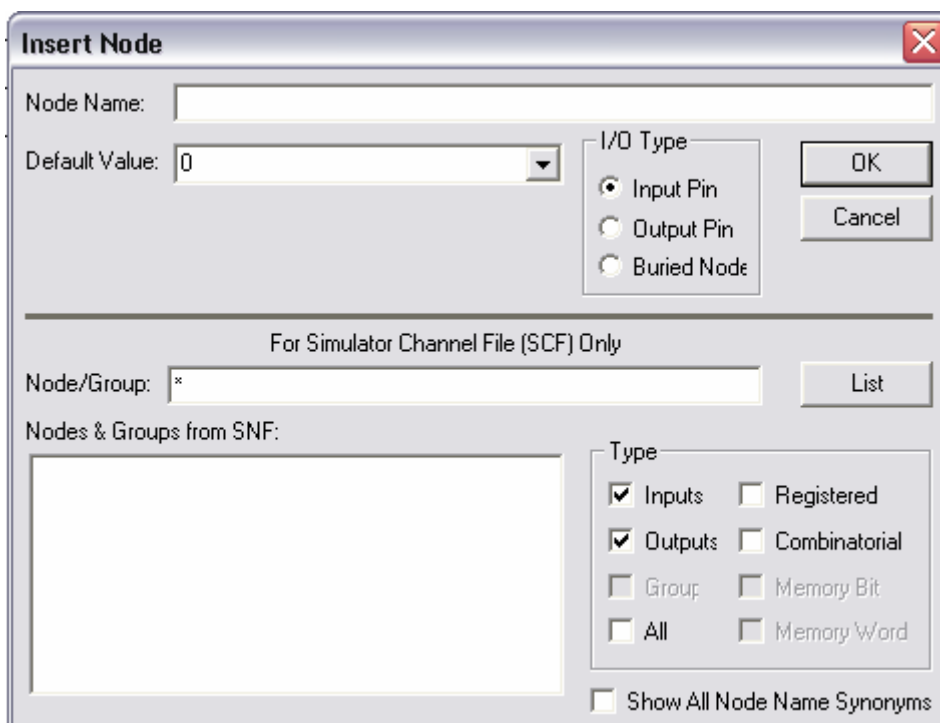


Рисунок 7.14 – Вибір типу пристрою вводу/виводу.

4. За командою File / End Time – задати кінцевий час симуляції. Визначити інтервал сітки вікна в редакторі – Options / Grid Size.

5. Ввести значення вхідних сигналів. На панелі інструментів, вибравши відповідний вивід, призначити рівень, тривалість, шпаруватість сигналу (рис. 7.15).

6. Зберегти файл і провести симуляцію. Викликати Simulator і запустити програму. Або запустити компілятор і відкрити файл *.scf.

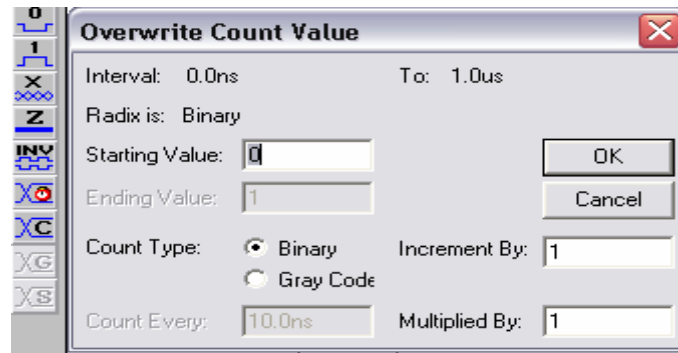


Рисунок 7.15 – Призначення значень вхідних і вихідних сигналів

Сигнальне введення проекту.

1. При введенні проекту в сигнальному виді достатньо описати стан вхідних і вихідних портів та їх зміну в часі. Подібна форма досить зручна для відносно нескладних проектів.

Для введення проекту необхідно викликати сигнальний редактор Waveform Editor. Команда Manager / Waveform Editor, або команда New. Вид робочого вікна наведений на рис.7.16.

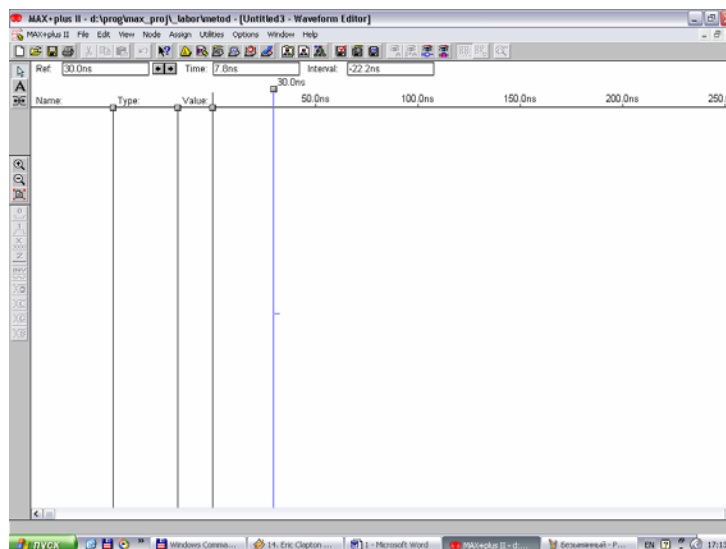


Рисунок 7.16 – Вид робочого вікна Waveform Editor

2. Привласнити ім'я файлу (розширення . wdf) і зберегти його. Команда File / Save As'... Ім'я має містити лише латинські символи.

3. Привласнити ім'я проекту за найменуванням поточного файлу. Дія виробляється по команді File/ Project / Save Project to Current File.

4. Для введення проекту в сигнальному виді, необхідно призначити необхідні елементи вводу / виводу (порти). Для цього на робочому полі сигнального редактора клацнути двічі лівою кнопкою миші; при цьому з'являється меню (рис.7.17), у якому необхідно вказати атрибути елемента вводу / виводу:

- ім'я (Node Name);
- початковий рівень (Default Value);
- тип виводу (i/o Type);
- тип кола (Node Type);

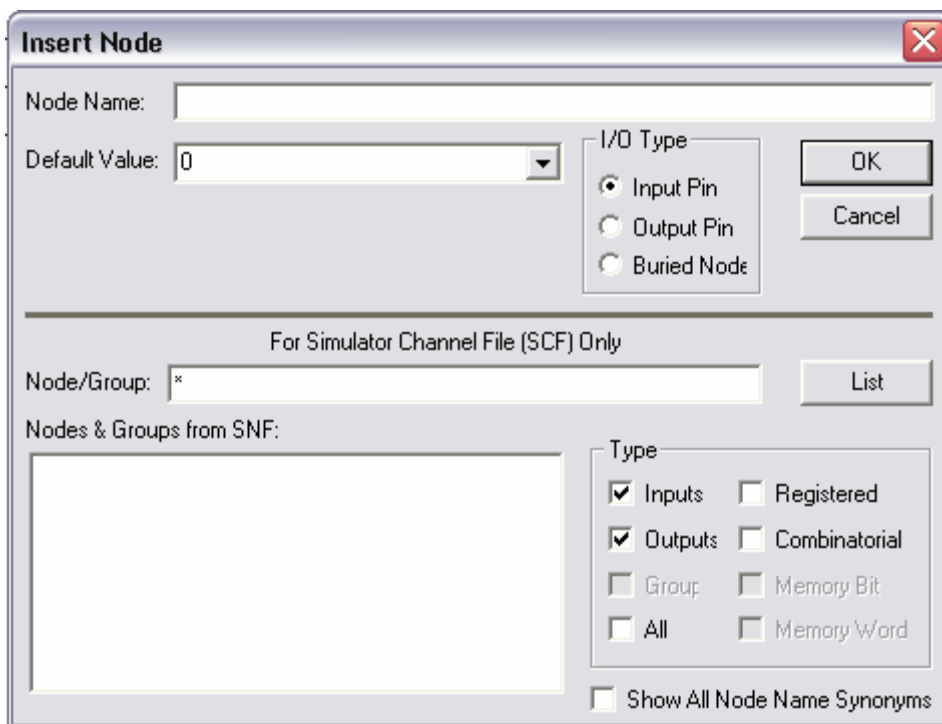


Рисунок 7.17 – Вибір типу пристрою вводу / виводу

5. По команді File / End Time задаються часові параметри, тобто тривалість процесу симуляції.

6. Визначити інтервал сітки вікна сигнального редактора – Options/Grid Size.

Параметри п. п. 4 й 5 визначаються, виходячи із тривалості, шпаруватості, співвідношення сигналів вхідних і вихідних портів.

7. Увести значення вхідних і вихідних сигналів. Для цього, попередньо вибравши відповідний вивід пристрою, призначити рівень, тривалість, шпаруватість й інші параметри сигналу за допомогою інструментів на панелі інструментів (рис. 7.18).

8. Зберегти файл File / Save.

9. Для подальшого використання створеного модуля розробленого пристрою створити графічний символ. Команда File / Create Default Symbol. Створений символ надалі зручно використати в ієрархічному проекті, тобто такому, що складаються з окремих модулів.

Створення файлу симуляції. Для створення файлу симуляції використовується додаток Waveform Editor. Команда: Manager / Waveform Editor, або New / Waveform Editor/*.scf.

1. За командою File/Save As привласнити файлу ім'я, що відповідає імені проекту.

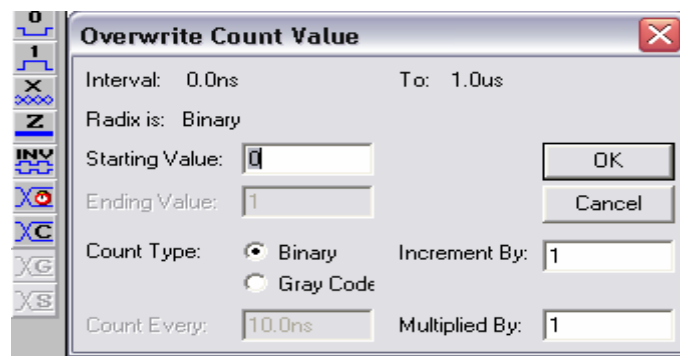


Рисунок 7.18 – Призначення значень вхідних і вихідних сигналів

2. Визначити й ввести вхідні й вихідні кола для проведення симуляції. Найменування кіл повинні відповідати іменам портів у схемі графічного редактора. Уведення імен кіл здійснюється вручну (подібний метод – єдино можливий при завданні проекту в сигнальному виді) або по команді Node/Enter Node from SNF (клацнути правою кнопкою миші по робочому полю редактора).

Ручне введення здійснюється в такий спосіб. Двічі клацнути мишею на робочому полі, при цьому з'являється меню (рис. 7.18) у якому необхідно вказати відповідні атрибути елемента введення/виведення:

- ім'я (Node Name);
- початковий рівень (Default Value);
- тип виводу (i/o Type);
- вибрати виводи із групи (Node/Group – List).

3. За командою File / End Time – задається час симуляції. Визначити інтервал сітки вікна редактора – Options / Grid Size.

4. Ввести значення вхідних сигналів. На панелі інструментів, вибравши відповідний вивід, призначити рівень, тривалість, шпаруватість сигналу (рис. 7.19).

5. Провести компіляцію проекту.

6. Зберегти файл і провести симуляцію. Викликати Simulator і запустити програму

7. Після перевірки повідомлень і при відсутності помилок проект може вважатися виконаним

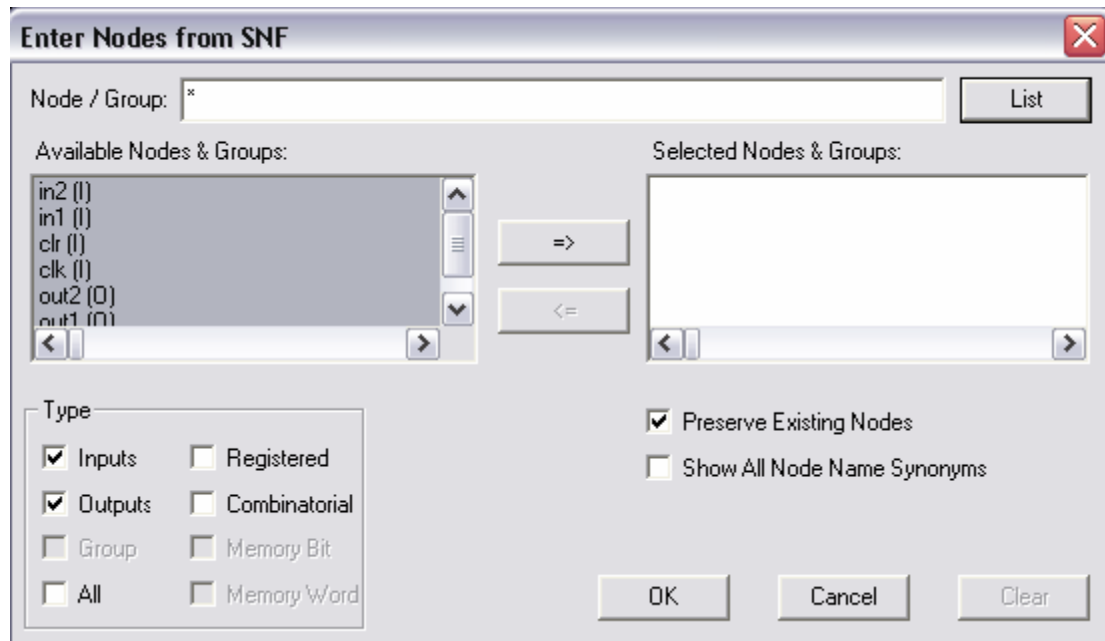


Рисунок 7.19 – Вид робочого вікна атрибутів сигналів

Для створення файлу симуляції використовується додаток Waveform Editor. Команда Manager/Waveform Editor, або New/ Waveform Editor/.scf.

1. По команді File/Save As привласнити файлу ім'я, що відповідає імені проекту.

2. Визначити й ввести вхідні й вихідні кола для проведення симуляції. Найменування кіл повинні відповідати іменам портів у схемі графічного, або сигнального редактора. Введення імен кіл може здійснюватися вручну, або по команді Node / Enter Node from SNF (клацнути правою кнопкою миші по робітнику полю редактори).

Ручне введення здійснюється в такий спосіб. В меню (рис. 7.19) необхідно вказати відповідні атрибути елемента введення/виведення:

- ім'я (Node Name);
- початковий рівень (Default Value);
- тип виводу (i/o Type);
- вибрати виводи із групи (Node/Group – LIST).

3. По команді File/End Time – задається час симуляції. Визначити інтервал сітки вікна редактори – Options/ Grid Size.

4. Ввести значення вхідних сигналів. На панелі інструментів, вибравши відповідний вивід, призначити рівень, тривалість, шпаруватість сигналу (рис. 7.19).

5. Зберегти файл і провести симуляцію. Викликати Simulator і запустити програму або відкрити компілятор і відкрити файл *.scf.

6. Відкрити програму компілятора (Compiler). Зробити попередні призначення: тип ПЛІС, у якій передбачається розмістити схему цифрового пристрою; специфічні характеристики як процес компіляції, так і процес програмування.

7. Призначення типу ПЛІС відбувається по команді Assign/Device. При цьому у вікні (рис.7.20) вибираються наступні пункти меню:

- Auto – для автоматичного вибору типу ІС;
- призначення певної серії ІС (MAX 7000; MAX 9000...);
- призначення певного типу ІС в обраній серії (EPM 7032 S...);
- призначення додаткових параметрів для ІС.

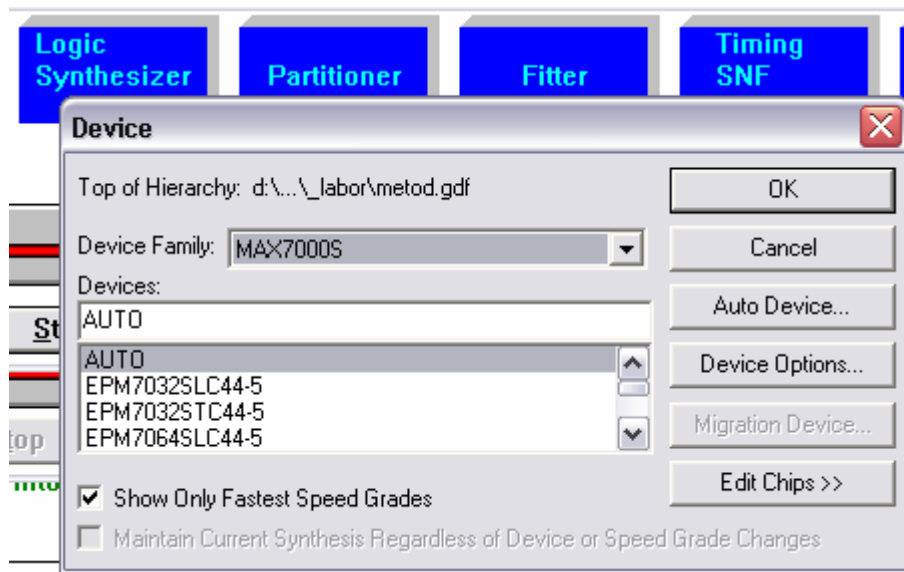


Рисунок 7.20 – Вікно команди Assign/Device.

8. Провести компіляцію проекту. У процесі компіляції відбувається перевірка проекту на відповідність схемотехнічних правил, аналіз логічних функцій, генерація булевих рівнянь й у підсумку при відповідності проекту всім правилам, про що свідчить відсутність повідомлень про помилки (Error Messages), генерується файл програматора. Вид вікна компілятора представлений на рис. 7.21.

9. Після перевірки повідомлень і при відсутності помилок проект може вважатися виконаним. Наступним кроком є програмування ІС.

Програмування ПЛІС. Для програмування необхідно зробити наступні дії:

- вибрати тип файлу відповідно до вимог, запропонованими до даного ІС;
- вибрати спосіб програмування відповідно до особливостей проекту й обраної ІС;
- підключити програматор відповідного типу;
- запрограмувати ІС.

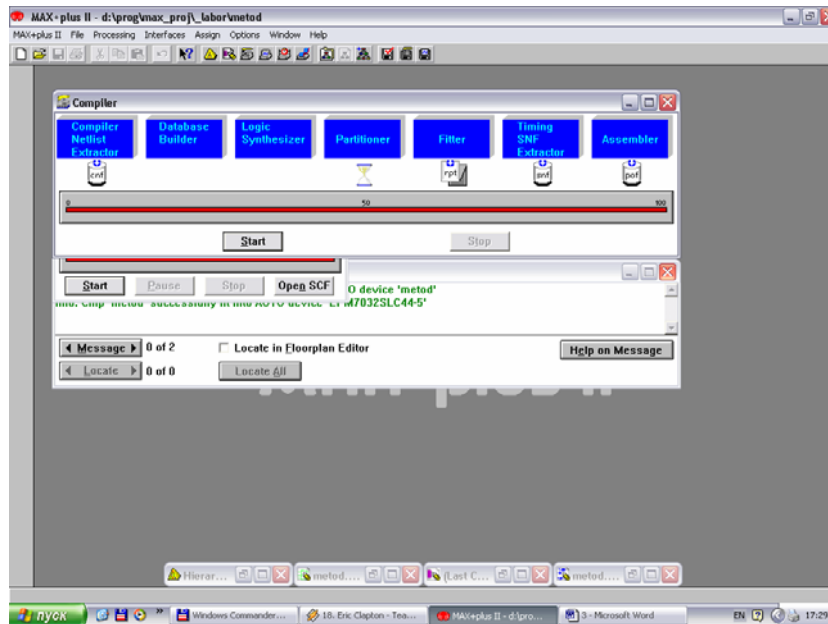


Рисунок 7.21 – Вид вікна компілятора

1. При виборі типу файлу програмування враховуються особливості ІС ПЛ. Якщо застосовується ІС серії 7000, тип файлу програмування задається відповідно до вимог автоматично! Тип файлу визначається його розширенням, у цьому випадку – *.prof.

2. Відкрити програматор. Для цього вивести курсор на іконку Assembler і двічі нажати лівою кнопкою маніпулятора на іконку з типом файлу (.prof). При цьому відкриється вікно програматора (рис.7.22).

Програматор дозволяє робити наступні дії:

- програмування ІС;
- верифікацію ІС;
- перевірку ІС;
- конфігурування й тестування.

При необхідності можлива установка біта захисту від несанкціонованого копіювання програми.

При роботі необхідно строго дотримуватися наступних інструкцій:

Ніякі підключення не можуть проводитися при включеному живленні програматора!

Підключення пристроїв можна робити винятково тільки в присутності викладача!

Всі підключення периферійних пристроїв робити тільки при відключеному живленні макета.

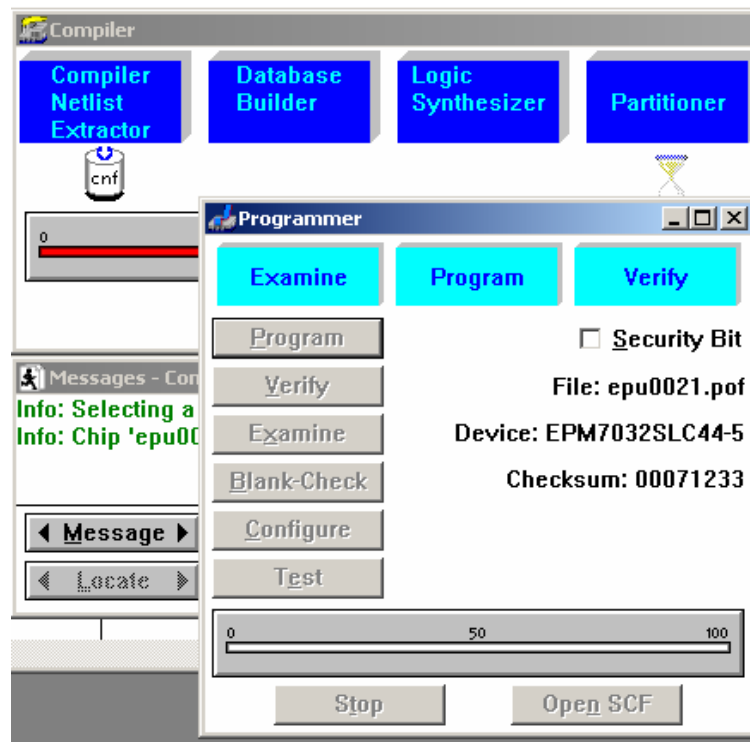


Рисунок 7.22 – Вид вікна програматора

3. Послідовність дій при програмуванні ІС:

- підключити програматор до порту комп'ютера;
- підключити макет із установленою ІС до програматора;
- включити живлення макета;
- запустити програматор;
- перевірити ІС на наявність в ній інформації. (Команда Blank Check);
- запрограмувати ІС (Команда Program).

Перевірка функціонування. Перевірка функціонування розробленого пристрою виробляється візуально за допомогою засобів відображення, що використовуються у лабораторному макеті.

При розробці більш складних пристроїв засоби контролю можуть включати генератори, частотоміри, багатоканальні осцилографи та інші прилади.

7. 2 Контрольні запитання і завдання

1. Наведіть структуру програмованих аналогових інтегральних схем ispPAC.
2. Назвіть склад редакторів MAX+Plus II.
3. Які функції виконує компілятор?
4. Дати визначення симуляції і верифікації проекту?
5. В чому головна особливість програмованих ІС?
6. Які блоки входять до складу ПАІС?
7. Наведіть маршрут проектування схеми на програмованій логіці.
8. Функції пристроїв вводу–виведення.

9. В чому переваги програмованій логіки?
10. Назвіть засоби розробки цифрових проектів.
11. Які можливості конфігурації пристроїв вводу–виведення?
12. Варіанти застосування ПАІС та ПЛІС?
13. В чому різниця між програмуванням і конфігуруванням ІС?
14. Які основні параметри ispPAC?
15. Наведіть архітектуру ПАІС AN10E40 Anadigm.
16. Які підходи до проектування НВІС Ви знаєте?
17. Поясніть, що таке низхідне проектування?
18. Яким чином формується стратегія проектування цифрових систем?
19. Які загальні етапи автоматизованого проектування цифрових систем Ви знаєте?
20. Які загальні процедури можна виділити на маршрутах проектування по всім паралельним гілках в САПР?
21. Які особливості проектування цифрових систем на ПЛІС з використанням мови VHDL?
22. У чому переваги VHDL над схемним проектуванням?
23. Які існують засоби розробки ПАІС Anadigm.

8. БАЗОВІ ТЕХНОЛОГІЇ МІКРОЕЛЕКТРОНІКИ

Мікроелектроніка охоплює наукові та технологічні проблеми дослідження, конструювання, виробництва і застосування радіоелектронних пристроїв у мікромініатюрному інтегральному виконанні. Основи мікроелектроніки є самостійною дисципліною, вивчення якої передбачено на попередніх курсах. Тому в рамках курсу проектування ми обмежимося лише загальними відомостями про її виникнення, розвиток, проблеми, які розв'язуються нею, та перспективами на майбутнє.

Основним питанням мікроелектроніки є технологія виготовлення мікроелектронних пристроїв, тому саме цьому питанню і буде приділена найбільша увага. Задача розділу – дати поняття про найбільш поширені технологічні процеси, за допомогою яких натеper виготовляється більшість інтегральних мікросхем.

Планарна технологія виготовлення транзисторів. Основним сучасним методом виготовлення транзисторів є планарна технологія. Транзистори, виготовлені за цією технологією, називаються планарними. Така назва походить від англійського слова *plane* – площина, оскільки транзисторні структури створюються на площинній поверхні напівпровідникового кристалу.

У спрощеному вигляді послідовність операцій планарної технології для виготовлення біполярного *npn*-транзистора показана на рис.8.1. Вихідним матеріалом є пластинка з донорно-легованого кремнію товщиною в частки міліметра. Поверхня пластинки окислюється, на ній вирощується тонкий захисний шар оксиду кремнію SiO_2 (рис.8.1а). У захисному шарі протравлюється отвір ("вікно"), крізь яке шляхом дифузії з газової або парової фази у приповерхневий шар кремнію вводиться акцепторний домішок, внаслідок чого під "вікном" утворюється дірково-провідна область (рис.8.1б). Далі цей процес повторюється і в приповерхневий шар кремнію вводиться донорний домішок, котрий створює нову сильнолеговану область (рис.8.1в). В результаті в напівпровіднику утворюється характерна для біполярного транзистора тришарова *npn* структура, де *n*-провідна пластина служить колектором, верхня *n+*-область – емітером, а проміжний *p*-шар – базою.

Повторним окисленням поверхня пластинки кремнію знову вкривається шаром оксиду SiO_2 , в якому навпроти колектора, бази та емітера протравлюються невеликі отвори. В ці отвори напилюється метал (звичайно алюміній), який створює контактні площинки, що є відповідно виводами колектора, бази та емітера транзистора (рис.8.1г).

Найбільш тонким і відповідальним процесом планарної технології є створення "вікон".

Для цього застосовується метод фотолітографії. Суть його така. Поверхня оксиду кремнію вкривається фоторезистом – речовиною, яка здатна полімеризуватися під дією ультрафіолетового світла. Далі на фоторезист накладається фотошаблон – прозора платівка з нанесеним на неї зображенням, темні місця

якого відповідають розташуванню майбутніх вікон. Крізь фотошаблон фоторезист опромінюється ультрафіолетовим світлом від кварцової лампи. У засвічених місцях фоторезист полімеризується, а там, куди ультрафіолет не потрапив, він потім легко змивається розчинником. Наступна операція – пластинку травлять в концентрованій плавиковій кислоті, яка роз’їдає оксидну плівку лише в тих місцях, де вона не захищена шаром полімеризованого резисту. І нарешті, фоторезист, що залишився, видаляють спеціальним розчинником. Тепер можна приступити до наступних технологічних операцій¹.

Операції по створенню вікон звичайно доводиться повторювати по кілька разів. Головна складність полягає у тому, що нові вікна повинні бути саме в тих місцях, які відповідають раніше створеній структурі p – та n –областей. Враховуючи, що планарний транзистор має розміри в частки міліметра (а іноді і значно менші), точність суміщення фотошаблонів повинна бути дуже високою – порядку кількох мікронів.

Така технологія зветься груповою, оскільки водночас створюється ціла група ідентичних транзисторів.

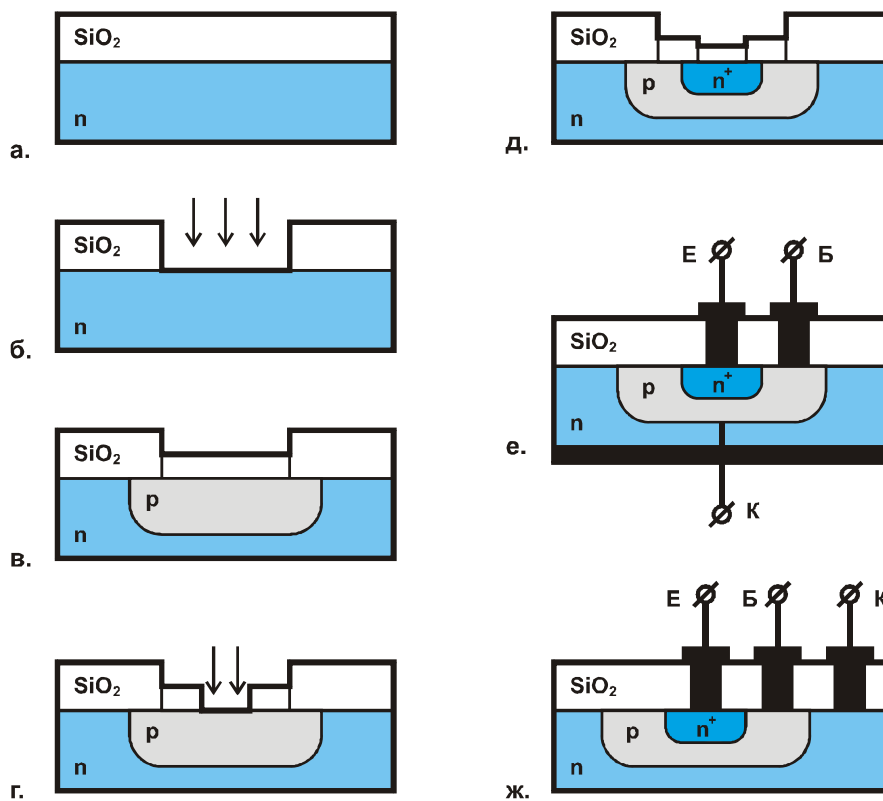


Рисунок 8.1. – Послідовність операцій планарної технології виготовлення біполярного транзистора.

- а) окислення поверхні напівпровідникової пластинки.
- б) протравлювання вікон та введення p –домішки.
- в) введення n –домішки.
- г) створення контактних площинок.
- д) окислення поверхні напівпровідникової пластинки.

е). протравлювання вікон та створення високолегованих областей витоку і стоку.

ж). створення контактних площадок.

Після завершення всіх зображених на рис.8.1 етапів, пластинку розрізають на окремі транзистори, до контактних площинок К, Б, Е приварюють виводи, виготовлений транзистор вміщують в герметичний корпус і одержують готовий виріб.

Таким чином можна виготовляти і МОН–структури. Структура МОН–транзистора з індукованим каналом зображена на рис. 8.2.

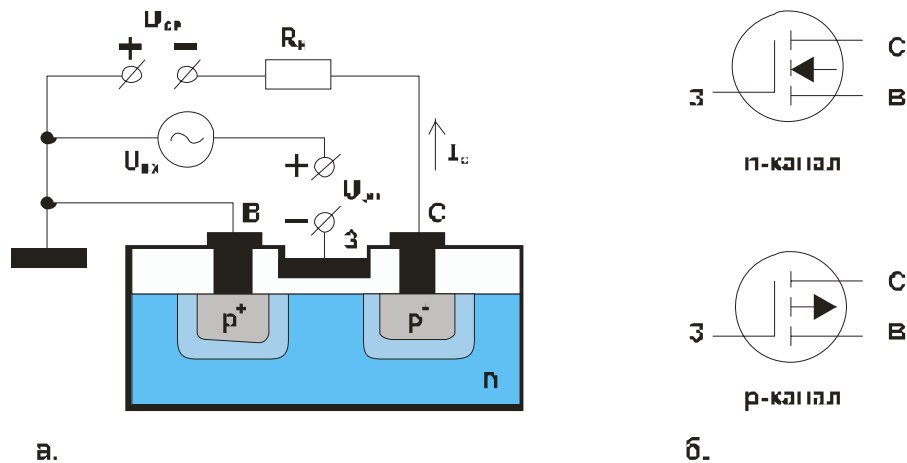


Рисунок 8.2 – МОН–транзистор з індукованим каналом:
а) структура; б) умовне позначення.

Основні переваги групової планарної технології такі:

– одночасне вирощування на одній платівці напівпровідника цілої групи транзисторів, що значно здешевлює їх виготовлення і створює можливість одержання однорідної партії готових приладів;

– майже повністю виключена ручна праця, що також здешевлює процес виготовлення транзисторів і відповідає генеральній лінії технічного прогресу. Разом з тим, слід мати на увазі, що планарна технологія ставить високі вимоги до кваліфікації персоналу і вимагає складного та дорогого обладнання, отже її освоєння посильне лише для підприємств з вельми високою технологічною культурою виробництва.

8.1. Плівкова технологія виготовлення елементів мікросхем.

Іншим напрямком розвитку технології мікроелектроніки є плівкова технологія. Тут елементи, що складають радіоелектронну схему, створюються на поверхні діелектричної платівки шляхом нанесенням на неї провідних, напівпровідникових та діелектричних плівок (рис.8.3). Плівкова технологія поділяється на товстоплівкову та тонкоплівкову.

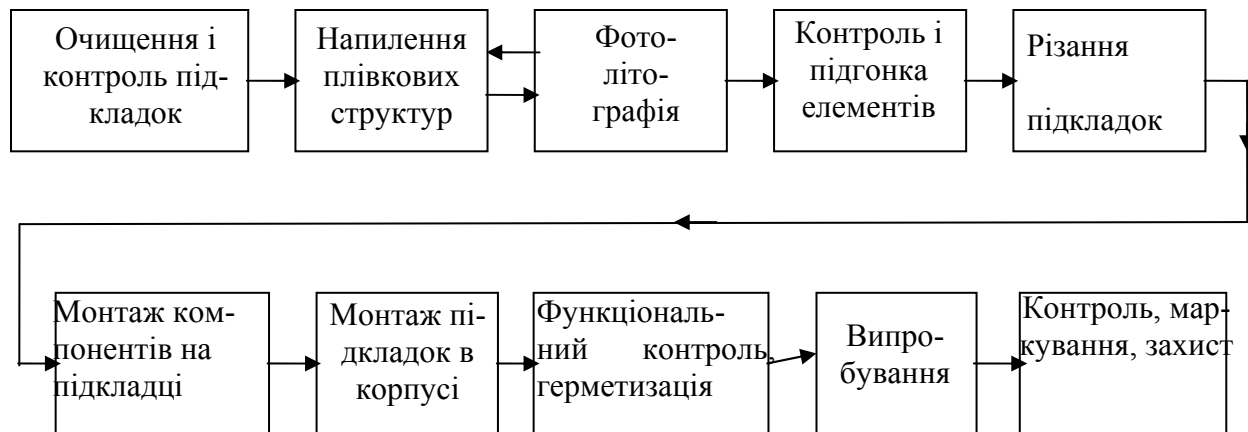


Рисунок 8.3 – Спрощена схема послідовності технологічних операцій виготовлення тонкоплівкової гібридної мікросхеми

За товстоплівковою технологією на поверхню керамічної платівки через відповідні трафарети наноситься паста, яка потім впалюється у кераміку, утворюючи плівки товщиною 15...70 мкм (рис.8.4). В залежності від складу пасти таким способом виготовляють або металеві з'єднувальні смужки–провідники, або резистори. Ємності виготовляють, послідовно наносячи шари металу, діелектрика і знову металу. Індуктивності можна зробити у вигляді провідної смужки, якій надана форма плоскої спіралі.

Звичайно, при тих малих розмірах, які потрібні в мікросхемах, такі індуктивності та ємності можуть мати лише невеликі значення.

За тонкоплівковою технологією потрібний матеріал на поверхню пластини наносять через трафарет (маску) напилюванням у високому вакуумі в формі плівок товщиною менше 1 мкм. З'єднувальні провідники виготовляють з алюмінію, міді, золота; резистивні шари створюються плівками хрому, ніхрому, танталу. Конденсатори виготовляють почерговим напиленням металевих та діелектричних плівок. За цією технологією окремі елементи можуть мати розміри в одиниці мікрометра, що значно менше розмірів елементів товстоплівкової технології.

Основний недолік плівкової технології полягає у тому, що в такий спосіб поки що не вдається створювати активні елементи більш–менш задовільної якості. Тому активні елементи для плівкових мікросхем зазвичай виготовляють

у вигляді навісних безкорпусних транзисторів, діодів чи напівпровідникових мікросхем. Такі мікросхеми з навісними активними елементами називають гібридними інтегральними мікросхемами (ГІС).

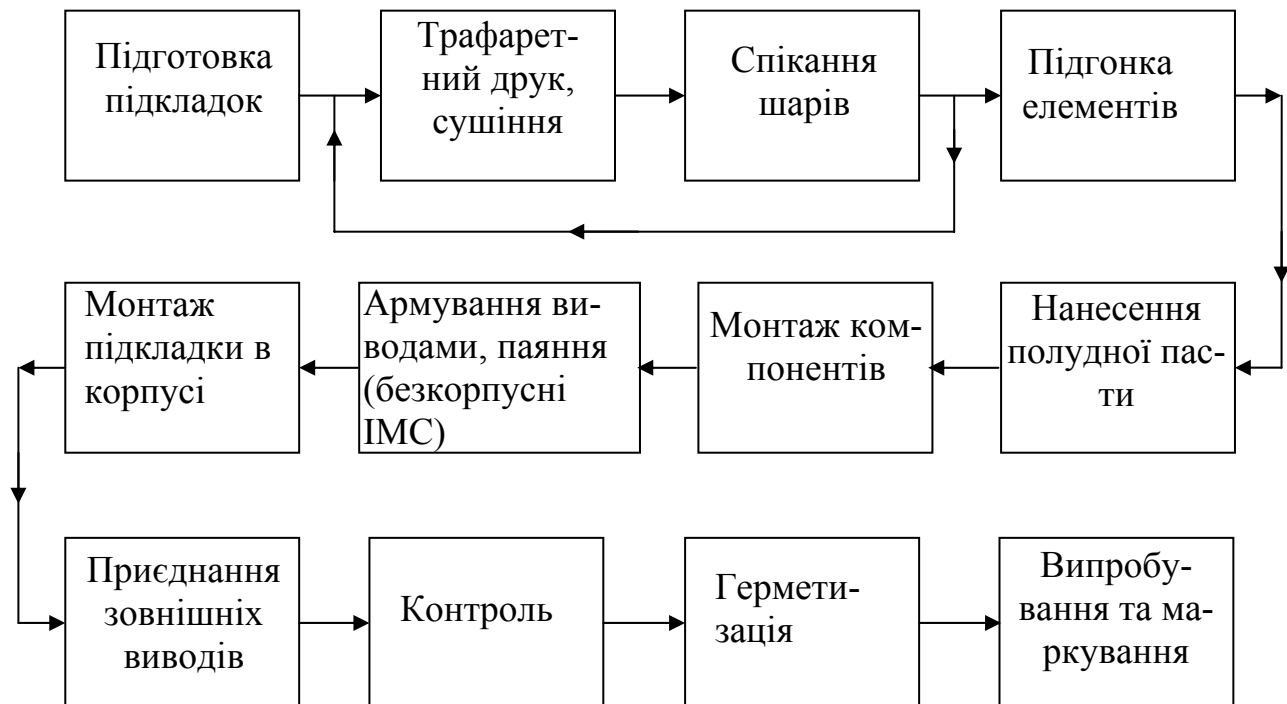


Рисунок 8.4 – Спрощена схема послідовності технологічних операцій виготовлення товстоплівкових гібридних мікросхем

Оскільки тонкоплівкова технологія досить зручна для виготовлення пасивних елементів мікросхем, а планарна (напівпровідникова) дозволяє успішно створювати активні елементи, їх іноді об'єднують (рис.8.5). Інтегральні мікросхеми, виготовлені в такий спосіб, називають суміщеними.

Вище вже йшлося про те, що планарна технологія вимагає дорогого спеціального обладнання і висококваліфікованого персоналу. Тому процес проектування та технологічної підготовки до виготовлення напівпровідникових ІС за планарною технологією стає рентабельним лише при умові випуску дуже великих серій виробів (не менше кількох мільйонів).

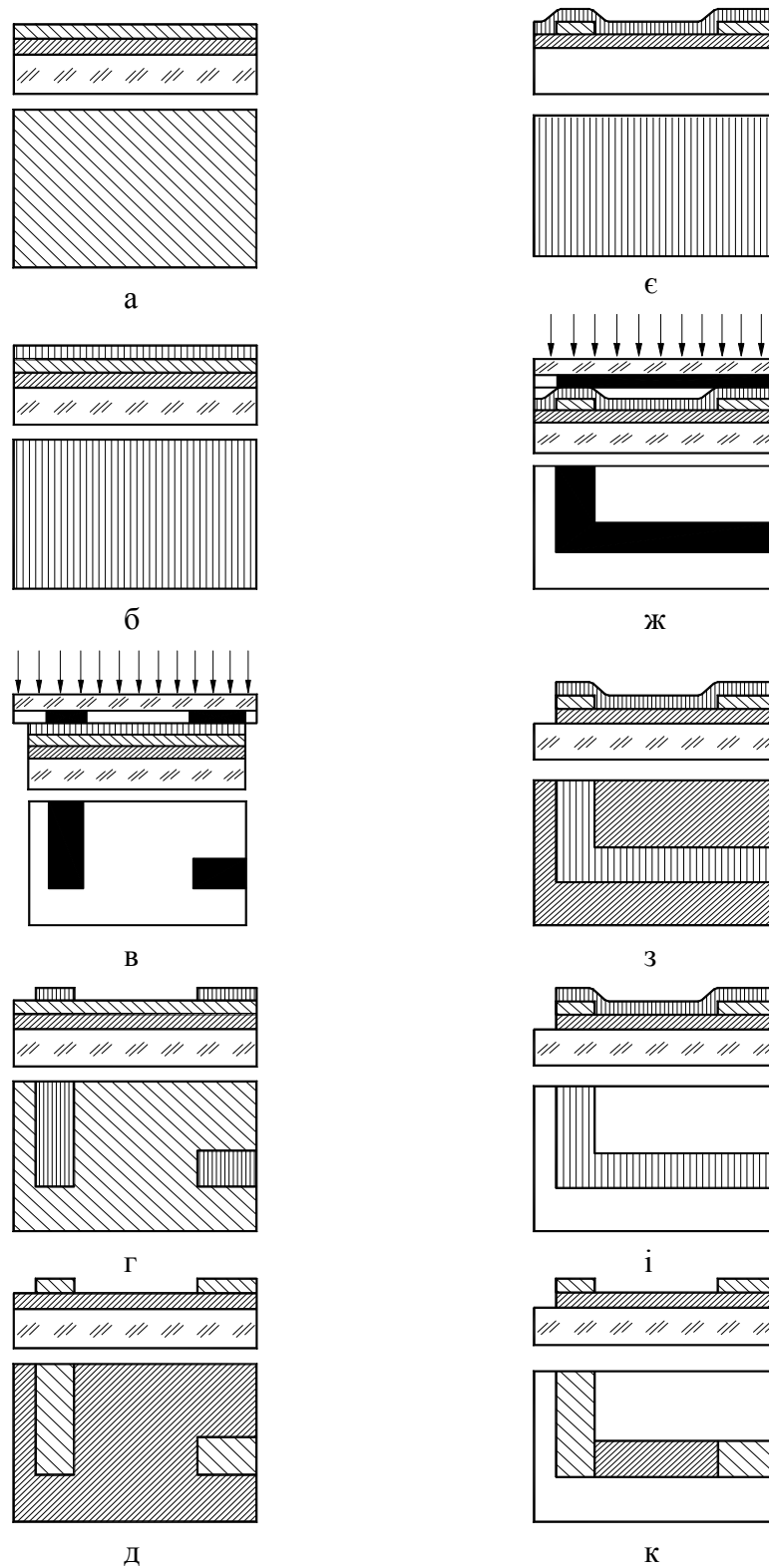


Рисунок 8.5 – Виготовлення плівкових елементів методом фотолітографії:
 а) формування плівки; б) нанесення фоторезисту; в) експонування; г) видалення фоторезисту; д) травлення першого слою; е) формування плівки другого слою і нанесення фоторезисту; ж) експонування другого слою; з, і) видалення фоторезисту, травлення другого слою; к) сформована структура елементу.

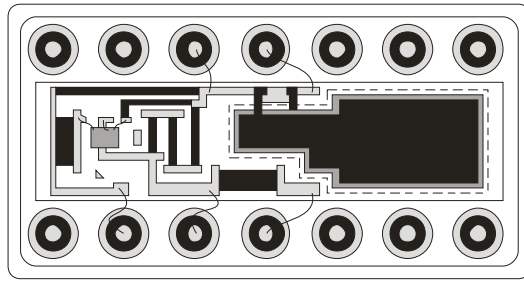


Рисунок 8.6 – Топологія мікросхеми в корпусі, виконана виготовлена за тонкоплівковою технологією

На відміну від цього, плівкова та гібридна технології більш прості та мобільні, виробництво гібридних ІС доступне більш широкому колу підприємств (рис.8.6). Плівкова технологія лишається рентабельною і при виготовленні невеликих та середніх серій; нею користуються звичайно там, де потрібно швидко та оперативно змінювати асортимент виготовлюваних ІС.

8.3 Деякі особливості технології виготовлення інтегральних схем.

У описаній вище планарній технології колектор біполярного транзистора утворюється з тієї частини напівпровідникової підкладки, якої не торкнувся технологічний процес.

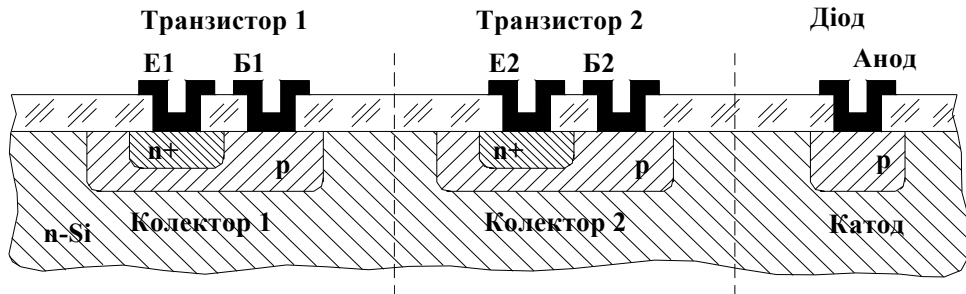


Рисунок 8.7 – Внутрішній зв'язок елементів біполярних ІС через підкладку при відсутності ізоляції

Однак, в інтегральній мікросхемі подібна ситуація неприпустима, оскільки колектори всіх транзисторів мікросхеми виявилися б сполученими між собою через спільну підкладку (рис.8.7). Тому в ІС необхідно передбачити ізоляцію колектора кожного транзистора від підкладки, на якій він (транзистор) вирощений. Найпростіший шлях до цього є застосування потрійної дифузії при виготовленні рпн-транзистора на р-провідній кремнієвій підкладці. Першим вирощується n-шар, який служитиме колектором (рис.8.8). Потім послідовно вирощують р-провідну базову область та n+ -провідну область емітера. При експлуатації до підкладки треба прикласти від'ємний відносно до колектора по-

тенціал, щоб на межі підкладки і колектора утворився непровідний заірний шар, який забезпечує їх електричну ізоляцію.

Однак, транзистори, виготовлені методом потрійної дифузії, мають певні недоліки. В структурі, зображеній на рис.8.8, колекторний n -шар, який формується на етапі першої дифузії, виявляється неоднорідним: концентрація домішок зростає від донної області до поверхні. Тому на границі з базовим шаром концентрація домішки буде дуже великою і пробивна напруга колекторного переходу буде порівняно низькою. До того ж, процес потрійної дифузії складний і довготривалий. Тому зараз застосовують звичайно дещо інший шлях виготовлення транзистора. Спочатку на поверхню p -провідної підкладки з газової фази нарощується так званий епітаксіальний монокристалічний шар n -провідного кремнію товщиною 10–15 мкм, кристалічна структура якого є продовженням кристалічної структури підкладки (рис.8.8а). Тим самим створюється p - n перехід, котрий надалі ізолюватиме транзистор від підкладки. Далі описаним вище методом дифузії, по периметру майбутнього транзистора у епітаксіальному шарі створюється p -область, яка повинна "прорости" через цей шар і зімкнутися з p -провідною підкладкою. В результаті утворюється "острівець" з n -провідністю, оточений з усіх боків p -провідним кремнієм. В цьому островку, який називають кишенею, відомим вже способом вирощують біполярний npn -транзистор. Далі потрібно потурбуватися лише про те, щоб потенціал підкладки завжди був зміщений негативно відносно потенціалу колектора будь-якого з транзисторів інтегральної мікросхеми. Таким же шляхом – розміщенням у кишені – ізолюються і пасивні елементи ІС.

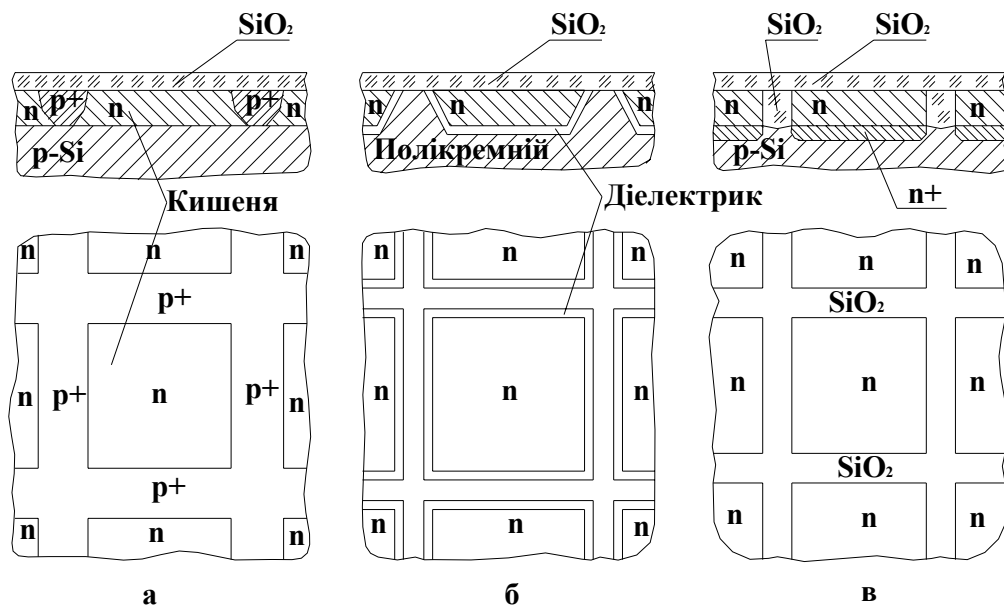


Рисунок 8.8 – Способи ізоляції елементів напівпровідникових мікросхем: а – зворотно зміщеним p - n переходом; б – діелектриком; в – комбінований

У інтегральних схемах на МОН–транзисторах проблем з ізоляцією не виникає, оскільки кожний МОН–транзистор – його витік, стік і канал, яким притаманний інший закон провідності ніж підкладці, – вже ізольований від неї запертим $p-n$ -переходом (рис.8.9). Це одна з істотних переваг інтегральних мікросхем на МОН–транзисторах.

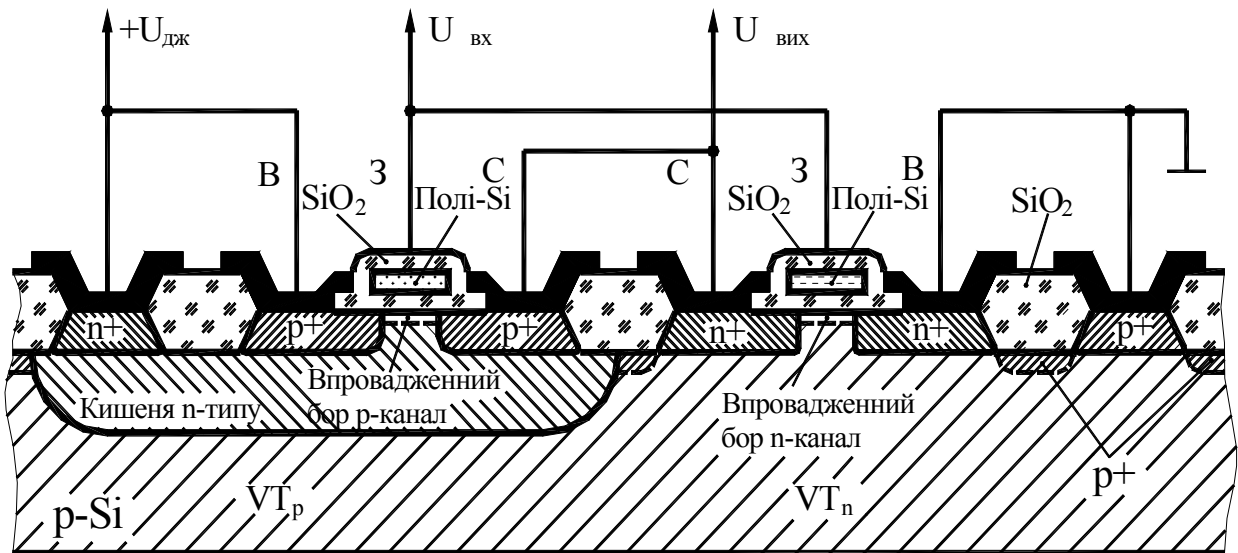


Рисунок 8.9 – Комплементарна МОН структура

Немає проблем з ізоляцією елементів і в плівкових ІС, оскільки там всі елементи вирощуються на підкладках з ізоляційного матеріалу – скла або кераміки.

Та ж ідея – створювати елементи ІС на діелектричних підкладках – виявилась дуже плідною і в планарній технології, коли навчились вирощувати епітаксіальні шари кремнію на кристалічних діелектричних матеріалах, наприклад, на сапфірі. Кристалічна структура сапфіра, котрий сам є добрим діелектриком, дуже подібна до структури кремнію і вирощування на ній епітаксіального шару виявляється цілком можливим.

Зараз робляться спроби вирощувати епітаксіальні плівки кремнію на алмазі, кристалічна структура якого також близька до структури кремнію. Окрім високих діелектричних властивостей, алмазу притаманна унікальна теплопровідність – вп'ятеро більша за теплопровідність міді. Це дуже важлива характеристика, оскільки відведення тепла є однією з причин, що обмежують мінімальні розміри елементів ІС. Застосування алмазних підкладок сприятиме розв'язанню проблеми подальшого зменшення розмірів як окремих елементів ІС, так і самих інтегральних схем у цілому.

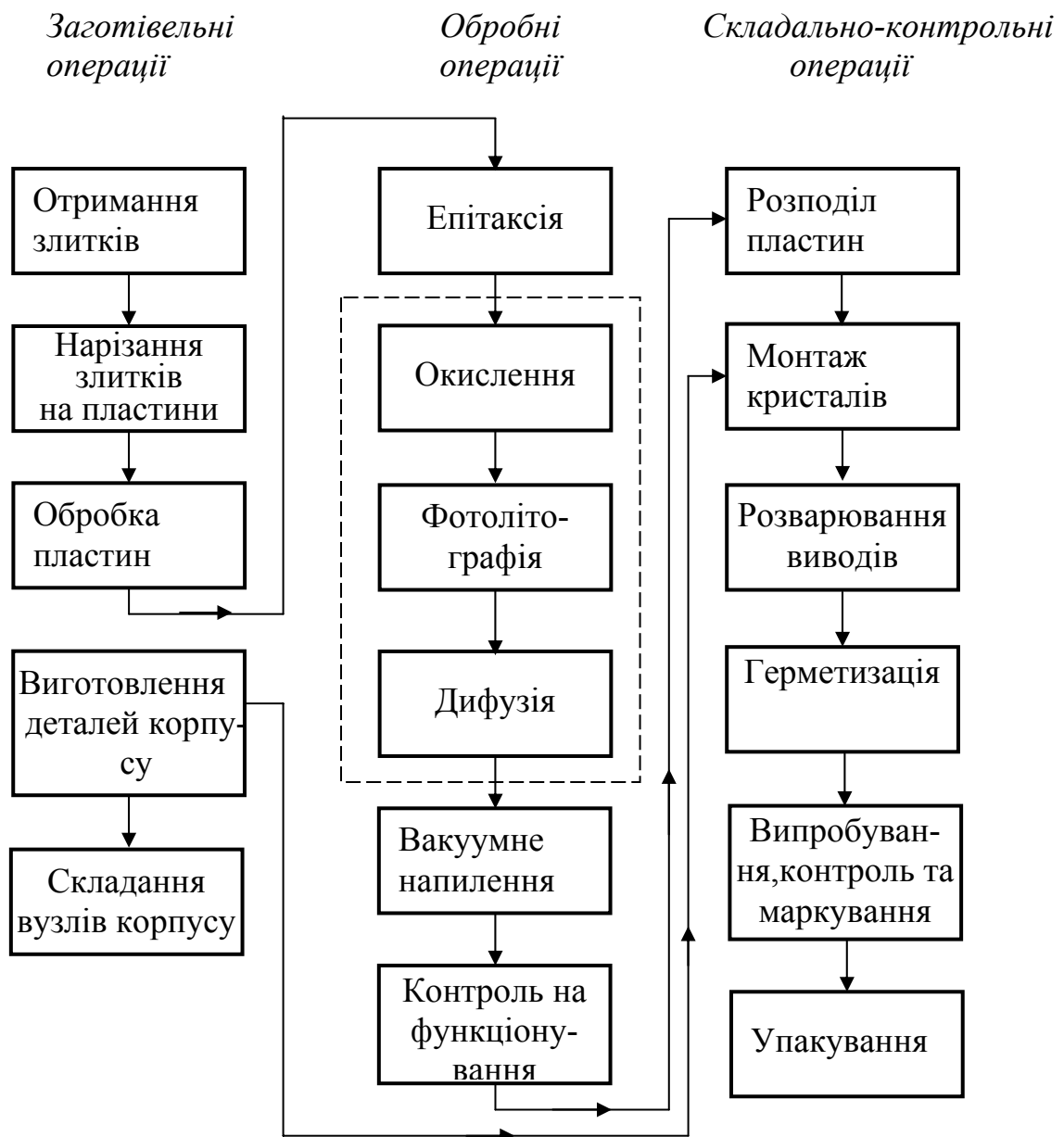


Рисунок 8.10 – Спрощена схема технологічного процесу виготовлення напівпровідникової мікросхеми

Іншою істотною особливістю технології виготовлення мікросхем є те, що всі елементи ІС створюються в єдиному технологічному процесі (рис.8.10). Скажімо, всі резистори плівкової ІС виготовляються одночасно, і, отже, мають однакову товщину та однаковий питомий опір матеріалу. Відрізнятися вони можуть лише довжиною і шириною шару за рахунок чого вони й мають різний опір. Або ж в ІС, виготовлений за планарною технологією, робочий шар резистора вирощується водночас з базовим шаром транзистора і тому має ті ж самі електрофізичні параметри. Інакше кажучи, при виготовленні пасивних елементів ІС вільність вибору значно менше ніж при конструюванні таких схем з дискретних деталей.

В ІС параметри пасивних елементів можна варіювати головним чином лише їх конфігурацією, тобто їх довжиною та шириною, а не товщиною шарів і електрофізичними властивостями матеріалу. Груповий метод виготовлення інтегральних мікросхем приведено на рис.8.11. В результаті номінали елементів ІС виявляються в значній степені пов'язаними між собою та обмеженими за своїми значеннями. Так, наприклад, розглядаючи принципіальну схему будь-якої ІС, можна переконатися в тому, що опір резисторів в ній лежить звичайно в межах 10^3 – 10^5 Ом. В схемах ІС відсутні мегаомні опори. Немає також конденсаторів ємністю вище кількох сот пікофарад. Відсутні котушки індуктивності і, зрозуміло, трансформатори.

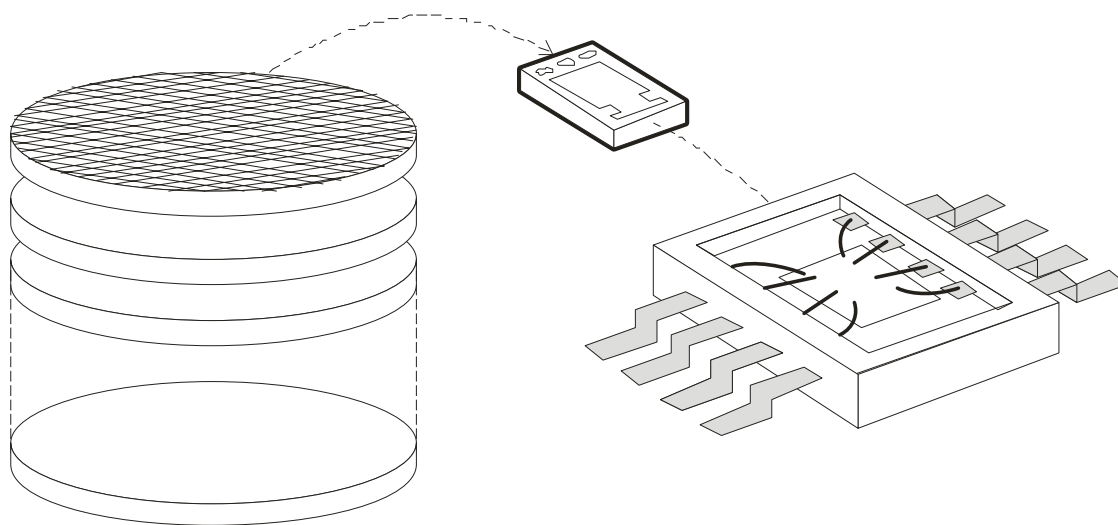


Рисунок 8.11 – Груповий метод виготовлення інтегральних мікросхем

Ці обмеження визначають специфіку схемотехніки ІС: при їх конструюванні намагаються знайти такі рішення, щоб елементи схеми не виходили за межі номіналів, прийнятних з точки зору технології. Коли ж застосування елемента з особливим "не технологічним" номіналом все ж виявляється неминучим, то шукають таке рішення, яке дозволило б "змоделювати" такий елемент схемотехнічними методами, або ж використовують зовнішні навісні компоненти та деталі.

8.4 Захист інтегральних схем від впливу зовнішнього середовища

Для захисту елементів і компонентів ІС від дії зовнішнього середовища – пилу, вологи, механічних і електромагнітних дій – кристал герметизують за допомогою ізоляційних матеріалів або щільної герметизації, використовуючи вакуум. Це ускладнює конструкцію ІС, але істотно підвищує її надійність. Виготовляється велика номенклатура корпусів для ІС. Усі вони стандартизовані і тому наперед визначають правила встановлення та монтажу ІС на друкованих платах. Отже, крім прямого призначення, корпус, ІС повинен

мати конструктивні характеристики, особливо за габаритними розмірами і розміщенням виводів.

Герметизація інтегральних мікросхем – це комплекс заходів і технологічних операцій, які забезпечують захист інтегральних мікросхем, мікрозбірок від механічних та кліматичних впливів, дій агресивних середовищ, атмосферного кисню, пилу, вологи, механічних і електромагнітних дій, вібрації, і надійність при виготовленні, зберіганні й експлуатації. Під герметичністю розуміють здатність герметизованої конструкції не пропускати через свої елементи рідину або газ. Герметичність іноді характеризують натіканням кількості потоку рідини або газу. Герметизація – одна з останніх операцій технологічного процесу виробництва, отже, повинна забезпечувати максимальний вихід придатних ІС та безвідмовну роботу їх в умовах експлуатації.

Вимоги до захисту інтегральних мікросхем. У процесі зберігання і експлуатації ІС піддаються зовнішнім впливам, які обумовлені частіше за все змінами температури або вологості навколишнього середовища, збільшенням чи зменшенням атмосферного тиску, наявністю активних речовин в навколишній атмосфері, наявністю вібрацій, ударів та іншими факторами. Для захисту мікросхем від таких впливів виконується комплекс спеціальних заходів. Найбільш широке поширення в теперішній час отримали два способи захисту мікросхем: безкорпусний захисту і корпусний.

Вибір конструктивно–технологічного варіанту виконання без корпусного захисту визначається в першу чергу призначенням і вимогами, які ставляться до мікросхеми, котру потрібно захистити. Якщо безкорпусна мікросхема виготовляється у вигляді самостійного виробу, то її захист здійснюється з урахуванням всього комплексу кліматичних механічних впливів, які передбачені технічними умовами на дану схему.

Особливі вимоги у випадку безкорпусного захисту ставляться до хімічної чистоти і термостійкості герметизуючих покриттів, до їх фізико–механічних властивостей, вологопоглинання. Крім того, герметизуючі матеріали повинні забезпечувати не тільки високу жорсткість створюваної конструкції, але й стійкість її до різних видів впливів.

Якщо в процесі експлуатації і зберігання мікросхем потрібний захист, який забезпечував би їх працездатність на протязі тривалого проміжку часу, то в цьому випадку рекомендується використовувати корпусний захист. Причому корпуси повинні відповідати наступним основним вимогам: мати достатню механічну міцність і корозійну стійкість; мати мінімальні розміри; забезпечувати чистоту середовища навколо кристалу; дозволяти легко і надійно виконувати електричне з'єднання між елементами мікросхеми і друкованої плати, на яку встановлюється мікросхема; забезпечувати мінімальні паразитні ємності та індуктивності конструкції; забезпечувати надійну ізоляцію між струмопровідними елементами; бути герметичними і запобігати проникненню вологи до мікросхеми, яка захищається; забезпечувати мінімальний тепловий опір між мікросхемою, розміщеною всередині корпусу, і навколишнім середовищем; захища-

ти мікросхему від дій електромагнітного поля і радіоактивного випромінювання; забезпечувати можливість процесу автоматизації процесу збірки; мати мінімальну вартість та ін.

8.4.1 Види герметизації

Відомо кілька методів герметизації інтегральних мікросхем. Залежно від конструктивно–технологічного виконання, призначення й галузей застосування інтегральних мікросхем використовують корпусний та безкорпусний захист, а також пасивування структур мікросхем безпосередньо на підкладці.

Пасивування. Поряд із захистом мікросхем в корпусі широко використовується захист структур мікросхем безпосередньо на підкладці. Такий захист забезпечують спеціальні пасивуючі шари, а сам процес називається пасивуванням. В напівпровідникових мікросхемах цю роль виконує шар двоокису кремнію, отриманий або окисленням кремнієвої підкладки або термовакuumним напленням двооксиду на поверхню кристалу готової мікросхеми. Пасивуючий шар може забезпечити настільки надійний захист, що опресована пластмасою мікросхема виявляється досить стійкою до впливів навколишнього середовища. Такі мікросхеми задовільно працюють в умовах, непов'язаних з дією різко агресивних середовищ – морського туману, хімічно активних газів та ін. Їх широко використовують в побутовій та іншій масовій апаратурі. Їхня вартість набагато нижча, ніж аналогічних мікросхем в металокерамічних і металоскляних корпусах, тому такий спосіб захисту має широке використання.

Безкорпусна герметизація. Здійснюється спеціальними вологозахисними лаками і еластичними компаундами методами лиття під тиском або заповненням у вакуумі і застосовується лише для захисту напівпровідникових мікросхем при незначній зміні зовнішніх впливів.

Використання безкорпусних ВІС в мікроелектронній апаратурі дозволяє забезпечити значне зменшення її масогабаритних характеристик, зниження значень перехідних опорів, паразитних індуктивностей і ємностей, збільшення надійності. Безкорпусні ВІС наділені універсальністю використання при пониженої матеріалоемності.

Безкорпусні ВІС виготовляють з гнучкими дротяними виводами, на поліамідному носії з об'ємними виводами. На комутаційній платі ВІС на поліамідному носії займають площу, в 4–10 і більше разів меншу в порівнянні з мікросхемами в корпусах. Для монтажу на плату виводи ВІС в цьому випадку мають вид квадратних контактних площадок, розміщених в периферійних областях кристалу.

Використання безкорпусних ВІС на поліамідних носіях дозволяє підвищити надійність мікроелектронної апаратури за рахунок: зменшення кількості зварних і паяних з'єднань в розрахунку на одну контактну площадку ВІС (для корпусних – три–чотири з'єднання, для безкорпусних – два–три), покращення умов відводу теплоти при установці кристалу безпосередньо на тепло відвідний п'єдестал, зниження механічної напруги в кристалі ВІС і невеликої маси.

Безкорпусні ВІС з об'ємними выводами являють собою кристали ВІС, на контактних площадках яких утворені шарикові (або стовпчикові) виводи. Об'ємні виводи виготовляють із золота, залуженої або позолоченої міді і сплаву олово–срібло. Такі ВІС займають на комутаційній платі площу в 16–40 разів меншу, ніж корпусні ВІС, і в 4–10 разів меншу, ніж безкорпусні ВІС на поліамідному носії. Опір їх виводів в 20–100 разів, паразитна ємність в 60–200 разів і міжвивідна ємність в 9–50 разів нижча, ніж у корпусних ВІС.

Об'ємні виводи на контактних площадках кристалу ВІС можуть бути сформовані двома різними способами. В першому способі, який називають «мокрим», використовують процеси вакуумного осадження бар'єрного шару (хром–нікель, хром–мідь, ванадій–мідь), на якому гальванічно вирощують пропійні шарики. Бар'єрний шар створюють з металів, які мають хорошу адгезію до алюмінію кристалу ВІС і не утворюють з ним випрямляючих контактів, тобто таких, що не впливають на електричні параметри ВІС. До недоліків «мокрого» способу відносять важкість нанесення однорідного покриття необхідної товщини, важкість контролю за складом припою і витримуванням параметрів об'ємних виводів через гальванічне розростання, а також погіршення параметрів ВІС, особливо на МДН–структурах.

Щоб уникнути недоліків «мокрого» способу формування об'ємних виводів, використовують «сухий» спосіб. Його суть полягає в ультразвуковому приєднанні шариків із золотого дроту з наступною обрізкою дроту безпосередньо над шариком. «Сухий» спосіб простий і практично не впливає на параметри ВІС.

Об'ємні виводи формують на кристалах, які знаходяться в складі пластини до її розділення. При цьому «сухий» спосіб забезпечує вибірковість у формуванні об'ємних виводів: вони створюються на контактних площадках тільки придатних, попередньо провірених по електричним параметрам кристалів ВІС.

Приєднання носія може бути здійснено пайкою або термокомпресійною зваркою. Об'ємні золоті виводи на носії формують імпульсною зваркою із золотим покриттям мідної балки, а також лазерною імпульсною зваркою або зваркою.

Приєднувати мідні, покриті олово–вісмутом, балкові виводи поліамідного носія до контактних площадок кристалів складніше, так як мідь та алюміній технічно несумісні при мікрозварці та пайці. Тому перед їх з'єднанням на контактних площадках кристалу або стричкових виводах носія формують об'ємні виводи, на кристалі – золоті або металеві, на носії – золоті.

Поліамідні носії з алюмінієвими балковими выводами (рис 8.12) приєднують до алюмінієвих контактних площадок кристалів ІС ультразвуковою мікрозваркою. В цьому випадку при взаємодії матеріалів виводу і контактної площадки утворюється надійне однокомпонентне мікрозварне з'єднання.

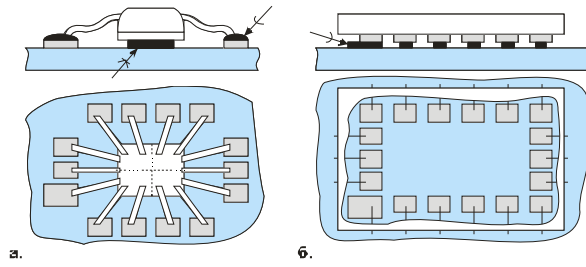


Рисунок 8.12 – Безкорпусна інтегральна мікросхема з виводами на поліамідному носії (а), з кульковими виводами (б)

Перед приєднанням поліамідного носія або перед установкою на комутаційну плату пластина з кристалами ВІС закріплюється на еластичній адгезійній плівці і розділяється на окремі кристали на всю товщину, що виключає необхідність в подальшому розламування пластини, і об'ємні виводи не пошкоджуються (рис.8.13).

Метод лиття і пресування полягає у використанні пластмасових матеріалів, які мають високу текучість при порівняно низьких температурах і тисках, а також погану адгезію до стінок форми. У розплавленому вигляді матеріал пластмаси заповнює всі пустоти у литтєвій формі. Процес герметизації проводиться у трансферних машинах терморективною або термопластичною пластмасою.

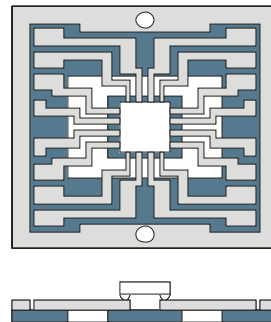


Рисунок 8.13 – Конструкція безкорпусної ІС на полімерному носії

При герметизації цим методом кристал повинен бути змонтований на рамці, стрічці або гнучкому носії. У такому вигляді він завантажується в прес-форму. Нижню частину прес-форми закривають верхньою і вміщують між двома плитами-нагрівачами двоходового гідравлічного преса. При роботі пресу відбувається замикання верхньої і нижньої частин прес-форми і витискання рухливим плунжером-трансфером прес-матеріалу, який перейшов під дією температури і тиску у в'язко-текучий стан, із завантажувальної камери через отвори у робочих гніздах.

Корпусна герметизація. Для такої герметизації використовуються уніфіковані стандартні корпуси, перевагою яких є можливість автоматизації процесів складання, що знижує вартість мікросхеми.

Корпус – частина конструкції ІС, яка призначена для її захисту від зовнішнього впливу і з'єднання із зовнішніми колами за допомогою виводів. Він має відводити теплоту, що виділяє ІС, давати змогу перевіряти електричні параметри і застосовувати високопродуктивні, у тому числі автоматизовані процеси складання й монтажу ІС в апаратуру. Його конструкція повинна забезпечувати надійну герметизацію і механічний захист напівпровідникових або гібридно-плівкових мікросхем. Корпус має також забезпечувати працездатність ІС за підвищених (до 398 К (125 °С) і вище) та знижених (до 214 К (-59 °С)) температур. Такі широкі функції корпусу жорстко регламентують перелік використовуваних матеріалів, а також основні конструктивно-технологічні рішення. Типи найпоширеніших корпусів наведено на рис 8.14–8.16.

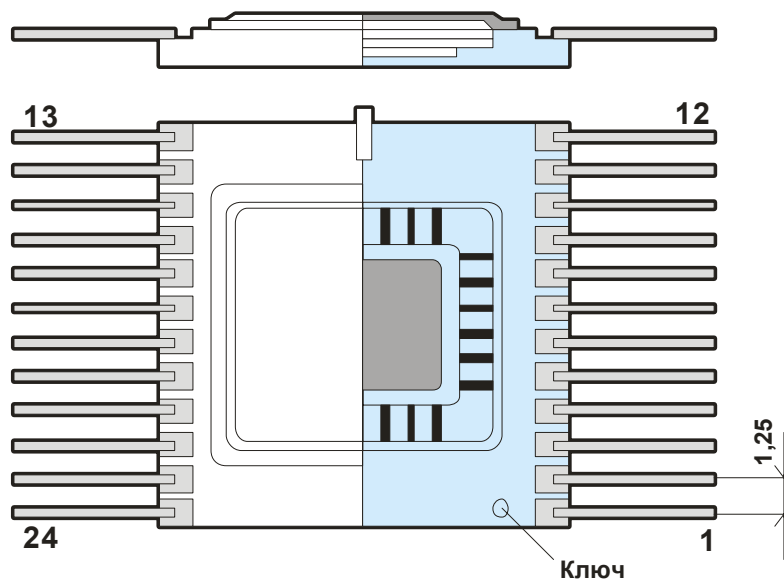


Рисунок 8.14 – Конструкція металокерамічного корпусу 4118

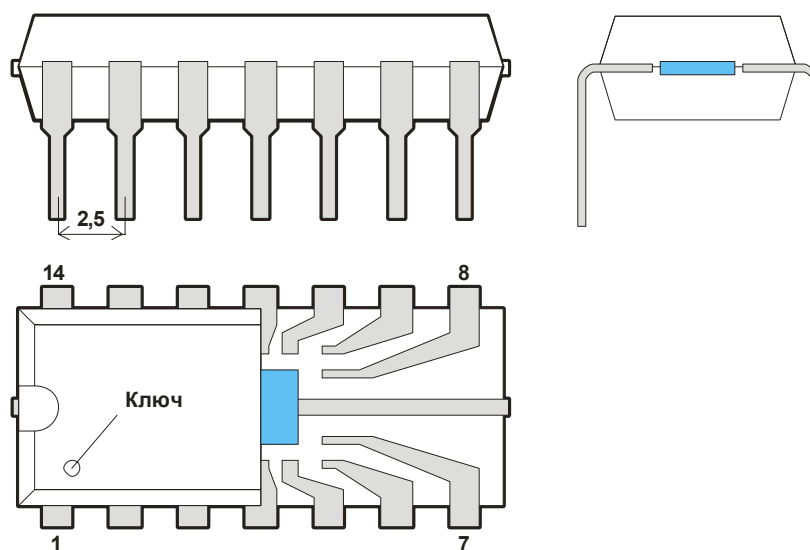


Рисунок 8.15 – Конструкція пластмасового корпусу 2102

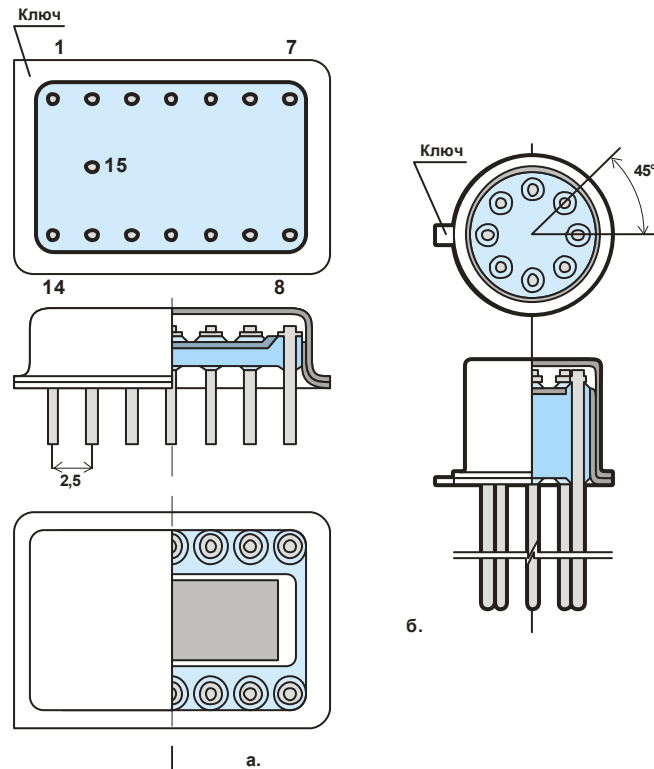


Рисунок 8.16 – Конструкція металоскляних корпусів: а - підтипу 1203; б - підтипу 3104

У залежності від використовуваних матеріалів корпуси поділяються на металоскляні, скляні, металокерамічні, керамічні, металополімерні і полімерні. Така класифікація враховує насамперед конструктивний матеріал, що використовується як механічна опора для закріпленого кристалу (складального елемента), та матеріал, яким ізолюють виводи.

Металоскляні корпуси складаються з металевої кришки і металевої основи, в яку, використовуючи ізолятори, впаяні виводи. В якості ізоляторів використовують скляні буси (при ізоляції кожного виводу окремо) або скло таблетки (при ізоляції групи виводів). Для забезпечення якісного металоскляного спаю підбирають матеріали таким чином, щоб температурні коефіцієнти лінійного розширення скла і металу були однаковими або близькими.

В металокерамічних корпусах дно і кришку формують із металу, а основу – із кераміки, яка в даному випадку виконує функцію підкладки. В керамічних корпусах в якості підкладки використовується не тільки основа, але і кришка. Розділяються вони між собою керамічною рамкою. Герметизація корпусу здійснюється або склоприпоєм, або клеєм. Металополімерні корпуси складаються зазвичай із металевої капсули (дна), в яку встановлюється плата. Ізоляція виводів і герметизація корпусу здійснюється заливкою компаундом. В полімерних (пластмасових) корпусах виводи впресовані в основу із полімеру, а кришка виготовляється, як правило із такого ж матеріалу, що і основа, і приклеюється до неї. До пластмасових корпусів відносяться також корпуси, які не мають ні кри-

шки, ні основи. Герметизація мікросхеми і виготовлення корпусу в даному випадку відбувається одночасно.

Крім перерахованих різновидів корпусів, на практиці зустрічаються також кераміко–полімерні, кераміко–скляні та ін.

Для герметизації мікросхем використовують також пластмасові корпуси, які виготовляються гарячим пресуванням з прес-порошку або полістиролу. Кришка закріплюється до корпусу з допомогою клею. При усадці клею в процесі затвердіння забезпечується стягування і щільний притиск з'єднувальних деталей. Корпуси з шовно–клеєвими з'єднаннями найпростіші і найдешевші, але мікросхеми в таких корпусах можуть працювати лише в нормальних умовах експлуатації.

8.5 Технології мініатюризації електронних пристроїв

Технологія "flip–chip", названа ControlledCollapse Chip Connection (монтаж кристала методом контрольованого сплюснення) або C4, була розроблена фірмою IBM в 1960 році. Відповідно до цієї технології на поверхні кристала мікросхеми створюється поле стовпчикових виводів з олов'яно–свинцевого сплаву, потім обернений кристал припаюється методом оплавлення до майданчиків підкладки.

Сьогодні багато які фірми широко використовують flip–chip технологію для виготовлення мініатюрних електронних пристроїв. Так, наприклад, за цією технологією виготовляють мікроборки імплантів, мініатюрні безпроводні та інші пристрої. Останні досягнення цієї технології при трьохмірному (просторовому) розташуванні ІС дозволяють досягнути безпрецедентної міри мініатюризації і надійності. При розробці технології виготовлення виробів, для яких основними вимогами є мінімальний об'єм, надійність і максимальний термін служби, основну увагу потрібно приділити вибору оптимального способу монтажу кристалу на тонкі гнучкі підкладки.

Критерії мініатюризації Три основних критерії визначають міра мініатюризації виробу. По–перше, із зменшенням розмірів мікросхеми можна розраховувати на підвищення об'ємів її продажу і збільшення застосування, особливо в таких областях, як медицина, телекомунікації, космонавтика і військова промисловість. Однак оптимальний вибір розмірів виробу являє собою компроміс між можливостями технології і витратами на його виготовлення.

По–друге, для галузей, в яких витрати на мініатюризацію виробів є виправданими, одними з першочергових вимог є їх висока надійність.

Існуючі технології мініатюризації дозволяють скоротити загальне число з'єднань і їх довжину. При цьому меншає індуктивність виводів, підвищується КПД виробу і меншає його перегрів. У результаті збільшується надійність виробу.

По–третє, прийняття рішення про мініатюризацію виробів нерідко пов'язане з виробничими проблемами (густиною розміщення кристалів мікросхем,

властивостями підкладки з друкованими провідниками, наявністю компонентів, можливістю автоматизації виробництва), а також з очікуваним співвідношенням виробничих витрат і прибутку, що планується.

Якщо успіх виробу на ринку залежить від міри його мініатюризації, здатності роботи на більш високих частотах і зменшення потужності, що розсіюється, то більшість технологічних проблем при його виготовленні так чи інакше пов'язана з монтажем кристала на підкладку. Наприклад, із зменшенням розміру кристалів мікросхем все більш важливою стає оптимальне трасування провідників.

Невдале трасування може привести до збільшення паразитних ємності, індуктивності і опір провідників, що збільшить споживану потужність і паразитні зв'язки між елементами. Дуже щільне розміщення доріжок може привести до збільшення відмов через коротке замикання між ними.

Особливості монтажу flip–chip–кристала. Сьогодні використовуються наступні способи монтажу кристала на підкладку:

– формування олов'яно–свинцевих виводів і припаювання їх до підкладки методом оплавлення

– формування золотих стовпчикових виводів гальванічним методом і створення контакту із золотими майданчиками підкладки способом термокомпресії (рис. 8.17)

– приклеювання виводів до підкладки за допомогою електропровідного клею.

У залежності від технології, що використовується можуть бути потрібні додаткові операції, наприклад, створення додаткового шару металізації під майбутніми виводами, що пов'язано з витратами часу і коштів.

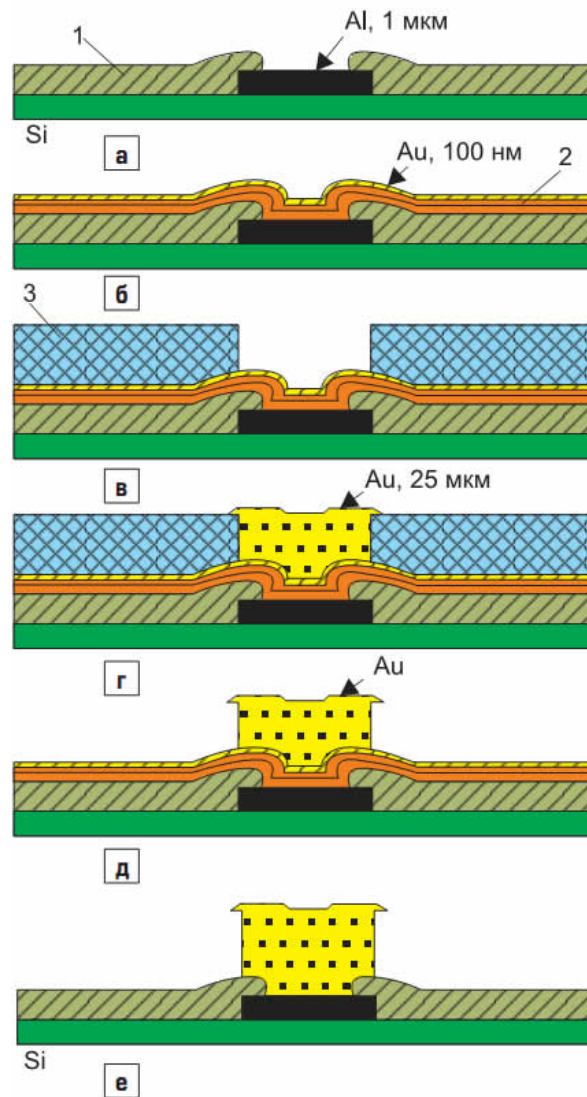


Рисунок 8.17 – Формування золотих стовпчиків на алюмінієвих контактах: а) пластина після операції очищення та іонного травлення; б) створення контактного бар’єрного шару з шаром золота для запобігання окислення; в) нанесення фоторезисту; г) електрохімічне осадження шару золота; д) зняття речисту; е) видалення тонких плівок травленням: 1– оксид кремнію 1-1,5 мкм; 2 – контактний бар’єрний шар 100 нм; 3 – фоторезист 25 мкм.

У разі монтажу кристалів великих розмірів може виникнути погрішність в розташуванні його крайніх виводів відносно підкладки, зумовлена різними коефіцієнтами лінійного розширення кристала і підкладки.

Не треба також недооцінювати механічні напруження, виникаючі в паяному з’єднанні в процесі зміни температури. Вплив цього чинника зростає із збільшенням розмірів кристала.

Для його компенсації між кристалом і підкладкою вводять проміжний шар полімеру. Якість цього шару істотно впливає на надійність виробу. Щоб уникнути відшаровування виводів і втрати контакту недоливки повинен бути

однорідним, без пустот і мати хорошу адгезію як до кристала, так і до підкладки.

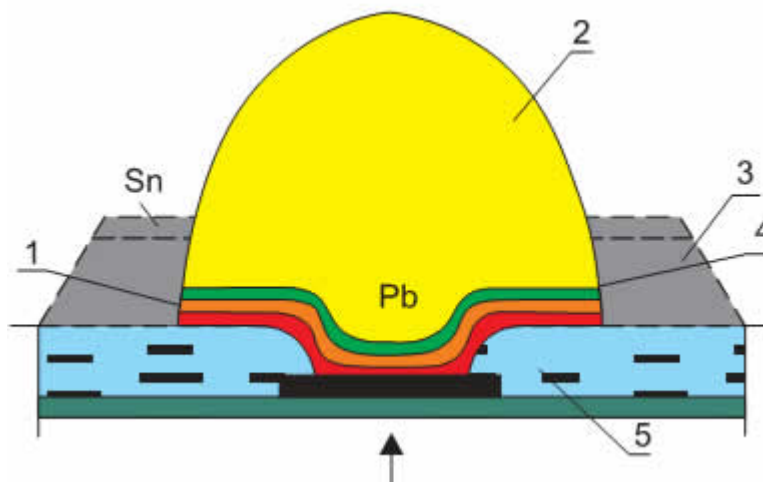


Рисунок 8.18 – Поперечний перетин контакту при монтажі методом перевернутого кристала: 1 – шар фазового складу Cr+Cu; 2 – кулька припою 5%Sn, 95%Pb; 3 – облужений кристал; 4 – інтерметалеві з'єднання Cu-Sn; 5 – скло, або інший діелектрик.

Відмінність коефіцієнтів лінійного розширення впливає також і на виробі, що монтуються за допомогою електропровідних клеїв. Тут також використовують недоливок. Однак, якщо при нагріванні він розширяється більше, ніж електропровідний клей, контакт між кристалом і підкладкою може бути порушений (рис.8.18).

Крім того, потрібно враховувати, що електричний контакт, що створюється за допомогою електропровідного клею, утвориться внаслідок наявності в ньому струмопровідних частинок діаметром менше за 1 милл (25 мкм). Тому щоб уникнути втрати контакту не площинність поверхонь, що зчленовуються не повинна перевищувати цієї величини. У ідеальному випадку композитний клей повинен був би мати той же коефіцієнт лінійного розширення, що і діелектрик, що знаходиться з ним в контакті, досягнути чого можна було б значно простіше, якби в клеї не було провідних частинок. Тому тут необхідно використати різні способи кріплення.

Зменшення розмірів контактних майданчиків обмежене властивостями підкладки. Як правило, на гнучких підкладках допустимі майданчики менших розмірів.

Це пояснюється співвідношенням між товщиною підкладки і діаметром перехідних отворів, що з'єднують різні її шари. При великій товщині підкладки створення перехідних отворів малого діаметру не є можливим. Крім того, при співвідношенні товщини підкладки і діаметра отвору більш ніж 5:1, неможливо створити в отворі якісний шар металізації. Якщо, наприклад, в деякому виробі ширина доріжок і відстань між ними повинні бути не більше за 50 мкм, то діаметр перехідних отворів також повинен бути рівний цій величині. Отже, тов-

щина підкладки в цьому випадку повинна бути не більше за 250 мкм. Додаткова перевага гнучких підкладок полягає в можливості придання їм різної форми, і, як наслідок, в більшій різноманітності форм і габаритів корпусів мікросхем.

У залежності від способу мініатюризації підготовка кристала мікросхеми до монтажу може бути виконана як до різання кремнієвої пластини на окремі кристали, так і після неї. Наприклад, на кристал можуть бути нанесені додаткові шари металізації або виконано перерозподіл виводів. Кристали, призначені для пайки або приклеювання електропровідними клеями, найкраще готувати до різання пластини. Для монтажу із застосуванням непровідних клеїв формування стовпчикових виводів можна здійснити порівняно простими способами, як на нерозрізаній кремнієвій пластині, так і на окремому кристалі. Пайка або склеювання електропровідними клеями переважні для крупносерійного виробництва, в той час як монтаж за допомогою непровідних клеїв більше застосуємо для випуску малих і середніх серій.

Автоматизація монтажу. Способи монтажу за допомогою золотих виводів і електропровідних клеїв позбавлені багатьох нестач, властивих пайці. Будучи по суті механічними операціями, вони можуть бути легко автоматизовані.

Правда, в деяких випадках виникає необхідність в ручній зборці, що вимагає участі кваліфікованих монтажників. Принаймні, використання цих способів надає широкі можливості монтажу різних типів мікросхем на різні підкладки.

Процес створення золотого стовпчикових виводів на поверхні кристала може бути автоматизовано як для нерозрізаної кремнієвої пластини, так і для окремого кристала. На відміну від інших способів монтажу для вирощування золотих виводів (рис. 8.17) не потрібна попередня металізація.

Непровідний клей, що використовується для монтажу наносять на підкладку способом трафаретного друку.

Застосування непровідних термопластичних клеїв дозволяє дещо зменшити дію сил, виникаючих внаслідок різних коефіцієнтів лінійного розширення кристала і підкладки. Ці клеї розм'якшуються при нагріванні, що дозволяє спростити і прискорити монтаж, звівши його до трьох операцій: нагріву, притиску і охолодженню кристала. Типовими параметрами процесу монтажу є:

- сила притиску (на один вивід) від 50 до 80 г;
- температура від 150 до 250 °С;
- час твердіння не більше за 10 с;
- точність позиціонування кристала $\pm 1 \dots 5$ мкм.

Термопластичні непровідні клеї відрізняються низьким газовиділенням, оскільки при їх застосуванні відсутня хімічна реакція. Це дає можливість використати їх в герметизованій апаратурі. Швидкості виготовлення виробів із застосуванням цих клеїв і добре відомих епоксидних сумірни. Відмінність складається в тому, що перші допускають ремонт друкарських плат із заміною мікро-

схем. Це особливо важливе у разі застосування мікросхем з великим числом виводів, заміна яких економічно виправдана.

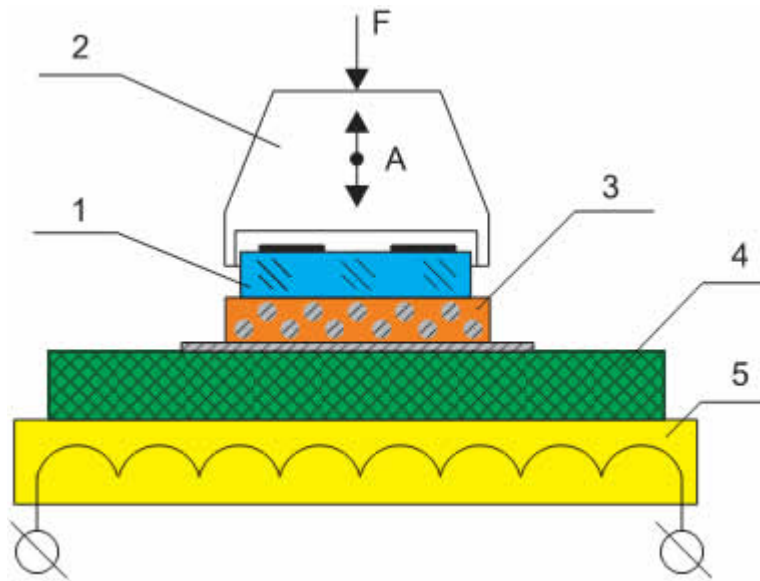


Рисунок 8.19 – Схема монтажу кристалу ультразвуковим зварюванням: 1 – кристал; 2 – наконечник; 3 – анізотропна провідна плівка (АПП) ; 4 – плата; 5 – нагрівач.

Монтаж мікросхем на друковану плату може здійснюватися як вручну, так і автоматично в залежності від способу з'єднання, числа виводів і т. д. При автоматичному або напівавтоматичному монтажі для позиціонування мікросхеми відносно місця посадки використовують серійне або спеціалізоване обладнання, що випускається (рис. 8.19). Існуюче обладнання дозволяє всі з'єднання виконати за одну технологічну операцію, при цьому крок між виводами може бути менше за 100 мкм, а товщина гнучкої підкладки – 25 мкм. Також передбачається можливість регулювання сили притиску виведення для компенсації нерівності підкладки і відмінностей в формі виводів. Це особливо важливо у разі монтажу мікросхем з великою кількістю виводів.

Автоматизоване формування міжз'єднань багатошарової структури кристалу інтегральної схеми з кульковими виводами через з'єднальну плату корпусу здійснюється за допомогою систем автоматизованого проектування (рис. 8.20).

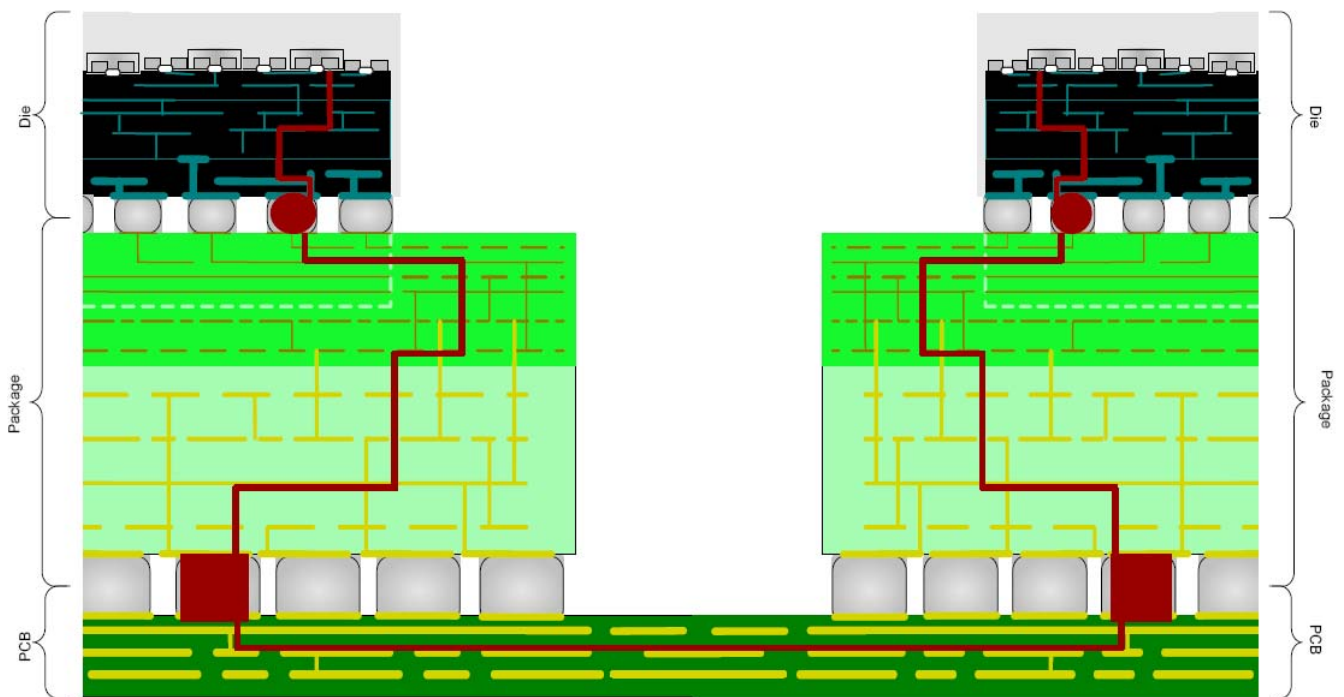


Рисунок 8.20 – Автоматизоване формування трас міжз'єднань багатошарової структури кристалу інтегральної схеми з кульковими виводами через з'єднальну плату.

Використання flip-chip- і SMD-компонентів в поєднанні з гнучкими підкладками дозволяє досягнути максимальної міри мініатюризації виробів.

Вибір найбільш прийнятної flip-chip-технології є вирішальним чинником для успішного просування виробу на ринку, однак повинне бути прийняте всебічно обдумане рішення про оптимальну міру мініатюризації.

Аналізуючи всі матеріали, різновиди методів корпусування для захисту мікросхем, провівши порівняльну характеристику різновидів корпусів можна дійти наступних висновків:

1. Вибір методу герметизації залежить від конкретних умов, у котрих експлуатуватимуться виготовлені електронні пристрої.

2. Вибір з'єднувальних матеріалів проводиться, виходячи з вимог до їх високої електро- і теплопровідності та механічної міцності.

3. Найбільша щільність монтажу досягається при безкорпусній герметизації, проте максимальний захист від різноманітних зовнішніх впливів досягається використанням корпусів, кожен з яких має свої переваги та недоліки.

4. Найнадійнішими є металеві та керамічні корпуси, але вони досить високо вартісні. Для масового виробництва мікросхем із малою потужністю розсіювання вигідно використовувати пластмасові корпуси, які добре працюють за низької вологості в обмеженому діапазоні температур.

8.5 Вплив мікроелектроніки на розвиток сучасної техніки

З появою інтегральних мікросхем була розв'язана та кризова ситуація в радіоелектроніці, яка стала назрівати наприкінці 50-х – початку 60-х років. Справа в тому, що протягом всього попереднього періоду розвиток радіоелектроніки відбувався екстенсивно: шляхом нарощування складності приладів та пристроїв, прямим збільшенням кількості деталей в їх схемах, приблизно на порядок за кожне десятиріччя. В результаті на вказаний строк кількість деталей у найбільш складних на той час приладах (наприклад, у електронно-обчислювальних машинах) сягала вже десятків і навіть сотень тисяч. Так, наприклад, вельми досконала на той час ЕОМ другого покоління типу ВЕОМ-6 вимагала для свого розміщення площу в сотню квадратних метрів, вживала кілька десятків кВт електроенергії та коштувала десятки мільйонів крб.

Проте, найсерйознішою проблемою виявилася проблема забезпечення надійності – тобто безвідмовної роботи протягом тривалого часу, що завжди є основною вимогою до будь-якого пристрою чи системи. Кожний елемент або деталь взяті окремо можуть мати високий ступінь надійності. Однак, у їх сукупності надійність системи знижується пропорційно кількості елементів.

Але оскільки частота відмов окремих деталей підсумовується, то період безвідмовної роботи пристрою, який складається з кількох сотень тисяч подібних деталей, становитиме лише кілька годин, тобто даний пристрій є практично непридатним. Боротьба за підвищення якості та надійності радіодеталей дала певні результати, проте стало очевидним, що колишній екстенсивний шлях розвитку радіоелектроніки є безперспективним.

Вирішення всіх цих проблем стало можливим завдяки мікроелектроніці. Інтегральні мікросхеми виявились здатними виконувати ті ж функції, що й електронні пристрої, зібрані з дискретних компонентів, але при цьому вони були на кілька порядків менше за вагою, габаритами, енергоспоживанням та вартістю. Що ж до надійності, то як показала практика, мікросхеми, виготовлені за добре відпрацьованою технологією, мають приблизно таку ж надійність, як і окрема дискретна радіодеталь. Висока надійність ІС забезпечується високою чистотою вихідних матеріалів, їх фізико-хімічною сумісністю, груповим характером та суворим контролем параметрів технологічного процесу, а також мінімальним застосуванням ручної праці.

Як показник надійності звичайно приймають гарантований час безвідмовної роботи. У більшості випадків цей час для окремої ІС становить не менше 10^4 годин. Вважається, що імовірність безвідмовної роботи за цей строк має становити 0,999. Отже, частота відмов ІС середнього ступеня інтеграції (СМС) є величиною порядку $10^{-7} \dots 10^{-8}$ год⁻¹. На основі СМС були створені ЕОМ третього покоління, а на основі ВІС та НВІС – четвертого покоління. Сучасна персональна ЕОМ, яку можна віднести до четвертого або п'ятого покоління, за своїми можливостями лише не набагато поступається згадуваній вище ВЕОМ-6, хоч її розміри, енергоспоживання та вартість набагато менше відповідних па-

раметрів БЭСМ–6. Що ж до надійності подібних персональних ЕОМ, то вона приблизно така ж як у інших побутових радіоелектронних приладів (телевізорів, радіо тощо), що відповідає частоті відмов порядку одного разу за кілька років.

Створення інтегральних мікросхем може бути яскравим прикладом того, як поодинокий, і здавалося б, суто спеціальний винахід або вдосконалення здатні привести до радикальних змін у обрисі цілого технічного напрямку та галузі промисловості, викликати великі соціальні наслідки і навіть накласти певний відбиток на розвиток цивілізації.

Поява мікроелектронної технології змінили насамперед обрис самої радіоелектронної промисловості. Кропітка та малокваліфікована праця сотень тисяч складальників–монтажників радіосхем була замінена високопродуктивною та висококваліфікованою роботою не багатьох операторів на технологічних лініях по виготовленню ІС. Різко скоротилась собівартість складних радіоелектронних пристроїв, їх вага та розміри при одночасному зростанні їх надійності. Все це зробило можливим масове виготовлення та застосування радіоелектронних пристроїв, які раніше випускались лише як коштовні унікальні вироби, або взагалі були недоступні для виготовлення та придбання.

Прикладом можуть бути персональні ЕОМ, які тепер стали предметом масового виробництва. Заснована на ІС "інтелектуальна" автоматика широко проникає в промисловість (наприклад, станки з цифровим керуванням, обробляючі центри), підвищуючи продуктивність та змінюючи умови роботи на підприємствах різноманітного профілю. Електронна автоматика входить і в наші оселі у вигляді побутової електро– та радіоапаратури нового покоління, полегшуючи домашню працю і зберігаючи сили та час для іншої більш інтелектуальної діяльності. Широке застосування ЕОМ в науці, виробництві і керуванні незмірно розширює інтелектуальні можливості людини і відкриває нові шляхи для комунікації та обміну інформацією. Передбачити соціальні та культурні наслідки цього процесу дуже важко. Винахід ІС у багатьох відношеннях нагадує винахід книгодрукування п'ятсот років тому. Підготовка до виробництва ІС подібно до підготовки книги до видання і вимагає великих інтелектуальних зусиль на складання і проектування та матеріальних витрат на технологічну підготовку. Зате вже на стадії виробництва можливе тиражування ідентичних виробів в необмежених кількостях. Більш того, як видання книги, так і виробництво ІС себе виправдовують та окупаються лише при масовому виробництві та великих серіях.

Подібні також і соціальні наслідки цих двох винаходів. Сприяючи удосконаленню засобів виробництва та інтенсифікації обміну інформацією вони призводять кінець–кінцем до нового витку розвитку цивілізації, зумовленого можливістю якісного підвищення матеріального, інтелектуального та культурного рівня всього людства.

8.6 Контрольні запитання і завдання

1. Перелічіть технологічні етапи виготовлення біполярних pnp-транзисторів за планарною технологією. Поясніть зміст терміну “планарний”.
2. Перелічіть технологічні етапи виготовлення МОН-транзистора з вбудованим n-каналом.
3. В чому різниця у технології застосування негативного та позитивного фоторезистів?
4. Які переваги дає груповий метод виготовлення транзисторів?
5. Дайте визначення інтегральної мікросхеми (ІС) та поясніть зміст слів “інтегральна” та “мікросхема”.
6. Як можна виготовити пасивні елементи ІС (резистори, ємності, сполучальні провідники) методами планарної технології?
7. Дайте класифікацію сучасних ІС за ступенем їх інтеграції.
8. Які мінімальні розміри елементів досягнуті у сучасних НВІС?
9. Якими фізичними процесами визначається межа подальшого зменшення розмірів елементів у НВІС?
10. Відомо що деякі елементи ІС неможливо виготовити методами мікроелектронної технології. Що робити у таких випадках? Наведіть приклади.
11. В чому різниця між товстоплівковою та тонкоплівковою технологіями виготовлення ІС?
12. Що таке гібридна інтегральна мікросхема (ГІС)?
13. У яких випадках доцільно застосовувати планарну технологію виготовлення ІС, а коли плівкову та гібридну?
14. Як робиться ізоляція елементів напівпровідникової інтегральної мікросхеми від її підкладки?
15. Чому в ІС на МОН-транзисторах не виникає проблеми ізоляції транзисторів від підкладки?
16. В чому перевага епітаксіальної технології виготовлення ІС у порівнянні з методом потрійної дифузії?
17. Чому для виготовлення планарних ІС на діелектричних підкладках бажано застосовувати сапфір? Які були б важливі переваги, якщо б як підкладку вдалось застосувати алмаз?
18. Які схемотехнічні особливості ІС обумовлені специфікою інтегральної технології?

9 ВИДИ КОНСТРУКТОРСЬКОЇ ДОКУМЕНТАЦІЇ

Конструкторські документи – графічні і текстові документи, які по окремо або в сукупності визначають склад і будову виробу, містять необхідні дані для його опрацювання або виготовлення, контролю, приймання, експлуатації, розвитку.

До графічних документів належать креслення і схеми, до текстових – специфікація, технічний опис і т. п. в скороченому вигляді, стосовно навчального процесу, подано графічні і текстові документи залежно від їх змісту

Проектна документація

Проектна документація – це сукупність конструкторських документів, виконаних на різних стадіях проектування виробу відповідно до технічного завдання до розробки робочої конструкторської документації. Проектна конструкторська документація містить технічну пропозицію, ескізний і технічний проекти.

Технічна пропозиція

Технічна пропозиція – це проектна конструкторська документація, що містить технічне і техніко–економічне обґрунтування доцільності розробки виробу на основі аналізу технічного завдання замовника і опрацювання можливих варіантів конструкції виробу. Технічна пропозиція є основою для розробки ескізного або технічного проекту або робочої конструкторської документації.

Ескізний проект

Ескізний проект – це проектна конструкторська документація, що містить принципові конструктивні рішення, достатні для отримання загального уявлення про конструкцію і роботу виробу, а також визначення його основних характеристик, в тому числі габаритних розмірів. Ескізний проект є основою для розробки технічного проекту або робочої конструкторської документації.

Технічний проект

Технічний проект – це проектна конструкторська документація, що містить остаточні конструктивні рішення, достатні для отримання повного уявлення про конструкцію виробу і значення показників його якості. Показником якості виробу називається кількісна характеристика однієї або декількох властивостей, які складають його якість, що розглядається стосовно до певних умов її створення, експлуатації або споживання. Технічний проект є основою для розробки робочої конструкторської документації.

Робоча документація

Робоча документація – це конструкторська документація, розроблена на основі технічного завдання або проектної конструкторської документації і призначена для забезпечення виготовлення, контролю, приймання, постачання, експлуатації і ремонтів виробу.

Виробнича документація

Це робоча конструкторська документація, призначена для забезпечення виготовлення, контролю, приймання і постачання виробу.

До видів виробничої конструкторської документації відносять конструкторську документацію дослідного виробництва (документація дослідного зразка і (або) досвідченої партії виробів), установчої і головної серії.

Експлуатаційна документація

Це робоча конструкторська документація, призначена для вивчення конструкції виробу і правил його експлуатації.

До основних експлуатаційних документів обладнання відносяться: технічний опис (ТО); інструкція з експлуатації (ІЕ); інструкція з технічного обслуговування (ІО); формуляр (Ф); паспорт (ПС); етикетка (ЕТ) відомості запасних частин і принадлежностей (ЗІ); відомість експлуатаційних документів (ЕД).

Вони призначені для забезпечення правильного транспортування, приймання, використання, технічного обслуговування, ремонту та зберігання виробу і виконуються з дотриманням вимог відповідних стандартів.

Ремонтна документація

Це робоча конструкторська документація, призначена для забезпечення підготовки ремонтного виробництва або проведення ремонту і контролю виробів після ремонту.

Поточний ремонт виробу проводиться по експлуатаційній документації. Правила оформлення документації на поточний ремонт встановлені стандартом.

Документація серійного виробництва

Це конструкторська документація, остаточно відпрацьована за результатами виготовлення і випробування виробів установчої або головної серії згідно затвердженого і повністю оснащеного технологічного процесу серійного (масового) виробництва.

Документація одиничного виробництва

Це виробнича конструкторська документація, призначена для застосування при виготовленні, контролі і випробуванні виробів, що випускаються одноразово або періодично окремими зразками.

Вироби одиничного виробництва поділяються на вироби разового виробництва і вироби одиничного виробництва, що повторюється.

Технічне завдання (ТЗ)

Технічне завдання – це початковий документ для розробки виробу і технічної документації на нього. Він встановлює основне призначення і показники якості виробу, техніко–економічні і спеціальні вимоги, які висуваються до виробу, що розробляється, обсягу, стадій розробки і складу конструкторської документації. Цей документ містить наступні відомості про майбутній виріб:

1. Назва і область застосування.
2. Підстава для розроблення.
3. Мета і призначення розроблення.
4. Технічні вимоги.
 - 4.1. Склад продукції і вимоги до її будови.
 - 4.2. Показники призначення.
 - 4.3. Показники якості виконання технологічного процесу.

- 4.4. Вимоги до надійності.
- 4.5. Естетичні та ергономічні вимоги.
- 4.6. Вимоги до складових частин продукції.
- 4.7. Умови експлуатації.
- 4.8. Вимоги безпеки, охорони здоров'я і природи.
- 4.9. Вимоги до патентної чистоти.
- 4.10. Вимоги до уніфікації і стандартизації.
- 4.11. Вимоги до маркування і пакування.
- 4.12. Вимоги до транспортування і збереження.
5. Економічні показники.
6. Стадії та етапи розроблення.
7. Порядок контролю виконання і приймання документації. Технічні умови (ТУ)

Технічні умови – це нормативно–технічний документ, який встановлює комплекс вимог до конкретного виробу, його виготовлення, контролю, приймання і постачання. Основні складові частини ТУ наступні:

1. Технічні вимоги.
 - 1.1 Відповідність виробу стандартам та іншим нормативно–технічним документам.
 - 1.2 Основні параметри та розміри виробу.
 - 1.3 Показники функціонального призначення.
 - 1.4 Маркування.
 - 1.5 Пакування.
 - 1.6 Комплектність.
2. Вимоги безпеки та охорона навколишнього середовища.
 - 2.1 Відповідність екологічним нормам.
 - 2.2 Вимоги до електробезпеки.
 - 2.3 Вимоги до рівня шуму.
 - 2.4 Максимальні зусилля на органах керування.
 - 2.5 Показники вібраційного навантаження на оператора.
 - 2.6 Інші вимоги, пов'язані з безпекою і зручністю експлуатації виробу.
3. Правила приймання.
 - 3.1 Виконавець приймальних робіт.
 - 3.2 Види випробувань.
 - 3.3 Послідовність і правила випробувань.
 - 3.4 Значення контрольованих показників.
4. Методи контролю.
5. Транспортування та зберігання виробу.
6. Вказівки щодо експлуатації.
7. Гарантії виробника.

Інструкція з експлуатації

Це експлуатаційний конструкторський документ, що містить правила поводження з виробом при його зберіганні, транспортуванні, підготовці до роботи і використанні за прямим призначенням, а також додаткові відомості, знання

яких необхідне для підтримки виробу в постійній готовності до роботи і його правильної експлуатації

Інструкція з технічного обслуговування

Це експлуатаційний конструкторський документ, що містить правила і порядок технічного обслуговування виробу при його підготовці до використання, в процесі і після закінчення роботи, при зберіганні і транспортуванні, що забезпечують підтримку працездатного стану.

Інструкція з технічного обслуговування має таку структуру:

1. Вступ

1.1. Призначення і склад інструкції.

1.2. Прийняті позначення складових частин.

1.3. Дані, необхідні для використання ІО та дані про використання попередніх інструкцій, перелік експлуатаційні документів, якими користуються при ТО.

2. Загальні вказівки. (Містять характеристику прийнятої системи ТО, вказівки по організації ТО, його особливостей від умов експлуатації, вимоги до виробу.)

3. Заходи безпеки.

4. Види та періодичність технічного обслуговування. (Містить види та характеристику кожного виду ТО виробу та його складових частин в залежності від особливостей і умов експлуатації, а також періодичність видів ТО.)

5. Підготовка до роботи.

5.1. Склад спеціалістів для виконання робіт по технічному обслуговуванню.

5.2. Спеціальні вимоги до приміщення, робочих ділянок та робочих місць.

5.3. Характеристика (із зазначенням номенклатури) загального і спеціального обладнання, яке необхідне для виконання робіт.

5.4. Перелік стендів, контрольно-вимірювальних приладів, пристосувань, інструментів і матеріалів (із складу ЗІП).

5.5. Перелік і зміст робіт по підготовці виробу до ТО. (реконсервація, загальна чистка, миття і т.д.)

6. Порядок технічного обслуговування.

6.1. Вказівки по ТО і перевірці працездатності виробу і його складових частин.

6.2. Вказівки про обсяг і порядок розбирання виробу.

6.3. Перелік і зміст робіт із вказуванням необхідного обладнання.

6.4. Вказівки щодо порядку складання і монтажу.

6.5. Порядок і місця мащення із прикладанням карти змащування.

6.6. Технічні параметри, які досягаються регулюванням (наладкою, а також перелік основних перевірок технічного стану, які необхідно провести після технічного обслуговування.

6.7. Вказівки про порядок використання одиничного і групового комплектів ЗІП.

6.8. Вказівки про використання і норми витрат технічного ресурсу виробу, який необхідний для виконання робіт по технічному обслуговуванню.

7. Технічна перевірка.

Вказує порядок і періодичність перевірки виробу і його частин органами інспекції і нагляду, а також приводять перелік контрольно–виміральної апаратури та приладів, що входять у виріб, для періодичної перевірки точності показів. Тут же приводять методики перевірки, які повинні містити:

7.1. Призначення приладу, принцип його дії і терміни перевірки.

7.2. Перелік характеристик, які перевіряються, із вказуванням необхідних для перевірки еталонних і допоміжних приладів.

7.3. Вказівки про підготовку приладу до перевірки і методику перевірки всіх його характеристик без демонтажу приладу з виробу.

7.4. Вказівки про порядок клеймування (пломбування) перевірених приладів і про порядок внесення результатів перевірки в формуляри та паспорти.

8. Консервація.

Вказують способи консервації в цілому і окремо складових частин. Вказують правила пломбування виробу.

9. Додатки.

Інструкція з монтажу, пуску, регулювання і обкатки

Це експлуатаційний конструкторський документ, що містить правила і порядок підготовки і виконання монтажу, наладки, пуску, регулювання, обкатки і здачі виробу у експлуатацію на місці його застосування.

У інструкції також повинні бути викладені правила демонтажу виробу і його складових частин.

Формуляр виробу

Це експлуатаційний конструкторський документ, що засвідчує гарантовані підприємством–виробником значення основних показників якості і технічні характеристики виробу, який включає розділи для внесення відомостей про експлуатацію з урахуванням ремонту виробів протягом терміну служби.

Паспорт виробу

Це експлуатаційний конструкторський документ, що засвідчує гарантовані підприємством–виробником значення основних показників якості і технічні характеристики виробу, а також гарантійні зобов'язання і відомості про рекламації.

Відомість запасних частин, інструментів і приналежностей

Це експлуатаційний конструкторський документ, що встановлює номенклатуру, призначення, кількість і місця укладання запасних частин, інструментів, приналежностей і матеріалів, які необхідні для експлуатації з урахуванням ремонтів виробу або групи виробів.

Відомість запасних частин, інструментів і приналежностей (ЗІП) комплектується в залежності від призначення та особливостей використання виробу. Сюди входять запасні частини і матеріали, які можуть знадобитися для відновлення працездатності машини під час гарантійного періоду. До приналежностей

можуть відноситися контрольні прилади, пристосування, чохла, буксирні троси і т.п. (ДСТУ 18322 78).

Каталог деталей і складальних одиниць

Це експлуатаційний конструкторський документ, що містить перелік складальних одиниць і деталей виробу з ілюстраціями і відомості про їх кількість, розташування у виробі, взаємозамінність, конструктивні

Особливості і матеріали деталей. Він призначений для складання заявок на запасні частини, необхідні при технічному обслуговуванні і ремонті виробу.

9.1 Склад документації

Конструкторська документація поділяється на проектну і робочу.

Конструкторська документація не регламентує технологічні способи і методи виготовлення, технічного обслуговування і ремонту виробу, однак містяться в ній дані в значній мірі впливають на їх вибір і застосування при розробці виробничої (технологічної), експлуатаційної та ремонтної документації.

Конструкторська документація повинна розроблятися для виготовлення виробу на конкретному виробництві. Виробнича база підприємства–виробника повинна забезпечити можливість виготовлення виробу з найменшими витратами. Конструктор повинен рахуватися з існуючим на відповідному підприємстві обладнанням та оснасткою, необхідними для виготовлення, збирання і контролю виробу. Необхідно також враховувати кваліфікацію персоналу, яке виготовляє виріб, і стан технологічної дисципліни на підприємстві. У той же час конструкція виробу і конструкторська документація на нього не повинні перешкоджати впровадженню більш прогресивної технології та її безперервному поліпшенню.

Конструкторська документація на ЕОМ – це сукупність документів, які повністю і однозначно визначають усі необхідні і достатні дані для виготовлення, наладки, приймання, експлуатації і ремонту як ЕОМ в цілому, так і всіх її складових частин. Склад документації на конкретне розроблювальне виріб обчислювальної техніки встановлюється розробником за погодженням із замовником.

Конструкторська документація повинна бути виконана у відповідності з вимогами стандартів Єдиної системи конструкторської документації (ЄСКД) і бути придатною до мікрофільмування. Технічні умови (ТУ) повинні бути викладені й оформлені у відповідності з державними стандартами.

Конструкторська документація, готується і використовується на окремих етапах виготовлення та випробування дослідного зразка виробу, його настановних серій і масового виробництва.

Конструкторська документація, розроблена на етапах технічної пропозиції, ескізного і технічного проекту, називається проектною документацією.

Конструкторська документація незмінно супроводжує виріб на всіх етапах його життєвого циклу – розробці, виробництві, експлуатації та ремонті. Без конструкторської документації неможливе створення та виготовлення виробу,

його використання за призначенням. Конструкторська документація є первинним і, отже, найбільш повним і точним носієм інформації про технічний рівень і якість продукції, тенденціях її розвитку.

Конструкторська документація на МС є власністю підприємства – розробника даної РЕА, цим підприємством управляється і коригується.

Конструкторська документація яких виробів повинна піддаватися метрологічному контролю.

Конструкторська документація розробляється конструктором на стадії виготовлення нових зразків РЕА.

Конструкторська документація відображає процес створення та експлуатації виробу.

Конструкторська документація оформлюється відповідно із стандартами ЄСКД і додатковими вимогами ОСТ 110.000.028 – 73 Мікросхеми інтегральні. Правила поширюються на всі види ІС, крім надвисокочастотних.

Конструкторська документація (КД) – сукупність графічних і текстових конструкторських документів, які самостійно або в сукупності визначають склад і пристрій виробу і містять необхідні дані для його розробки або виготовлення, контролю, приймання, експлуатації і ремонту. Процеси розробки, обліку та обігу конструкторської документації в СРСР регламентовані стандартами, погодженими з відповідними стандартами РЕВ.

Конструкторська документація систематизується у відповідності з послідовністю (стадійністю) розробки машин і механізмів та структурою самого виробу. Документи з випробувань виробу систематизуються відповідно до хронології їх складання. Конструкторську документацію на модифіковане виріб розташовують після документації або на всі базове виріб, або на ту частину базового виробу, на яку є модифікація.

Конструкторська документація незмінно супроводжує виріб у сферах його розробки, виробництва, експлуатації та ремонту.

Конструкторська документація є первинним і, отже, найбільш повним і точним носієм інформації про технічний рівень і якість виробу і тенденції його розвитку. У зв'язку з цим від якості конструкторської документації залежить правильна і чітка підготовка і організація виробництва продукції, її експлуатація і ремонт.

Конструкторська документація візується за ДСТУ 2.104 – 68 на полі для підшивання першого або заголовного аркуша документа, технологічна – по ДСТУ 3.1104 – 81 на титульному аркуші в полі 8 де ставиться підпис головного метролога або відповідального за проведення метрологічної експертизи.

Конструкторська документація – це графічні і текстові документи, які окремо або в сукупності визначають склад і будову виробу. Виділяють проектну і робочу конструкторську документацію.

Конструкторська документація не регламентує методи і способи виготовлення виробу, а також послідовність їх застосування.

Конструкторська документація включає складальні креслення виробу і всіх його вузлів, деталей, габаритні і монтажні креслення, специфікації, різні відомості.

Конструкторська документація визначає пристрій і склад виробу, містить необхідні дані для його виготовлення, контролю, приймання, експлуатації і ремонту.

Номенклатура конструкторських документів по ДСТУ 2. 102 – 68. Конструкторська документація в загальному випадку розробляється на декількох стадіях (ДСТУ 2.103 – 68): технічна пропозиція, ескізний проект, технічний проект, робоча конструкторська документація.

Конструкторська документація виконується на всі види виробів. Під виробом розуміється предмет або набір предметів виробництва, які підлягають виготовленню на підприємстві. Вироби можуть бути наступних видів: деталі, складальні одиниці, комплекси і комплекти.

Конструкторська документація на вітчизняну продукцію повинна бути оформлена відповідно до вимог ЕСКД на серійну продукцію.

Конструкторська документація на виготовлення нового обладнання, як правило, передається в необхідній кількості примірників для виробництва підприємству–виробнику. Держателем оригіналів конструкторської документації в процесі виготовлення дослідного зразка є розробник. При передачі проектів підприємствам–виробникам для серійного виготовлення устаткування утримувачем оригіналів стають підприємства–виробники.

Конструкторська документація (оригінали та оригінали), що пройшла метрологічну експертизу, візується відповідно до ДСТУ 2.104 – 68 особами, відповідальними за її проведення.

Конструкторська документація – це повний комплект креслень і вказівок до них, необхідних для того, щоб правильно зрозуміти завдання і виготовити кожен окремий елемент виробу, зібрати вузли в блоки і змонтувати виріб в цілому. У найбільш сучасних науково–виробничих об'єднаннях конструкторська документація виконується не на підприємствах, що виготовляють вироби, а в науково–дослідних інститутах або конструкторських бюро.

Конструкторська документація повинна розроблятися для виготовлення виробу на конкретному виробництві. Виробнича база підприємства повинна забезпечити можливість виготовлення виробу з найменшими витратами. Конструктор повинен рахуватися з існуючим на відповідному підприємстві обладнанням і оснащенням, необхідними для. Необхідно також враховувати кваліфікацію персоналу, яке виготовляє виріб, і стан технологічної дисципліни на підприємстві. В той же час конструкція виробу і конструкторська документація на нього не повинні перешкоджати впровадженню більш прогресивної технології та її безперервному поліпшенню.

Конструкторська документація визначає пристрій і склад виробу, містить необхідні дані для його виготовлення, контролю, приймання, експлуатації і ремонту.

Конструкторська документація в загальному випадку розробляється на кількох стадіях (ДСТУ 2.103 – 68): технічна пропозиція, ескізний проект, технічний проект, робоча конструкторська документація.

Конструкторська документація повинна забезпечити ідентичність одиниць виробів при їх виготовленні і в разі потреби їх взаємозамінність.

Конструкторська документація проходить різні стадії розробки, використання та зберігання.

Конструкторська документація, отримана на АЦПУ, як правило, не відповідає вимогам мікрофільмування за розміром шрифту основного напису. Графобудівники дозволяють отримувати документацію, оформлену відповідно до ЕСКД (зі стилізованим зображенням букв і цифр), однак вони мають невисоку швидкість і досить високу вартість.

Конструкторська документація на друковані плати і блоки оформляється відповідно до вимог ДСТУ 2.109 – 73, ДСТУ 2.417 – 78 і чинними нормативно-технічними документами. Креслення односторонньої або двосторонньої друкованої плати класифікується як креслення деталі. Креслення друкованої плати повинен містити всі відомості, необхідні для її виготовлення і контролю: зображення друкованої плати збоку друкарського монтажу; розміри, граничні відхилення та шорсткість поверхонь друкованої плати і всіх її елементів (отворів, провідників), а також відстані між ними; необхідні технічні вимоги; відомості про матеріал.

Конструкторська документація для виготовлення макетів розробляється: на стадії ескізного проекту – в цілях перевірки принципів роботи виробу або його складових частин; на стадії технічного проекту – в цілях перевірки ОСНОВНИХ конструктивних рішень розроблюваного виробу або його складових частин; на стадії робочої документації – в цілях перевірки доцільності зміни окремих частин виробу і коректування креслень до виготовлення дослідного зразка.

Конструкторська документація не регламентує методи і способи виготовлення виробу, а також послідовність їх застосування.

Цифровий шифр за класифікатором. Конструкторська документація, що має зауваження, пов'язані зі зміною технології, повинна пройти повторний технологічний контроль, при цьому віза ставиться на переліку зауважень і пропозицій.

Комплексна конструкторська документація розробляється для кожної однорідної групи машин, призначених для серійного виробництва, для кожної одиниці великого устаткування (машини, агрегати) індивідуального виконання.

Ремонтна конструкторська документація складається розробником машини за погодженням із замовником – основним споживачем.

Правильно складена конструкторська документація повинна містити достатню інформацію для виготовлення виробу на будь-якому підприємстві, призначеному для виготовлення виробів розглянутого класу.

Експлуатаційна та ремонтна конструкторська документація складається на виробі, використання, обслуговування та ремонт яких можна виконати тіль-

ки при наявності спеціальних відомостей. Експлуатаційні та ремонтні документи повинні розроблятися з урахуванням підготовки фахівців з експлуатації даного виробу.

Конструкторській документації для виготовлення таких виробів літера не присвоюється. Рішення про літері документації, відкоригованої за результатами доводки і випробувань виробів (головного зразка), приймає приймальна комісія.

Конструкторську документацію, передану в державні архіви, виключають з інвентарних книг записом в графі Примітка номери опису, в яку включені здані на державне зберігання документи. При цьому картки обліку знищують.

Конструкторську документацію складають графічні і текстові документи, які визначають конструкцію технічного предмета і містять дані, необхідні для його розробки, виготовлення, контролю, приймання, експлуатації і ремонту.

9.5 Контрольні запитання і завдання

1. Назвіть види конструкторської документації.
2. Що визначає конструкторська документація?
3. Назвіть склад конструкторської документації.
4. Які відомості мають креслення друкованої плати.
5. Дайте визначення проектній документації.
6. Які відомості про майбутній виріб містить КД?
7. Яка структура інструкції з технічного обслуговування?
8. Дайте визначення технічного завдання?
9. Який склад технічного завдання?
10. Дайте визначення технічних умов?
11. Які відомості містить експлуатаційна документація?
12. Ескізний проект, технічний проект, - визначення і різниця між ними?
13. Що таке проектна документація?
14. Які види документів відповідають різним етапам проектування?
15. Що таке інструкція з експлуатації?

РЕКОМЕНДОВАНА ЛІТЕРАТУРА

1. Полупроводниковые приборы, интегральные микросхемы и технология их производства: Учебник / Ю.Е. Гордиенко, А.Н. Гуржий, А.В. Бородин, С.С. Бурдукова. – Харьков: «Компания СМІТ», 2004. – 620 с.
2. CMOS Circuit Design, Layout, and Simulation, R.J. Baker, H.W. Li, and D.E. Voyses, IEEE Press, 1998...
3. Грушвицкий Р. И., Мурсаев А. Х., Угрюмов Е. П. Проектирование систем на микросхемах с программируемой структурой. — 2-е изд., перераб. и доп. – СПб.: БХВ-Петербург, 2006. — 736 с.: ил. с. 144–160.
4. Weste N.H.E. and Eshraghian K. Principles of CMOS VLSI Design: A System Perspective. 2nd. Edition. Addison–Wesley, 1993.
5. Ли К. Основы САПР (CAD/CAM/CAE). – СПб.: Питер, 2004. – 560с. с. 34–50, 300–327.
6. Полищук А. Программируемые аналоговые интегральные схемы: //Компоненты и технологии, 2005г. №1. с.106–110.
7. Быковский С.В., Горбачев Я.Г., Ключев А.О., Пенской А.В., Платунов А.Е. Сопряжённое проектирование встраиваемых систем (Hardware/Software Co-Design). Часть 2. Учебное пособие. – СПб.: Университет ИТМО, 2016. – 105 с. с. 75–90.
8. Проектування комп'ютерних систем на основі мікросхем програмованої логіки : монографія / С. А. Іванець, Ю. О. Зубань, В. В. Казимир, В. В. Литвинов. – Суми : Сумський державний університет, 2013. – 313 с.
9. Грушвицкий Р.И., Шашкин П.М. Проектирование в условиях временных ограничений: компиляция проектов//Компоненты и технологии, 2011. - № 1-3.
10. Полищук А. Система автоматизированного проектирования программируемых аналоговых интегральных схем AnadigmDesigner 2. Часть 2. Особенности разработки проектов в среде программирования ПАИС Anadigm. Компоненты и технологии № 8, 2005. с. 92-95.
11. Lee K., Kim H.-J., Yim M.-J., Paik K.-W. Ultrasonic Bonding Using Anisotropic Conductive Films for Flip-Chip Interconnection // IEEE Trans. on Electronics Packaging Manuf. 2009. V. 32. № 4.
12. Самарский А.А., Михайлов А.П. Математическое моделирование. Идеи. Методы. Примеры. – 2-е изд., исправл. – М., 2001. с. 202–210.
13. Станжицький О.М., Таран Є.Ю., Гординський Л.Д. Основи математичного моделювання : Навчальний посібник. – К.: Видавничо-поліграфічний центр “Київський університет”, 2006. – 96 с. с. 3–15.
14. Полищук А. Программируемые аналоговые ИС Anadigm: весь спектр аналоговой электроники на одном кристалле. Первое знакомство. Современная электроника. СТА – ПРЕСС. Декабрь 2004. с. 8–11.
15. Щерба А. Программируемые аналоговые ИС Anadigm: применение конфигурируемых аналоговых модулей в составе AnadigmDesigner 2. Компоненты и технологии № 12, 2007. с. 12–18.

16. Щерба А. Программируемые схемы Anadigm. Проекты, примеры применения. Компоненты и технологии № 12, 2012. с.6–9.
17. Cadence Design Systems, Inc. – ASIC Prototyping Simplified – White paper, 2005.
18. Synopsys Inc., Xilinx Inc. – FPGA-based Prototyping Methodology Manual – 2011.
19. Cadence Design Systems, Inc. – Cadence Rapid Prototyping Platform FPGA-Based Prototyping Solution – 2011.

Навчальне видання

БОНДАРЕНКО Ігор Миколайович, БОРОДИН Олександр Васильович,
КАРНАУШЕНКО Володимир Петрович

ПРОЕКТУВАННЯ НАПІВПРОВІДНИКОВИХ ПРИЛАДІВ
ТА ІНТЕГРАЛЬНИХ СХЕМ

Навчальний посібник

Відповідальний випусковий І.М. Бондаренко

Редактор О.Г. Троценко

Комп'ютерна верстка Н.Є. Сіпатова

План 2018, поз. 1

Підп. до друку хх.хх.18. Формат 60x 84 ¹/₁₆. Спосіб друку – ризографія.

Умов. друк. арк. _____. Облік.вид.арк. _____. Тираж 100 прим.

Зам. № 1 – 1 Ціна договірна.

ХНУРЕ, 61166, Харків, просп. Науки, 14

Віддруковано у редакційно–видавничому відділі ХНУРЕ
Харків, просп. Науки 14
