

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ

Кафедра "ЕЛЕКТРОНІКИ І КОМП'ЮТЕРНОЇ
ТЕХНІКИ"

**МЕТОДИЧНІ ВКАЗІВКИ
ДЛЯ ВИКОНАННЯ КУРСОВОГО ПРОЕКТУ
"ПРИСТРІЙ ЗАХИСТУ ВІД ПОМИЛОК"**
з курсу "Системи передачі даних"
для студентів спеціальності
7(8).090803 – "ЕЛЕКТРОННІ СИСТЕМИ"
денної і заочної форм навчання

ЗМІСТ

1 КОРОТКА ХАРАКТЕРИСТИКА І ВИБІР СПОСОБІВ ЗАХИСТУ.....	4
2 РОЗРОБЛЕННЯ ФОРМАТУ ПОВІДОМЛЕННЯ, АЛГОРИТМУ ФУНКЦІОНУВАННЯ І СТРУКТУРНОЇ СХЕМИ ПЗП.....	10
3 ПРИСТРОЇ ФАЗУВАННЯ ЗА ЦИКЛОМ.....	26
4 ВИБІР ЗАВАДОСТІЙКОГО КОДУ	45
5 ТЕХНІЧНА РЕАЛІЗАЦІЯ КОДУЮЧИХ ТА ДЕКОДУЮЧИХ ПРИСТРОЇВ	55
6 ПОРЯДОК РОЗРОБЛЕННЯ ПЗП.....	69
СПИСОК РЕКОМЕНДОВАНОЇ ЛІТЕРАТУРИ	72

Суми
Вид-во СумДУ
2008

1 КОРОТКА ХАРАКТЕРИСТИКА І ВИБІР СПОСОБІВ ЗАХИСТУ

Основним способом підвищення правильності передачі дискретних повідомлень є введення у передану послідовність надмірності з метою виявлення та виправлення помилок у прийнятій інформації. Усі пристрої захисту від помилок (ПЗП) діляться на дві групи: симплексні (без зворотного зв'язку) і дуплексні (зі зворотним зв'язком) [1].

У симплексних (однобічних) ПЗП підвищення правильності може бути досягнуте трьома способами: шляхом багаторазового повторення символів; одночасною передачею однієї і тієї самої інформації з декількох паралельних каналів; застосуванням кодів, що виправляють помилки.

Багаторазове повторення є найбільш простим способом підвищення правильності, яке полягає в тому, що передавач посилає в канал непарне число разів ту саму інформацію, а на приймальній стороні відбувається порівняння між собою однойменних кодових комбінацій (або однойменних двійкових розрядів). Споживачеві видається той символ (або біт), що був прийнятий більше число разів (мажоритарний метод). Однак, при виборі такого способу захисту варто мати на увазі, що надмірність інформації росте пропорційно кількості повторень тих самих символів, аналогічно зростають і витрати часу на передачу масиву.

Імовірність помилкового прийому символу $P_{кк}$, що складається з n_k -розрядної комбінації, при трикратному повторенні й посимвольному порівнянні не перевищує величини, обумовленої формулою

$$P_{кк} \approx 3n_k^2 P_o, \quad (1)$$

де P_o – імовірність помилкового прийому одиничного елемента. При п'ятикратному повторенні n_k -елементної комбінації ця ймовірність дорівнює

$$P_{кк} \approx 10n_k^2 P_o^3. \quad (2)$$

При порозрядному порівнянні прийнятих символів, що складаються з n_k біт, імовірність помилкової реєстрації кодової комбінації при трикратному і п'ятикратному повторенні відповідно дорівнює

$$P_{кк} \approx 3n_k P_o^2, \quad (3)$$

$$P_{кк} \approx 10n_k P_o^3. \quad (4)$$

Формули (3) і (4) справедливі при незалежних помилках у дискретному каналі. При пакетуванні помилок імовірність ураження сусідніх символів, а тим більше біт, висока, що може привести до значного зниження завадостійкості. Для усунення цього явища варто зробити декореляцію помилок, збільшуючи інтервал між повторюваними символами (бітами), тобто варто повторювати не окремі символи блоку, а їх групи або весь блок. Такий алгоритм передачі приводить до ускладнення апаратури і збільшення тимчасової затримки між передачею даних від джерела і одержанням їх споживачем, що не завжди можна допустити в реальних системах обміну інформацією.

Спосіб одночасної передачі по декількох каналах із завадостійкості еквівалентний способу багаторазової передачі. Він передбачає наявність непарної кількості каналів, по яких передаються ті самі кодові послідовності. На прийомі використовується мажоритарний прийом. Основна вимога таких систем: наявність паралельних каналів з незалежними помилками. Для забезпечення цієї вимоги канали зв'язку повинні бути рознесені географічно або принаймні вибиратися в різних лініях зв'язку. Недоліком способу одночасної передачі є різке підвищення вартості систем передачі даних (СПД) за рахунок використання для передачі повідомлень від одного джерела кількох каналів.

Найбільшу ефективність в симплексних СПД має спосіб захисту від помилок, заснований на використанні кодів з виправленням помилок. У таких системах переданий блок, крім інформаційних одиничних елементів, отриманих від джерела інформації, містить і перевіірочні біти, які формуються кодуємим пристроєм на підставі інформаційних розрядів за

певними правилами. На прийомній стороні декодером за тими самими правилами здійснюються аналогічні перевірки, при яких ураховуються і перевірочні елементи. У результаті перевірки визначається номер позиції у прийнятому блоці, значення якої необхідне у процесі виправлення проінвертувати. Імовірність помилкового прийому символу залежить не тільки від імовірності помилки в дискретному каналі, але й від застосовуваного коду. Формули для розрахунку цієї ймовірності наведені у підрозділі 4.

У односторонніх СПД при виборі коригувального коду для ПЗП доводиться розраховувати на гірший стан каналу, тобто надмірність у таких системах є постійною, незалежно від того, є помилки в каналі чи ні. У початкових умовах гірший стан каналу буде відносно рідко, його пропускна здатність використовується дуже неефективно. Другим недоліком систем з виправленням помилок є різке зростання складності апаратури зі збільшенням кількості помилок, що виправляються. Істотне зниження апаратних витрат може бути отримане за рахунок застосування як кодуєчих та декодуєчих пристроїв мікропроцесорів.

До дуплексної групи ПЗП відносяться пристрої, у яких підвищення правильності переданої інформації досягається за рахунок введення зворотного зв'язку. Вони у свою чергу діляться на системи з вирішальним (ВЗЗ), інформаційним (ІЗЗ) і комбінованим (КЗЗ) зворотним зв'язком. Сутність підвищення правильності в цих системах полягає в тому, що при виявленні спотворень у переданому повідомленні відбувається запит блоку, у якому один або кілька неправильно прийнятих знаків. У системах з ВЗЗ передані дані кодуються надлишковими кодами, що дозволяють виявляти одиночні помилки або пачки (групи) помилок. Рішення про необхідність повторення блоку інформації, у якому виявлена помилка, приймається приймачем на підставі аналізу послідовності, що надійшла. У випадку виявлення у прийнятому блоці помилок він стирається і по каналу зворотного зв'язку (ЗЗ) приймальна станція посилає

сигнал "Запит", на підставі якого передавач повторно видає цей самий блок. При безпомилковому прийомі блоку дані надходять споживачеві, а по каналу ЗЗ передається сигнал "Підтвердження".

У ПЗП з ІЗЗ немає необхідності вводити надмірність у дані, які передаються. Двійкова послідовність, зафіксована приймачем, запам'ятовується і потім по каналу ЗЗ передається вся або у вигляді вкороченої кодової комбінації, що містить певні ознаки всієї послідовності, на передавальну сторону. Отримана по каналу ЗЗ інформація аналізується передавальною станцією, що за результатами аналізу ухвалює рішення щодо передачі наступного блоку або про повторення помилково прийнятого. Це рішення повідомляється на прийомну сторону і на його підставі отримана інформація видається споживачеві або стирається.

ПЗП з КЗЗ являють собою сполучення інформаційного і вирішального ЗЗ. У них рішення про необхідність повторної передачі може прийматися як на передавальній, так і на приймальній сторонах, а по каналу зворотного зв'язку можуть передаватися інформаційні елементи або сигнали "Запит" і "Підтвердження".

У процесі проектування ПЗП повинні бути розглянуті такі параметри:

- 1) імовірність помилкової реєстрації знака $P_{кк}$;
- 2) швидкість передачі дискретної інформації V ;
- 3) припустимий час затримки видачі повідомлення споживачеві $t_з$;
- 4) час готовності до передачі (час фазування за циклом) $t_ф$;
- 5) імовірність помилкового запуску прийомного пристрою $P_{нф}$;
- 6) імовірність помилкової реєстрації одиничного елемента P_o ;
- 7) характер групування помилок;

8) тип каналу зв'язку (симплексний або дуплексний).

Крім цих даних можуть бути введені обмеження на параметри, що визначають експлуатаційні показники ПЗП, зокрема на застосовувану елементну базу, споживану потужність, габаритні розміри, надійність і т.д.

Одним із головних завдань проектування ПЗП є вибір способу захисту від помилок, який при мінімальних витратах забезпечить виконання поставлених вимог. Під витратами мається на увазі не тільки вартість апаратури, але й необхідні – смуга частот (необхідне число каналів зв'язку), час на передачу повідомлення, а також вартість обслуговування пристрою у процесі експлуатації.

При наявності симплексних каналів зв'язку підвищення вірності може бути досягнуте тільки за рахунок застосування кодів з виправленням помилок або багаторазового повторення. Одночасна передача однієї і тієї ж інформації з кількох каналів застосовується досить рідко. Якщо помилки в дискретному каналі незалежні, тобто ймовірність групування їх у пачки мала, то необхідна завадостійкість порівняно легко може бути досягнута при використанні кодів, що виправляють одиночні помилки, наприклад, коду Хеммінга. При групуванні помилок у пачки невеликої кратності їхнє виправлення може бути забезпечене за рахунок застосування кодів Файра. Зі збільшенням довжини пачки (п'ять і більше помилок) кодуєчі та декодуєчі пристрої виходять дуже громіздкими, а для їхнього декодування за допомогою мікропроцесора потрібен значний час. У цьому випадку доцільно використати багаторазове повторення блоку інформації. Причому довжина блоку повинна бути не меншою тривалості пачки помилок. Багаторазове повторення блоків приводить до збільшення затримки видачі повідомлення споживачеві. Тому необхідно стежити за тим, щоб час затримки не перевищував припустимої величини.

За наявності дуплексних каналів зв'язку в більшості випадків доцільно використовувати ПЗП із 3З. Пристрої з інформаційним 3З дозволяють виявляти помилки практично будь-якої кратності, але до каналу зворотного зв'язку ставимо

такі самі вимоги, що і до прямого. Тому ПЗП із 13З найбільш ефективно можуть бути використані при швидкості передачі 300/200 біт/с, тому що пристрої перетворення сигналів (ППС) для такої швидкості утворюють у смузі каналу тональної частоти (ТЧ) два ідентичні двонаправлені дискретні канали. Якщо передача даних повинна здійснюватися на швидкості 600 біт/с або вище, то ефективність використання каналу зв'язку ПЗП з 13З знижується і у цьому разі для підвищення завадостійкості передачі символів треба застосовувати ПЗП з В3З.

При зниженні якості каналу зв'язку в системах із 3З час затримки повідомлення різко збільшується, а в найгіршому разі видача інформації споживачеві може взагалі припинитися. Щоб не допустити цього, на каналах низької якості доцільно сполучати методи підвищення правильності передачі інформації. Наприклад, при гарному стані каналу ПЗП працює з 3З, а при його погіршенні переходить у режим однобічної передачі з виправленням помилок.

Приклад 1. Вибрати спосіб захисту від помилок, що забезпечує правильність передачі по байтах $P_{kk} \leq 1 \cdot 10^{-6}$ при передачі даних по симплексному дводротовому телефонному каналу зв'язку зі швидкістю 1200 біт/с за умови, що помилки на виході дискретного каналу групуються в пачки довжиною не більше 12 біт, а мінімальний інтервал між пачками становить 3 с. Імовірність помилки по елементах на виході дискретного каналу $P_o \leq 1 \cdot 10^{-4}$.

Розв'язання. Для виправлення помилок кратністю 12 найбільше доцільно в цьому разі застосувати спосіб багаторазової передачі інформації. Оскільки пачка помилок може вразити 3 байти, то повторювати треба не менше трьох знаків. При трикратному повторенні і елементному порівнянні ймовірність помилки реєстрації знака дорівнює (3):

$$P_{kk} \approx 3n_k P_o^2 \approx 3 \cdot 8(1 \cdot 10^{-4})^2 = 0,24 \cdot 10^{-6} < 1 \cdot 10^{-6}.$$

Максимальна затримка видачі інформації споживачеві при трикратному повторенні становитиме

$$t_s = 24 \cdot \tau_o = \frac{24}{1200} \approx 2 \cdot 10^{-2} \text{ с},$$

або 20 мс, що цілком прийнятно для практичних потреб.

Приклад завершений.

2 РОЗРОБЛЕННЯ ФОРМАТУ ПОВІДОМЛЕННЯ, АЛГОРИТМУ ФУНКЦІОНУВАННЯ І СТРУКТУРНОЇ СХЕМИ ПЗП

У процесі розроблення СПД необхідно ПЗП спроектувати так, щоб забезпечити необхідну завадостійкість при максимальній ефективній швидкості передачі даних. Завадостійкість і ефективна швидкість залежать від надмірності переданих повідомлень причому зі збільшенням надмірності завадостійкість підвищується, а ефективна швидкість падає.

Для блокових роздільних кодів, при яких кодування і декодування здійснюються незалежно для кожної кодової комбінації (блоку), надмірність R визначається за формулою

$$R = 1 - \frac{k}{n_\sigma} = \frac{r}{n_\sigma}, \quad (5)$$

де k – кількість інформаційних елементів;

n_σ – загальне число елементів у блоці;

r – число перевірочних елементів.

Ефективна швидкість передачі інформації $V_{\text{эф}}$ при цьому дорівнює

$$V_{\text{эф}} = \frac{n_\sigma - r}{n_\sigma \tau_o} = V \left(1 - \frac{r}{n_\sigma} \right) = V(1 - R), \quad (6)$$

де V – швидкість передачі, біт/с, що чисельно дорівнює двійковим системам швидкості модуляції $B = 1/\tau_o$.

У реальних СПД ефективна швидкість буде меншою за рахунок передачі в каналі, крім r перевірочних елементів, додаткової службової інформації, що складається з $n_{\text{сл}}$ біт, тобто

$$V_{\text{эф}} = \frac{n_\sigma - r - n_{\text{сл}}}{n_\sigma \tau_o} = V \left(1 - \frac{r + n_{\text{сл}}}{n_\sigma} \right). \quad (7)$$

У системах зі зворотним зв'язком ефективна швидкість ще більше знижується за рахунок повторної передачі спотворених блоків. У цьому разі $V_{\text{эф}}$ визначається за формулою

$$V_{\text{эф}} = V \left(1 - \frac{N_{n\sigma}}{N_\sigma} \right) \left(1 - \frac{r + n_{\text{сл}}}{n_\sigma} \right), \quad (8)$$

де N_σ – загальне число переданих блоків за сеанс зв'язку;

$N_{n\sigma}$ – число повторно переданих блоків, що залежить від функції ділення помилок в інтервалі часу передачі повідомлення і від довжини блоку, тобто $N_{n\sigma} = f[P_o(t), n_\sigma]$.

Припустимо, що помилки на інтервалі часу розподілені рівномірно, а часовий інтервал між помилками в середньому перевищує довжину блоку, тоді число повторно переданих блоків визначимо за формулою

$$N_{n\sigma} = \frac{N_\sigma P_o n_\sigma}{1 - P_o n_\sigma}. \quad (9)$$

Величина N_σ являє собою верхню границю числа повторно переданих блоків. Отже, оцінка нижньої границі ефективної швидкості може бути отримана на основі (9) з урахуванням (8):

$$V_{\text{эф min}} = V \left(1 - \frac{P_o n_\sigma}{1 - P_o n_\sigma} \right) \left(1 - \frac{r + n_{\text{сл}}}{n_\sigma} \right). \quad (10)$$

Як видно з (10), ефективна швидкість залежить від значення ймовірності P_o помилкового прийому за одиничними елементами, кількості перевірочних r і службових $n_{\text{сл}}$ біт і від довжини блоку n_σ (залежність від n_σ нелінійна). Задаючи ряд значень n_σ при фіксованих P_o , r і $n_{\text{сл}}$, можна

побудувати графік залежності $V_{\text{эф}}$ від n_{σ} і знайти оптимальне значення довжини блоку.

Наявність у каналі зв'язку пачки помилок теж приводить до зниження ефективної швидкості передачі. Припустимо, що потік помилок у дискретному каналі описується розповсюдженою моделлю Беннета-Фройліха [2], при якій пачки є незалежними подіями, а також, що кожний пакет викликає повторну передачу тільки одного блоку повідомлення й інтервал між пачками помилок у середньому перевищує довжину блоку. Оскільки формула для розрахунку ефективної швидкості СПД із вирішальним зворотним зв'язком може бути взята (10), замінивши в ній відповідно ймовірність помилкового прийому елемента P_o на ймовірність появи пачки помилок P_{no} . Оптимальна довжина блоку може бути знайдена шляхом побудови залежності $V_{\text{эф}} = \psi(n_{\sigma})$ за заданими значеннями P_{no} , r і n_{cl} .

Для підвищення ефективності передачі даних метод кодування варто вибирати таким чином, щоб задана завадостійкість забезпечувалася при мінімальному числі перевірних елементів r , те саме стосується і службових знаків. Величина r залежить від використовуваного коду, що вибирається виходячи з необхідної ймовірності P_{kk} помилкового прийому кодової комбінації і характеру помилок у дискретному каналі. Більш детально розрахунок необхідної величини перевірних елементів розглянутий у підрозділі 4.

Передача повідомлень від відправника до одержувача за звичаєм здійснюється поблоково. Блок може містити десятки й сотні символів (кодових комбінацій). Збільшення довжини блоку веде до підвищення числа перевірочних елементів r , однак r збільшується значно повільніше n_{σ} . Тому, якщо необхідно забезпечити максимальну ефективну швидкість передачі інформації, то потрібно збільшувати довжину блоку. Оптимальна величина блоку визначається із графіка залежності $V = \psi(n_{\sigma})$ при фіксованих P_o , n_{cl} і r (це збільшення довжини

блоку приводить до збільшення затримки видачі інформації одержувачеві й ускладнює апаратну реалізацію СПД).

На практиці рекомендується використати інформаційні блоки довжиною k біт, обрані з ряду 120, 240, 480, 960 біт [2]. Прийнятною ефективною швидкістю вважається $V_{\text{эф}} = (0,9 \div 0,95) \cdot V$, біт/с.

З метою запобігання втрати блоку або вставки (повторно переданого того самого блоку) кожному блоку при передачі потрібно привласнювати певний порядковий номер НБ, а на приймальному боці контролювати дотримання черговості їхнього надходження. При цьому необов'язково робити наскрізну нумерацію блоків для всього переданого масиву. Кількість номерів повинна бути на одиницю більшою числа повторюваних блоків при виявленні помилок, тобто досить через певний цикл (3-6 блоків) циклічно повторювати ці номери. Наприклад, № 1, № 2, № 3, № 4, № 1, № 2 і т.д. Це дозволить зменшити число елементів n_N , виділених для кодування номерів блоків.

Окрім НБ у блок можуть бути введені комбінації, що позначають початок НТ і кінець КТ блоку, що складаються з n_n і n_k біт відповідно. Ці комбінації для коду, використовуваного для передачі даних [4], мають стандартні значення: НТ – 0000010 і КТ – 0000011. У багатьох практичних випадках знаки НТ і КТ вводять до складу інформації, формованої відправником, і немає необхідності формувати їх у СПД. Тоді ознакою початку блоку може бути комбінація НБ, а прийом номера наступного блоку свідчить про закінчення попереднього.

До складу службових символів блоку може входити фазуюча кодова комбінація (ФК), що складається з l одиничних елементів, що служить для забезпечення синхронного перемикування передавального і приймального розподільників.

Таким чином, формат блоку повідомлення каналів зв'язку має вигляд, показаний на рисунку 1. Кількість службових біт n_{cl} дорівнює сумі

$$n_{cl} = n_n + n_k + l + n_N. \quad (11)$$

Приклад 2. Розрахувати оптимальну довжину блоку повідомлення, якщо помилки на виході дискретного каналу незалежні й з'являються з імовірністю $P_o = 1 \cdot 10^{-4}$, а формат повідомлення має такі параметри: $l = 8$; $n_N = 4$; $r = 12$; $n_n = n_k = 0$.

Розв'язання. Скориставшись (10), побудуємо графік залежності відносної ефективної швидкості $V_{эф}/V$ від довжини блоку n_b . Задаючи значення n_b від 100 до 800 із кроком 100, обчислимо $V_{эф}/V$. Графік залежності поданий на рисунку 2, з якого видно, що максимальна швидкість передачі даних одержувачеві має місце при $n_b = 450$. Згідно з [2] вибираємо стандартну довжину блоку $n_b = 480 + 12 + 4 + 8 = 504$ біт.

Приклад завершений.

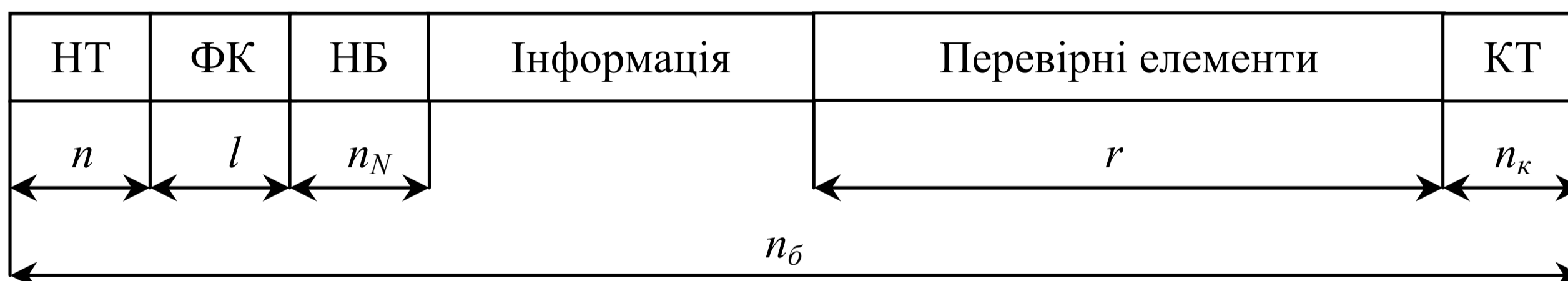


Рисунок 1 – Типовий формат блоку повідомлень

Складання алгоритму функціонування є одним з найважливіших завдань проектування ПЗП. У процесі виконання курсового проекту це завдання поряд з побудовою часових діаграм являє для студентів основні труднощі. Якщо реалізація ПЗП передбачається апаратно, то розроблення алгоритму функціонування доцільно робити паралельно з розробленням структурної схеми пристрою захисту від помилок. Алгоритм визначає основні функції пристрою та послідовність

їхнього виконання, а структурна схема являє собою його технічну реалі-

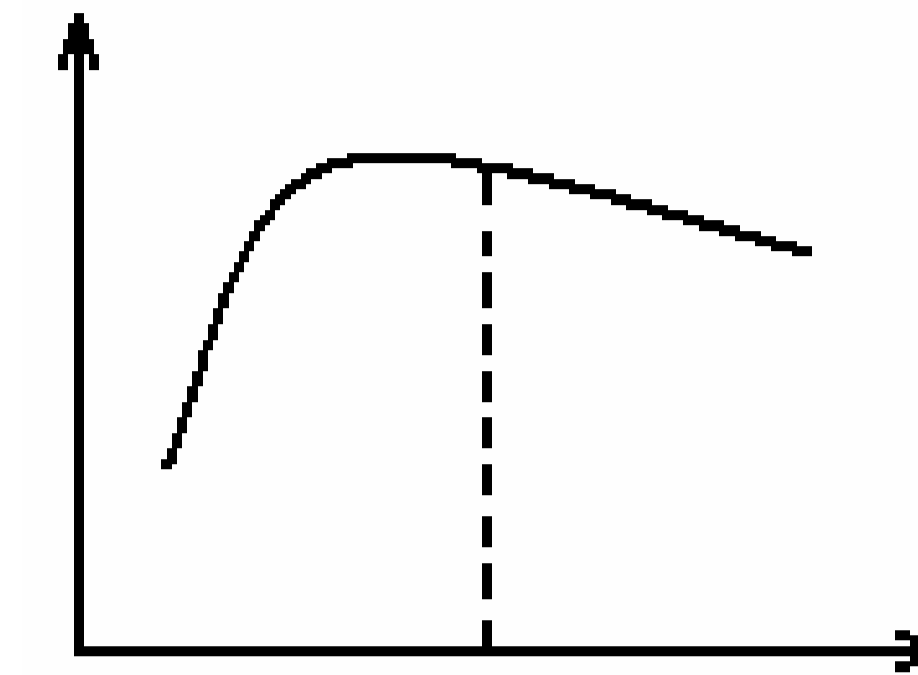


Рисунок 2 – Залежність відносної ефективної швидкості від довжини блоку

зацію. При визначенні основних функцій ПЗП вони будуть перераховані в загальному виді й перелік їх буде неповним, тому що дуже складно відразу передбачити всі можливі режими роботи й ситуації, що виникають у процесі обміну інформацією з крайовим устаткуванням даних (КУД) і передачі даних по каналу зв'язку. Для полегшення цього завдання приведемо перелік основних функцій, які є типовими для всіх типів ПЗП: 1) початкова установка блоків ПЗП; 2) прийом, перетворення та контроль інформації, що надходить від джерела на передавальній стороні, і видача її споживачеві на приймальній; 3) обмін керуючими сигналами між (ППС) відправником і споживачем (КУД); 4) генерування тактових імпульсів і синхронізація (у випадку роботи без ППС); 5) групове фазування (за циклами); 6) формування службових символів початку й кінця блоку, номера блоку, "Підтвердження", "Запит", "Стирання" і ін.; 7) підрахунок числа біт у блоці, формування номерів блоків при передачі й перевірка відповідності черговості їхнього надходження на прийомній стороні; 8) кодування й декодування повідомлень; 9) формування інформаційних блоків і зберігання їх у буферних накопичувачах передавача й приймача до ухвалення рішення про прийом їх із заданою правильністю; 10) підрахунок кількості переданих підряд тих самих блоків; 11) формування сигналів аварійної ситуації і їхня індикація; 12) індикація стану апаратури.

При відображенні стану апаратури доцільно передбачити такі можливі ситуації: включення живлення АПД; підключення ППС до лінії; виклик; передача/прийом; очікування; немає несучої; помилка периферійного пристрою; помилка нумерації блоків; немає фази.

Залежно від конкретного типу пристрою перелік функцій може бути доповнений і розширений, а також можливе виключення частини функцій. Очевидно, що для реалізації цих функцій в ПЗП з "жорсткою логікою" повинні перебувати відповідні блоки, а під час програмної реалізації – відповідні підпрограми. Наприклад, для реалізації першої функції потрібний блок початкової установки пристрою, що формує імпульс установки всіх інших блоків у вихідний стан (скидання в нульовий стан або запис в елементи пам'яті певної кодової комбінації, що повинна видаватися із блоку на початку роботи). Звичайно початкова установка апаратури відбувається через 1-2 с після ввімкнення живлення або при перемиканні режимів роботи.

Для реалізації другої функції в структурну схему передавальної частини необхідно ввести блок прийому і перетворення повідомлення, що повинен забезпечити короткочасне зберігання кодових комбінацій, що надходять (байтів) і перетворення їх у відповідну форму (найчастіше у послідовний код). У цьому блоці може відбуватися також узгодження рівнів сигналів, що надходять із КУД, з рівнями ПЗП. При введенні даних з електромеханічних пристроїв (фотозчитувач, електрична друкарська машинка), у яких передбачений захист за принципом пара/непара, у блоці прийому й перетворення доцільно здійснювати контроль введеної інформації на «пара/непара». У прийомній частині ПЗП блок перетворення і видачі виконує зворотне перетворення інформації, що надходить до споживача, а також може здійснювати контроль виведених символів на «пара/непара». Для керування роботою КУД обидва ці блоки повинні формувати відповідні імпульси, що здійснюють синхронізацію введення/виведення інформації (запит чергового біта або байта,

зупинку джерела при виведенні даних з буферного накопичувача, якщо буде потреба повторної передачі блоку).

Таким чином, з урахуванням певних функцій, які повинен виконувати пристрій захисту від помилок і заданої послідовності передачі необхідних кодових комбінацій у канал (формату блоку), складається укрупнений алгоритм роботи й детальна структурна схема ПЗП. На рисунках 3, 4 наведені блок-схеми укрупненого алгоритму передавальної й приймальної частин АПД із вирішальним зворотним зв'язком і безмаркерним способом групового фазування. У цьому алгоритмі враховані основні функції ПЗП, перераховані вище.

На підставі розробленого алгоритму складається структурна схема ПЗП, що являє собою сукупність основних блоків, що реалізують задані функції і зв'язки між ними. Зв'язки вказуються тільки між тими блоками, які безпосередньо взаємодіють у процесі роботи пристрою захисту від помилок. Структурну схему варто розробляти по можливості докладніше, що істотно полегшить завдання побудови електричної функціональної схеми.

Подальшим етапом проектування є технічний опис структурної схеми пристрою. У технічному описі (ТО) зазначається склад і призначення блоків, зображених на структурній схемі, а також описуються їхні функції і взаємодія у всіх режимах роботи ПЗП.

Приклад структурної схеми ПЗП для реалізації алгоритму (див. рисунки 3, 4) наведений на рисунках 5 і 6. Пристрій захисту від помилок складається з передавальної (рисунок 5) і приймальної (рисунок 6) частин. Передавальна частина містить такі блоки: перевірки й перетворення інформації (БПП); буферний накопичувач (БН); датчик номера блоку (ДНБ); датчик службових комбінацій (ДСК); кодер; формувачі сигналів обміну з КУД і ППС (ΦCO_1 і ΦCO_2); початкові установки (БПУ); пристрій керування ($\text{ПК}_{\text{пл}}$); формувач тактових імпульсів ($\Phi\text{ТІ}$); аварійної сигналізації та індикації (БАСІ); лічильник числа повторних запитів (ЛПЗ); аналізатор зворотного каналу зв'язку (АЗКЗ).

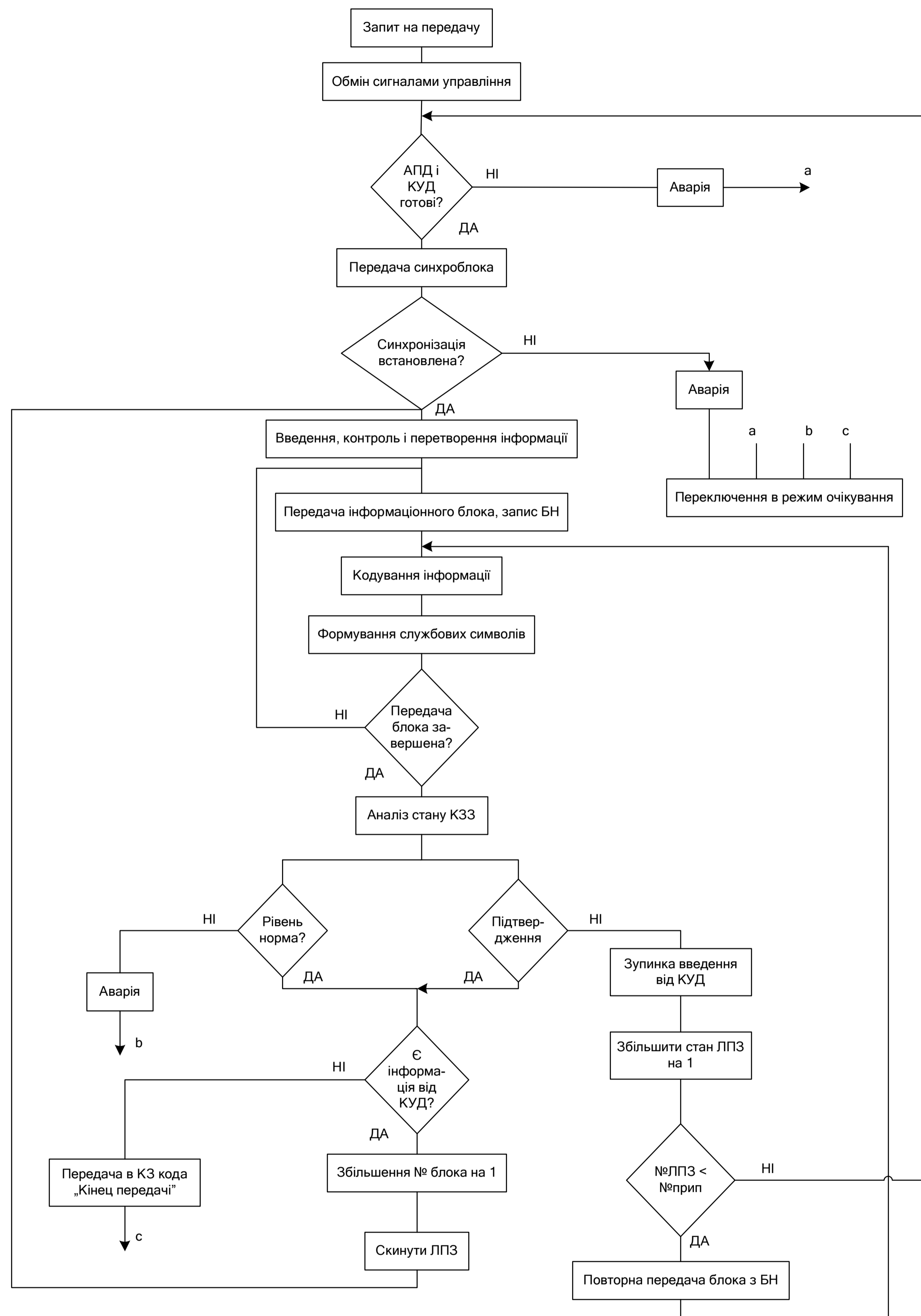


Рисунок 3 – Укрупнений алгоритм передавальної частини АПД

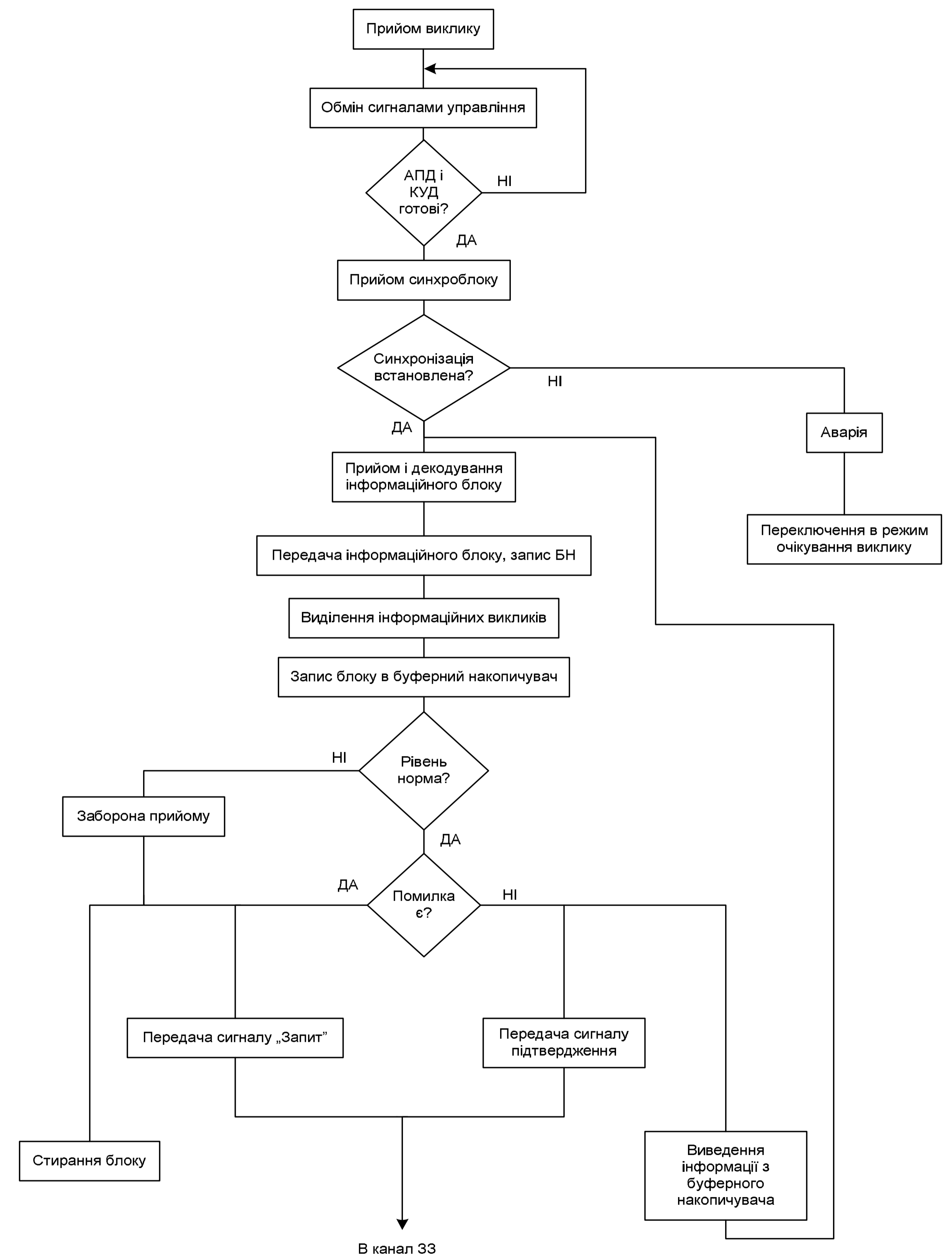


Рисунок 4 – Укрупнений алгоритм приймальної частини АПД

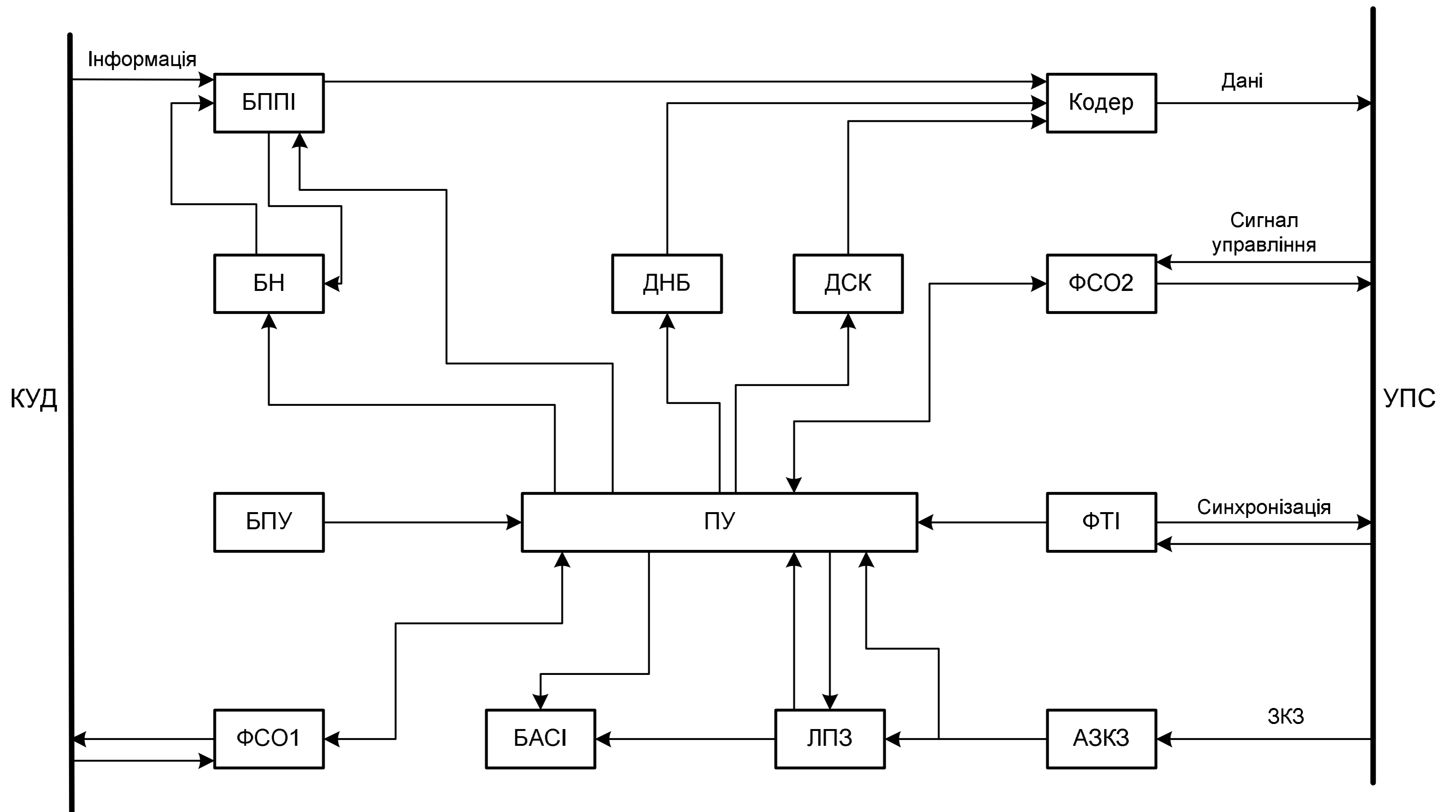


Рисунок 5 – Пристрій захисту від помилок передавальної частини

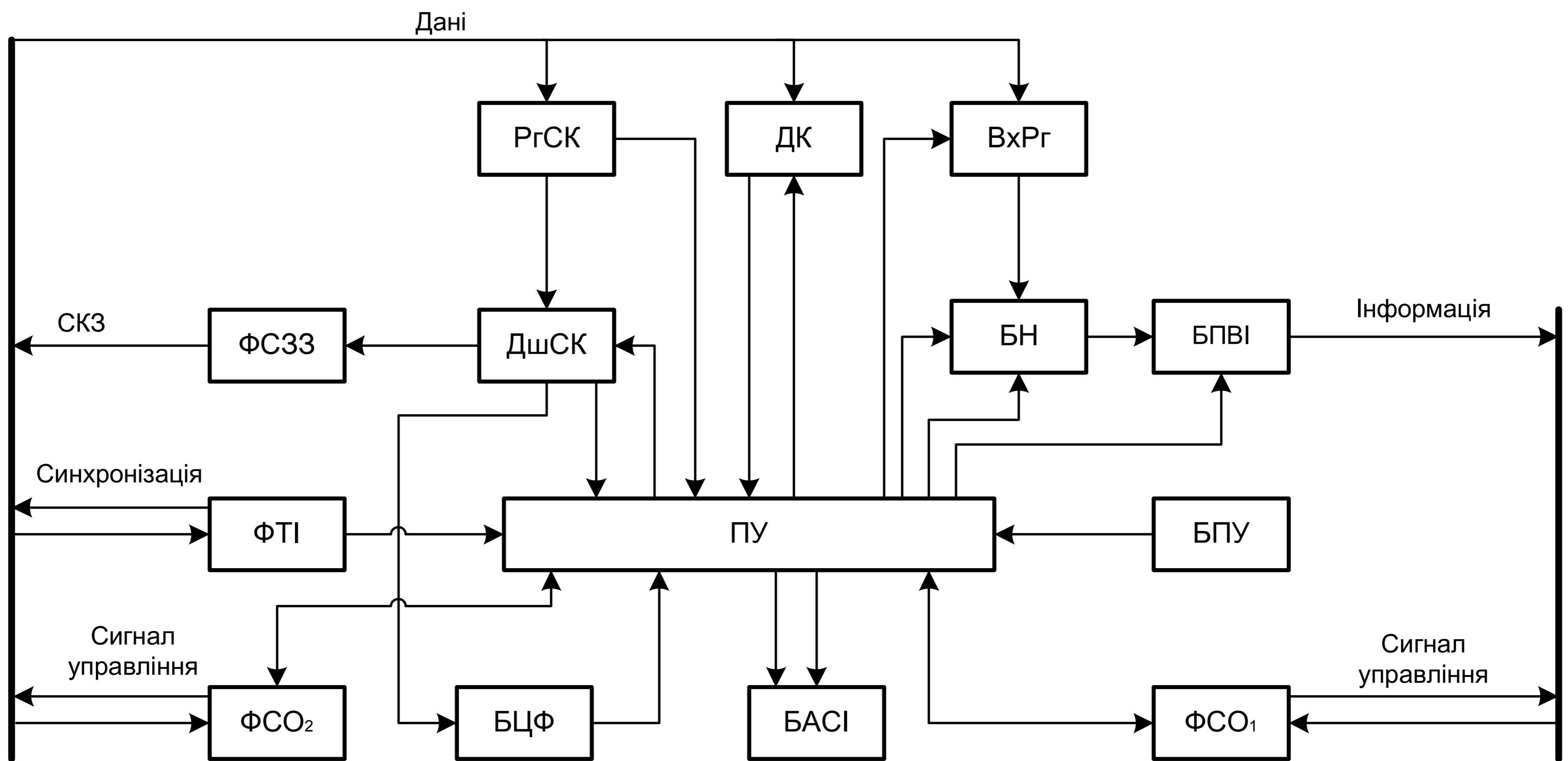


Рисунок 6 – Пристрій захисту від помилок прийомної частини

До складу приймальної частини входять блоки: реєстр службових комбінацій (РгСК); декодер (ДК); вхідний реєстр (ВхРг); формувач сигналів зворотного зв'язку (ФСЗЗ); дешифратор службових комбінацій (ДшСК); буферний накопичувач (БН); перетворення й видачі інформації (БПВІ); формувач тактових імпульсів (ФТІ); пристрій керування (ПК_{пм}); початкової установки (БПУ); формувачі сигналів обміну з КУД і УПС (ФСО₁ і ФСО₂); циклового фазування (БЦФ); аварійної сигналізації й індикації (БАСІ).

Основним блоком ПЗП є пристрій керування (ПК), що управляє роботою всіх інших блоків. Керуючі впливи на виході ПК виробляються на основі аналізу вхідних сигналів і залежать від режиму роботи ПЗП і тимчасової позиції у межах синхронізуючого або інформаційного блоку. ПК являє собою керуючий автомат, виконаний на основі твердої або програмованої логіки; ПК із твердою логікою звичайно будуються на основі розподільників імпульсів, а програмовані - на основі мікропроцесорної техніки. Питання проектування таких типів ПК розглянуті у підрозділі 5. Перемикання ПК відбувається під дією тактових імпульсів, формованих ФТІ, які можуть бути використані для синхронізації УПС. У ФТІ також передбачається можливість синхронізації від тактових імпульсів УПС.

Пристрій захисту від помилок працює в такий спосіб. У вихідному стані обидві частини ПЗП перебувають у стані очікування виклику. При надходженні запиту на передачу від джерела інформації ПЗП обмінюється керуючими сигналами з [4] КУД і ППС відповідно до технічних вимог на стандартний стик. Для вироблення необхідних сигналів обміну використовуються відповідні формувачі ФСО₁ і ФСО₂. За допомогою ППС передавальної частини в канал виклику посиляється сигнал виклику, після прийому якого лінія зв'язку віддаленої АПД перемикається з пристрою автоматичного виклику на вхід ППС. Якщо АПД або КУД не готові до процесу передачі даних, то включається сигналізація "Аварія АПД" або "Аварія КУД", а апаратура перемикається знову в режим

очікування виклику. При готовності АПД і КУД передавач ПЗП посиляє в канал синхросигнали, які використовуються для фазування за циклом ПК_{пм}. Фазуюча послідовність формується в передавачі датчиком ДСК, потім передається в канал зв'язку і після прийому фіксується в РгСК. Сигнал реєстрації виявлення фазуючої (маркерної) комбінації виробляється ДшСК і надходить у БЦФ, що формує відповідні керуючі впливи, що зміщують по фазі ПК_{пм} доти, поки воно не буде перемикається синфазно з ПК_{пд}. Цей момент фіксується ДшСК, що забороняє подальший зсув фази ПК_{пм}, а також виробляє сигнал підтвердження прийому синхроблока й за допомогою ФСЗЗ передає його в канал зворотного зв'язку. Наприкінці кожного циклу роботи ПК_{пд} опитує АЗКЗ і у випадку виявлення сигналу підтвердження перемикає АПД із режиму фазування в режим передачі даних. Якщо протягом заданого числа циклів (наприклад, 5) фазування не досягнуто, то включається аварійна сигналізація "Немає фази" і АПД перемикається в режим очікування виклику.

Після завершення процесу групового фазування ФСО₁ передавача генерує сигнал запиту даних від КУД відправника повідомлення. Під дією керуючих сигналів ПК_{пд} до інформаційної послідовності, що надходить із КУД і перетвореної у послідовний код у БППІ, на відповідних тимчасових позиціях додаються кодові комбінації номера блоку, формовані датчиком ДНБ, а також інші службові символи (наприклад, початок і кінець блоку), зчитувані із ДСК. Дані, передані в дискретний канал зв'язку, кодуються завадостійким кодом. Сформовані кодером перевірочні елементи додаються до інформаційних і службових символів наприкінці блоку. Надійшовши від КУД, інформаційна послідовність одночасно з передачею в канал зв'язку записується в буферний накопичувач БН. Причому його ємність залежить від типу й алгоритму роботи ПЗП, а також від часу розповсюдження сигналів по каналу зв'язку. Аналогічним чином формуються наступні блоки. Наприкінці кожного блоку ПК_{пд} опитує стан аналізатора зворотного каналу зв'язку і у разі наявності сигналу

"Підтвердження" здійснює подальшу передачу наступних блоків або за наявності сигналу "Запит" припиняє уведення інформації й видає повторно із БН блок, у якому виявлена помилка. ЛПЗ контролює кількість повторних запитів того самого блоку і при досягненні більше встановленого числа перемикає ПЗП в режим циклового фазування.

На приймальній стороні за допомогою ПК_{пм} відбувається поділ службових і інформаційних елементів. Перші записуються в РгСК, а другі – у вхідний регістр ВхРг. ДшСК перевіряє черговість і правильність надходження службових комбінацій і інформує при цьому ПК_{пм}. Одночасно ДК здійснює декодування прийнятого повідомлення. Інформаційні елементи у міру заповнення ВхРг перезаписуються в БН. По завершенні прийому блоку інформації ПК_{пм} на підставі даних про правильність прийому службових символів і відсутності помилок у прийнятому блоці, а також при наявності дозволяючого сигналу з детектора рівня несучої дозволяється видача інформації КУД-одержувачу. У блоці БПВІ здійснюється перетворення прийнятої послідовності в необхідний формат і узгодження за рівнем з рівнями КУД. Одночасно ПК_{пм} виробляє сигнал "Підтвердження", що формується ФСЗЗ і надходить у зворотний канал зв'язку. Якщо ж при прийомі блоку порушена хоча б одна із прийнятих умов (спотворені комбінації початку й кінця блоку, номер прийнятого блоку не відповідає встановленій черговості) або в процесі декодування виявлена помилка, то відбувається стирання прийнятого блоку, а у зворотний канал зв'язку передається сигнал "Запит".

Блоки аварійної сигналізації та індикації ПЗП забезпечують сигналізацію передбачених аварійних ситуацій і їхню індикацію, а також індикацію режимів роботи ПЗП. Вихідні сигнали цього блоку використовуються для інформування оператора або ЕОМ. Спрощена часова діаграма передавальної частини ПЗП наведена на рисунку 7.

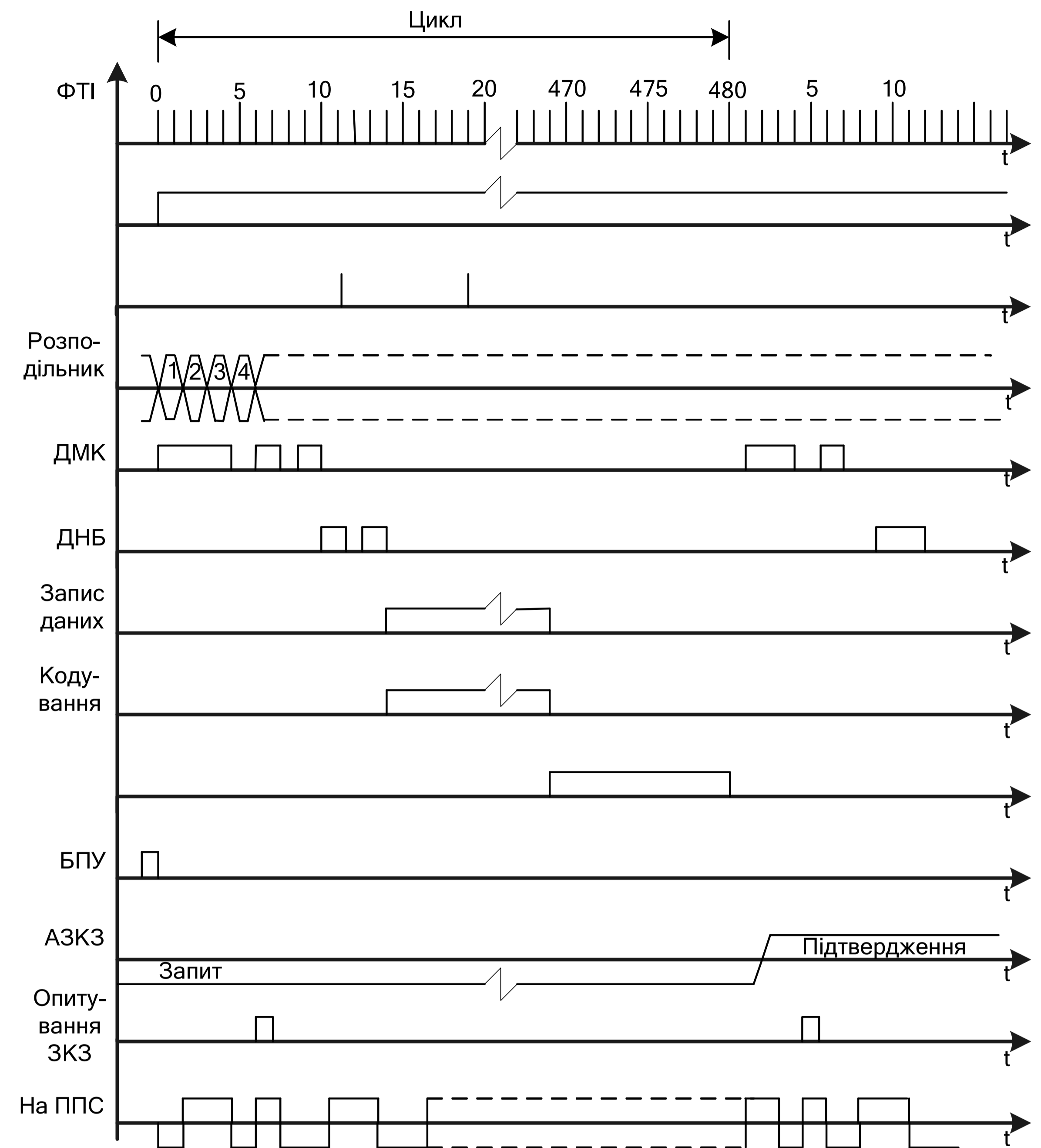


Рисунок 7 – Часова діаграма передавальної частини ПЗП

На наступному етапі проектування окремі блоки алгоритму функціонування деталізуються й формується докладна блок-схема алгоритму для всіх режимів роботи ПЗП. У цьому алгоритмі зазначаються конкретні кроки, необхідні для виконання необхідних функцій відповідними блоками, а також визначаються керуючі та інформаційні сигнали на входах

і виходах блоків, основні функціональні вузли, призначені для реалізації необхідних операцій, розраховуються необхідні часові співвідношення. Другий етап проектування закінчується детальною схемою алгоритму, електричною функціональною схемою, технічним описом і часовою діаграмою.

3 ПРИСТРОЇ ФАЗУВАННЯ ЗА ЦИКЛОМ

Пристрої фазування за циклом (ПФЦ) служать для визначення початку блоку інформації (циклу) у прийнятій послідовності цифрових сигналів, що необхідно для правильного декодування повідомлення. Фазування за циклами являє собою процес примусового встановлення певного фазового співвідношення між розподільниками на передавальній і приймальній сторонах АПД, при якому перший переданий у канал зв'язку біт направляє у перший осередок приймального регістра, другий – у другий і т.д. Для здійснення процесу фазування на приймальній стороні необхідно мати відомості про фазу передавального розподільника. На відміну від поелементної синхронізації ці відомості необхідно посилати на приймальну частину АПД на початку передачі, або протягом усього сеансу зв'язку. Способи фазування за циклами можна розділити на дві групи:

1) безмаркерні (з одноразовим запуском), при яких під час передачі інформації фазуючі сигнали (маркери) не передаються, а фазування здійснюється за рахунок видачі в канал спеціальної фазуючої послідовності перед початком передачі повідомлення й у паузах між передачею окремих блоків інформації;

2) маркерні (з безперервною синхронізацією), при яких протягом усього сеансу зв'язку по каналу разом з інформаційними сигналами передаються спеціальні кодові комбінації (маркери), які використовуються для фазування АПД за циклами.

Також розрізняють синхронні й стартостопні способи фазування. У синхронних – цикли фіксованої довжини впливають безупинно один за одним, у зв'язку із чим їхній

початок і кінець у сфазованому приймачі заздалегідь відомі. При стартостопному – цикл може початися в довільний момент часу, а довжина його – бути довільною. У проміжках між видачею блоків передавальні й прийомні розподільники перебувають на "стопі". Запуск їх відбувається під дією команди "Старт", яка подається перед початком блоку в канал зв'язку. Команда "Старт" може бути подана окремим сигналом або кодовою комбінацією.

Безмаркерне фазування реалізується кількома способами:

1 Встановлення необхідної початкової фази здійснюється шляхом передачі пускових (фазуючих) комбінацій. У системах обміну інформацією зі зворотним зв'язком переданий синхроблок, що складається зі спеціальної фазуючої комбінації й доповнений сигналами типу "крапки", які призначені для швидкого встановлення синхронізації по елементах, передається на прийомну станцію доти, поки по зворотному каналі не буде отримане підтвердження встановлення початкової фази прийомного розподільника. У системах односторонньої дії пускова комбінація передається стільки разів, поки вона не буде зафіксована приймачем із заданою ймовірністю. Очевидно, кількість передачі блоку в цьому випадку визначається максимальним рівнем перешкод у каналі зв'язку.

2 Фазування з адресно-пусковими комбінаціями. Такий спосіб застосовується в системах обміну інформацією, коли той самий канал використовується для передачі даних декільком споживачам, що мають різні адреси. Фазуючий блок при цьому способі доповнюється адресною комбінацією причому до структури адресної частини ставлять такі ж високі вимоги до завадостійкості, як і до пускових комбінацій.

Маркерні ПФЦ (з безперервною передачею фазуючих сигналів) залежно від виду маркерної комбінації реалізуються різними способами:

1 Пристрої з явно вираженою фазуючою комбінацією, сумісною з інформаційними символами, що входять у блок. Під сумісністю розуміється можливість появи в інформаційному

блоці групи символів, що збігаються з маркерною комбінацією, причому при збоях циклової фази маркери можуть виділятися з інформаційної послідовності, що приведе до помилкового фазування.

2 Пристрої з явно вираженою фазуючою комбінацією, не сумісною з інформаційною послідовністю. Такі ПФЦ називають пристроями із синхронізуючим префіксом. Кодова комбінація маркера (префікса) вибирається такою, котра не зустрічається в інформаційній послідовності, у тому числі при зсуві її на будь-яке число розрядів. У системах, що використовують цей спосіб фазування, в інформаційний блок варто включати додаткові елементи, що виключають появу в ньому маркерних комбінацій.

3 Використання для циклового фазування надлишкової інформації, що вводиться для підвищення вірності передачі. У таких ПФЦ при порушеннях синфазності перемикавання розподільників різко збільшується кількість помилок, що виявляються. Різницю між імовірністю помилок при синфазній роботі й реальній частоті помилок можна використати для здійснення фазування за циклами.

Незалежно від способу фазування будь-яка схема ПФЦ повинна містити блок уведення у передану послідовність маркерної комбінації на передавальній стороні й блок виділення цієї комбінації у приймачі. Схема пристрою фазування за циклами, що входить у приймальну частину АПД (рисунок 8), обведена пунктирною лінією. У її склад входять блок виділення маркерної комбінації БМК, блок захисту схеми фазування від перешкод БЗФ, що виникають у каналі зв'язку і блок установки приймального розподільника БУР у синфазний стан з розподільником передавальної частини АПД. БУР здійснює початкову установку розподільника безпосередньо або шляхом впливу на частоту проходження тактових імпульсів, керуючих перемиканням розподільника, відновлюючи в такий спосіб синхронність між передавальним і приймальним розподільниками. Побудова перерахованих блоків залежить від

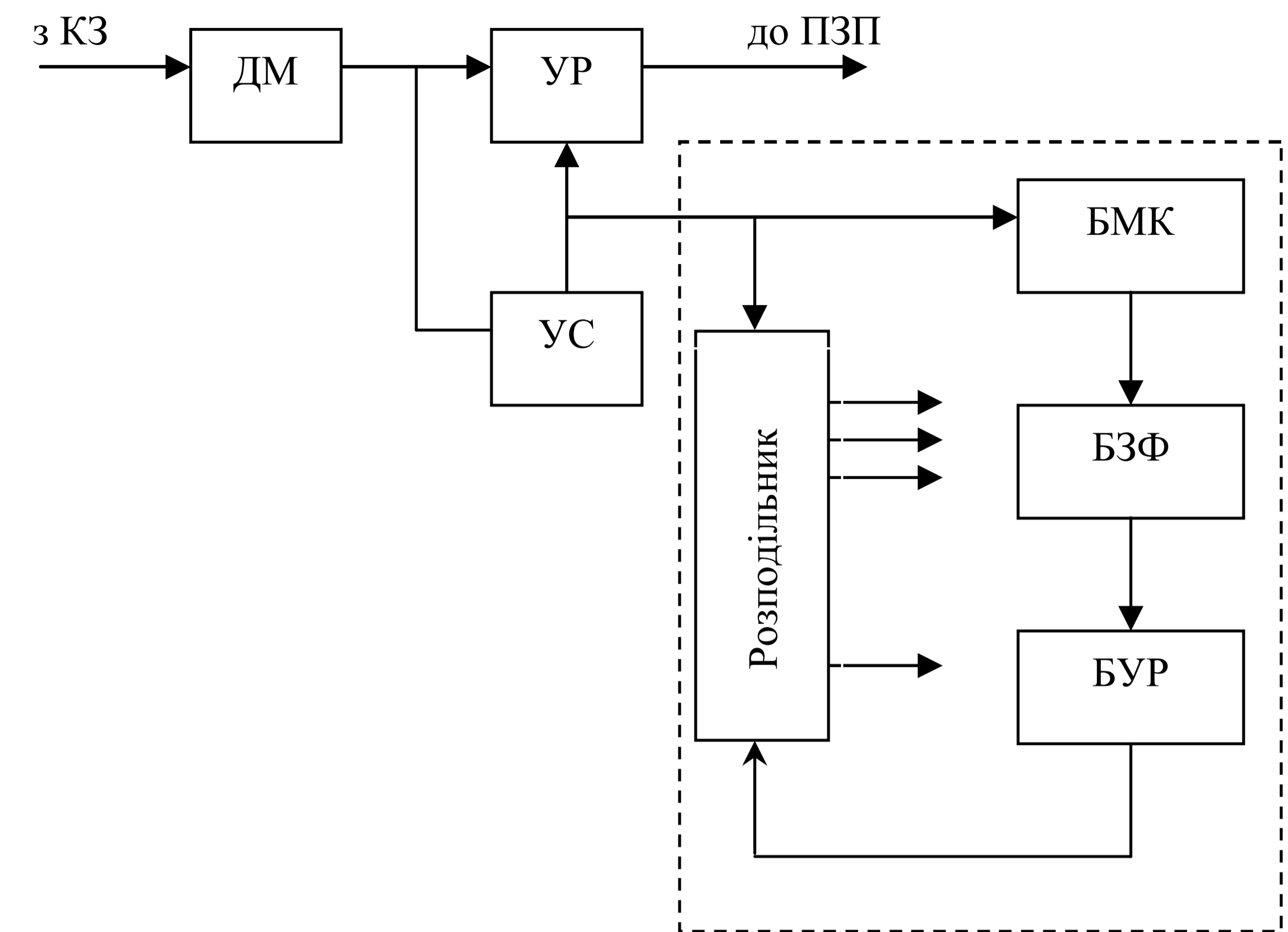


Рисунок 8 – Схема пристрою фазування за циклами

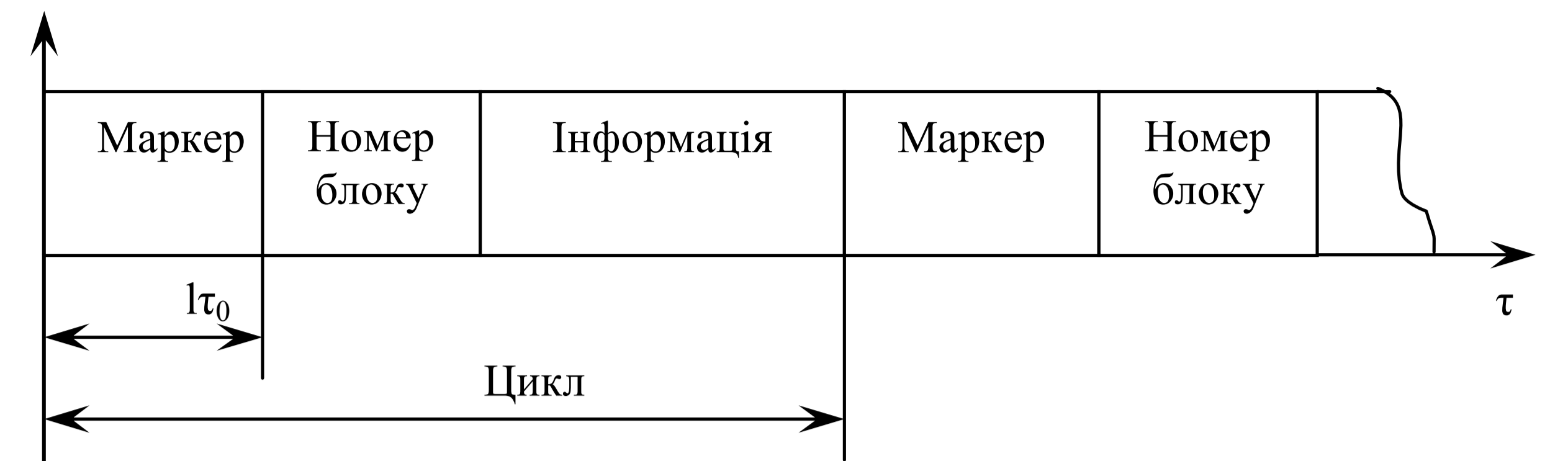
багатьох факторів: кількості біт і структури маркера, способів розміщення й передачі фазуючих комбінацій у блоці, способів їхньої селекції та ін. У той же час ПФЦ повинні бути простими й надійними в роботі, забезпечувати малий час фазування перед початком передачі інформаційних повідомлень і після перерв зв'язку, мати високу завадостійкість, що виключає встановлення помилкової фази, незначно знижувати пропускну здатність за рахунок введення фазуючої інформації.

Пошук явно вираженої маркерної комбінації для різних способів може вироблятися шляхом безперервного аналізу всієї вступної інформації доти, поки не виявиться фазуюча ознака, або методом однократної перевірки за кожний цикл у певний момент часу групи символів, визначених фазуючими. У першому випадку пристрій фазування впливає на прийомний розподільник тільки після виявлення маркера й установлює цей розподільник у вихідний стан, а в другому – здійснює додатковий зсув розподільника на один крок у бік випередження або

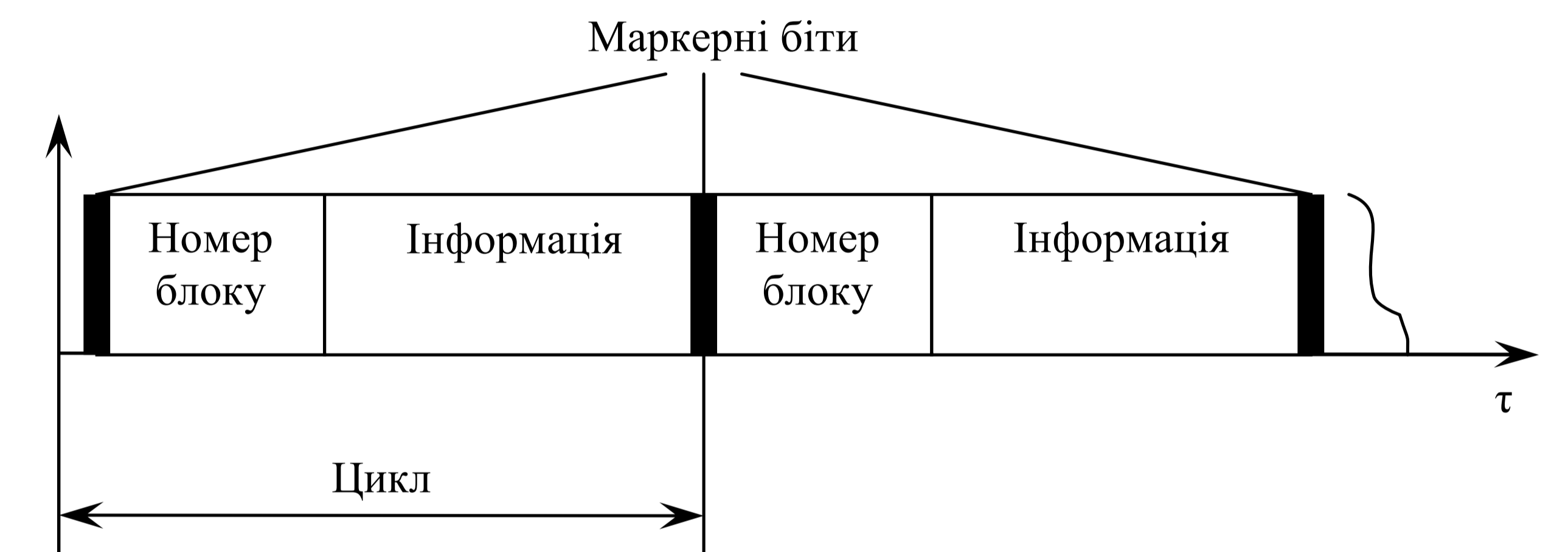
відставання після завершення кожного циклу. Якщо у першому випадку маркер може бути виявлений за один цикл, то для виявлення його в другому може знадобитися n_0 циклів, де n_0 – кількість одиничних елементів, переданих у блоці, тобто час фазування в системах з безперервним аналізом маркера менший, ніж у системах з однократною перевіркою.

Пристрої з безперервним аналізом доцільно застосовувати при безмаркерних способах фазування, тому що при цьому легко забезпечується несумісність маркерної комбінації з іншими символами, переданими в синхроблоці. У системах, що використовують маркерні способи, більш прийнятним є пошук фазуючої комбінації шляхом однократної перевірки протягом циклу. У протилежному разі у передану інформацію вводяться додаткові елементи, що забезпечують несумісність переданих даних з маркерною комбінацією, що приводить до підвищення надмірності, зниження ефективної швидкості передачі інформації й збільшення складності апаратури.

При маркерному способі маркерна комбінація може розташовуватися в інформаційному блоці на початку або наприкінці (рисунок 9а), або передаватися по одному біту за цикл (рисунок 9б). У першому випадку АПД буде мати малий час входження у фазу при зниженій ефективній швидкості передачі даних за рахунок введення надлишкових фазуючих символів. У другому випадку цей час зростає приблизно в l раз, де l – кількість біт у маркерній комбінації, а ефективна швидкість передачі буде трохи вища. При довжині переданого блоку менш сотні біт більше вигідним є застосування другого способу, а при використанні блоків великої довжини $n_0 > 100$ можна рекомендувати перший спосіб, тому що зниження ефективної швидкості в цьому випадку незначне, а технічна реалізація його більше проста.



а)



б)

Рисунок 9 – Структура блоків при маркерному способі фазування: а) з передачею всього маркера за цикл, б) з побітною передачею

Основними параметрами ПФЦ є час фазування t_f , імовірність P_{nf} помилкового фазування й імовірність P_{np} пропуску, тобто ймовірність того, що спотворена фазуюча комбінація не буде виявлена. Пристрої фазування необхідно проектувати таким чином, щоб t_f , P_{nf} і P_{np} були мінімальними.

Час входження у фазу залежить від типу ПФЦ і від імовірності помилки одиничного елемента в дискретному каналі P_0 . При $P_0 \leq 1 \cdot 10^{-4}$ ймовірність помилки практично не впливає

на t_ϕ . Для пристроїв фазування з дешифратором маркерної комбінації й порозрядним зсувом виявлення маркера відбувається один раз за цикл, і при максимальній неузгодженості розподільників для встановлення їх у синфазний стан потрібно $n_\phi - 1$ зрушень, включаючи l маркерних розрядів. Якщо фазуюча комбінація виявляється з імовірністю $P_m = 1 - P_\phi^l$, де P_ϕ – імовірність появи "1" або "0" у блоці, то, беручи $P_\phi = 0,5$, при швидкості передачі B одержимо

$$t_\phi = \frac{(n_\phi - 1) \cdot n_\phi}{(1 - P_\phi^l) \cdot B}. \quad (12)$$

Час фазування в ПФЦ при використанні пускової комбінації, що перетинається з іншими символами синхроблоку, а також при застосуванні блоків захисту, що забезпечують установку необхідної початкової фази приймального розподільника при трикратному виявленні маркерної комбінації, оцінюється за формулою

$$t_\phi \approx \frac{5n_\phi}{B}. \quad (13)$$

Імовірності $P_{нф}$ помилкового фазування й $P_{пр}$ пропуску маркерної комбінації визначаються довжиною й структурою маркера.

У процесі проектування пристроїв фазування за циклами необхідно відповісти на такі питання:

- 1) який вибрати спосіб фазування (маркерний або безмаркерний);
- 2) синхронний або стартостопний;
- 3) застосувати спеціальну фазуючу кодову комбінацію або скористатися синхронізуючими властивостями застосовуваного для підвищення вірогідності коду?
- 4) розташувати маркерну комбінацію на початку (кінці) блоку або використати l циклів для порозрядної передачі кожного біта l -розрядного маркера?

5) яка кількість розрядів повинна міститися у маркерній комбінації і яка її структура?

Щоб відповісти на ці питання, треба знати фактори, що визначають ефективність фазуючих пристроїв: алгоритм функціонування системи передачі даних і характер помилок у дискретному каналі зв'язку, обсяг переданої інформації та статистичні властивості джерела, техніко-економічні показники. Нижче наводяться загальні методичні рекомендації з вибору способів фазування за циклами, прийняті за основу на початку проектування технічних засобів обміну й передачі інформації. У процесі подальшого проектування базова схема ПФЦ може уточнюватися і доповнюватися новими функціональними вузлами, коректуватися її алгоритм роботи. Можливі варіанти побудови адаптивних пристроїв фазування, в яких у процесі передачі даних перебудовується алгоритм функціонування ПФЦ і спосіб фазування, структура й вид фазуючої комбінації і т.д. При використанні в пристроях фазування мікропроцесорів вони можуть бути сконструйовані досить гнучкими при мінімальних апаратурних витратах.

Якщо у процесі телеобробки даних не ставлять жорстких вимог на правильність передачі ($P_{кк} \leq 1 \cdot 10^{-5}$), а інформація від джерела надходить нерегулярно, невеликими масивами, блоками різної довжини й за якимись причинами не подається концентрація цієї інформації на передавальній стороні, то найбільш доцільним є застосування старт-стопного методу фазування. У цьому випадку середня довжина блоку й види фазуючої комбінації визначаються з умов забезпечення необхідної завадостійкості, про розрахунок якої говориться нижче.

У більшості систем передачі дискретної інформації вигідно застосовувати синхронні маркерні й безмаркерні способи фазування. У дуплексних й напівдуплексних СПД при передачі невеликих масивів інформації, у діалоговому режимі роботи абонентів, за наявності пауз між переданими повідомленнями, а також у системах даних по виділених каналах, коли не

потрібен безперервний контроль за процесом фазування за циклами, доцільне застосування безмаркерного способу, що забезпечує більш високу ефективну швидкість передачі інформації.

При безперервній передачі повідомлень або передачі великих масивів інформації в результаті різних вражаючих впливів, здатних порушити синфазний режим роботи системи, необхідно забезпечити систематичний контроль за станом фазуючих пристроїв, безперервною передачею в канал маркерних комбінацій. У таких випадках варто застосовувати маркерний спосіб фазування.

Якщо помилки в дискретному каналі мають незалежний характер, то маркерну комбінацію для більш простої апаратної реалізації, для маркерних і безмаркерних способів, доцільно розташовувати на початку або наприкінці блоку (див. рисунок 9а). При групуванні помилок у каналі в пакети, що приводить до збільшення ймовірності спотворення фазуючої комбінації, маркер варто розподіляти порозрядно рівномірно по всьому блоку, причому інтервал між маркерними бітами повинен бути не менше максимальної тривалості пакета помилок. Якщо службова інформація у блоці перевищує 10%, має сенс l -розрядну фазуючу комбінацію передавати за l циклів по одному біту в блоці (див. рисунок 9б). У цьому випадку підвищення ефективної швидкості передачі інформації досягається за рахунок збільшення часу фазування. У процесі розрахунку конкретних ПФЦ доводиться приймати компромісні рішення, що враховують час фазування за циклами і прийнятне значення надмірності переданої інформації.

При виборі маркерної комбінації варто мати на увазі, що її довжина впливає на ймовірності $P_{n\phi}$ помилкового фазування й P_{np} пропуску. Ймовірність $P_{n\phi}$ залежить від числа одиничних елементів, що входять у блок. При поелементному пошуку фазуючої кодової комбінації її помилкова реєстрація може відбутися як на основі аналізу інформаційної послідовності, так і в результаті аналізу сукупності, що являє собою частину

розрядів маркерної комбінації, а частину – інформаційної послідовності. Ймовірність помилкового виділення маркера з інформаційної послідовності визначається тільки його довжиною й числом інформаційних елементів, включаючи надлишкові у переданому блоці інформації, а ймовірність помилкової реєстрації фазуючої комбінації на перетинанні маркерних і інформаційних елементів блоку залежить від структури маркерної кодової комбінації. Для зменшення ймовірності помилкового виділення маркера при виборі його структури необхідно враховувати:

1) структура маркерної комбінації не повинна бути однорідною, наприклад складається тільки з одних одиниць;

2) розряди початку й кінця її повинні бути різними. Наприклад, маркер виду 1011110 недоцільно застосовувати, він має однакові комбінації (на початку і кінці його 10);

3) структура фазуючої комбінації не повинна бути строго регулярною, наприклад, виду 11110000 тому, що спотворення навіть одного розряду може привести до помилкової маркерної комбінації, утвореною частиною її розрядів, що складається з $(l-1)$ біт і одного розряду двійкової послідовності, що входить до складу блоку. Довжину маркерної комбінації доцільно брати кратною байту або напівбайту.

З урахуванням цих рекомендацій і вибору відповідної довжини маркера можна забезпечити прийнятне значення ймовірності помилкового фазування при однократному прийомі маркерної комбінації $P_{n\phi 1}$, що визначається за формулою

$$P_{n\phi 1} = \frac{n - l + 1 - (2^l - 1) \cdot \left[1 - (1/2^l)^{n-l+1} \right]}{n + l}, \quad (14)$$

де n – число розрядів у блоці, за винятком фазуючої комбінації;
 l – кількість біт у маркерній комбінації.

Ймовірність помилкового фазування може бути зменшена за рахунок введення пристрою захисту, що містить приймальний розподільник у початковому стані тільки за умови реєстрації

маркерної комбінації кілька (i) разів. Тоді ймовірність помилкового фазування дорівнює

$$P_{n\phi 1} = P_{n\phi 1}^i. \quad (15)$$

При наявності спотворень одиничних елементів за рахунок високого рівня перешкод у каналі зв'язку частина розрядів маркерної комбінації може спотворитися, що приведе до неможливості виявлення фазуючої послідовності й збою розподільників. Щоб уникнути цього, треба рішення про фіксування l -розрядної маркерної комбінації приймати не тільки при повному збігу всіх розрядів, але й у випадку, якщо s елементів цієї комбінації прийняті неправильно. Це приведе до підвищення ймовірності того, що маркерна комбінація може бути виділена з інформаційної послідовності й у результаті відбудеться помилкове фазування. Вірогідність цієї події оцінюється ймовірністю того, що у випадковій послідовності, що входить до складу блоку, з рівноймовірною появою "0" і "1" з'явиться сполучення з l елементів, що відрізняються від маркера не більше ніж на s біт. Імовірність помилкового фазування визначається за формулою

$$P_{n\phi 1} = 1/(2^l) \sum_{i=0}^s C_l^i, \quad (16)$$

де $C_l^i = l!/[i!(l-i)!]$. Імовірність $P_{n\phi 1}$ зменшується зі збільшенням кількості l розрядів або підтвердженням процесу прийому фазуючої комбінації i раз. Тоді ймовірність помилкового фазування визначиться за (15).

Імовірність P_{np} пропуску маркерної комбінації дорівнює ймовірності того, що в перекрученій фазуючій послідовності більше s розрядів прийняті неправильно і вона буде визнана нефазовою:

$$P_{np} = \sum_{i=s+1}^l C_l^i P_o^i (1 - P_o)^{l-i}. \quad (17)$$

Розглянемо приклади побудови пристрою фазування за циклами. Спрощена структурна схема ПФЦ для реалізації

безмаркерного способу з передачею маркерної (пускової) комбінації й безперервним аналізом інформації наведена на рисунку 10. Пристрій призначений для систем передачі даних з форматом блоку (рисунок 11). Система працює в режимі "Дані" (рисунок 11а) або в режимі "Фазування" (рисунок 11б). У першому випадку n_1 розрядів виділяються для передачі номера блоку n_2 – для корисної інформації, n_3 – для службової (надлишкової) інформації. У режимі фазування на місці номера блоку може передаватися ознака синхроблока, n_2 тимчасові позиції використовуються для передачі сигналів з максимальним числом переходів з 0 в 1 – типу "крапки" (1:1), які використовуються для синхронізації УПС за одиничними елементами. На місці надлишкової інформації розташовується фазуюча комбінація – маркер, кількість розрядів якого $l = n_3$. Такий формат синхроблока дозволяє з мінімальними схмотехнічними витратами перемикає АПД із режиму фазування в режим передачі даних.

Пристрій фазування за циклами функціонує в такий спосіб. На передавальній стороні (рисунок 10) розподільник перемикається сигналами, що надходять із генератора ГТІ тактових імпульсів, які використовуються також для тактування всіх блоків передавача. У режимі "Фазування" ключова схема КЛ закрита й інформація від закінченого встаткування даних КУД до ПЗП і далі в канал зв'язку не надходить. У активному стані перебувають датчик маркерної комбінації ДМК, і датчик "крапок" ДТ, а в датчик номера блоку ДНБ записується ознака синхроблока.

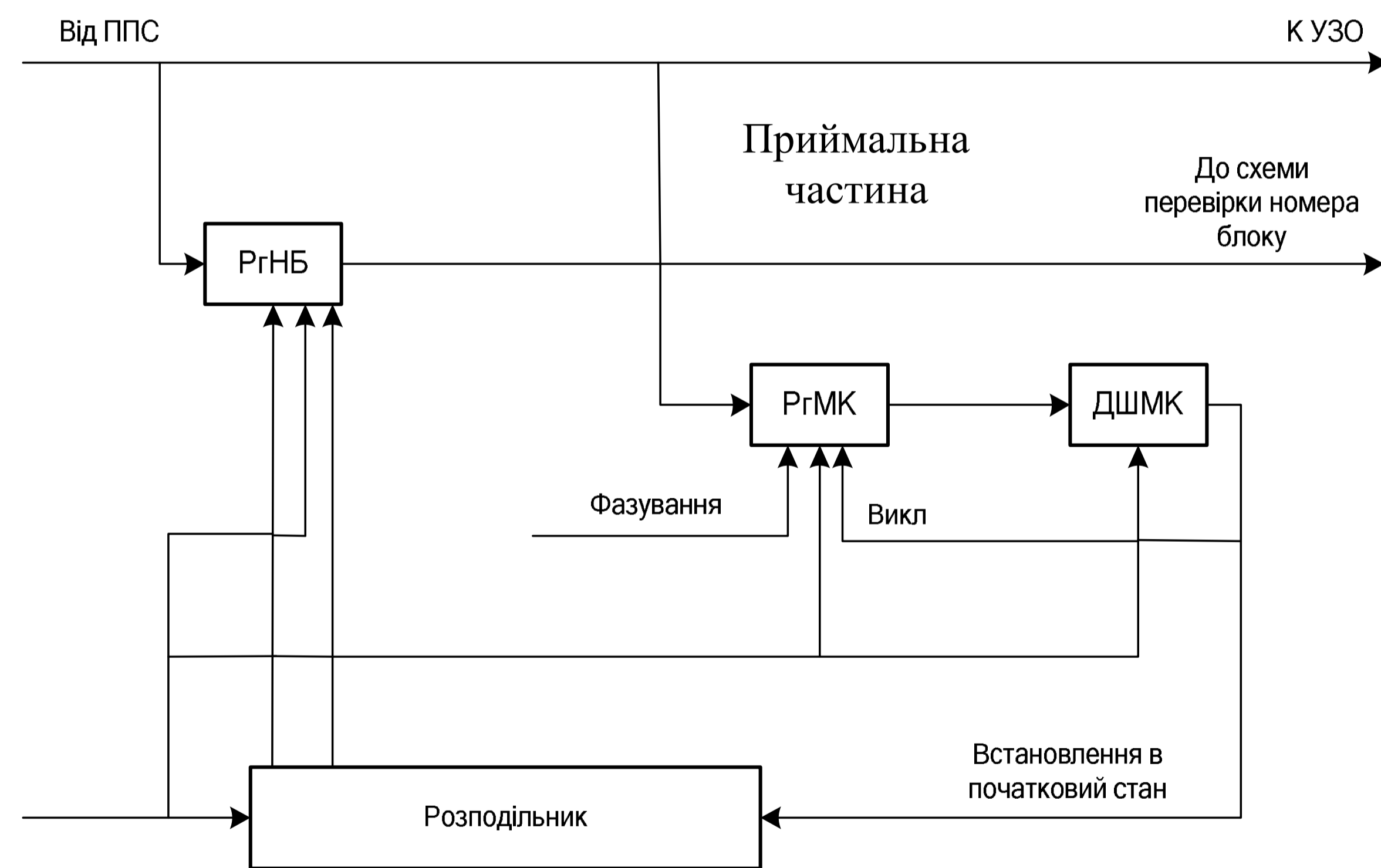
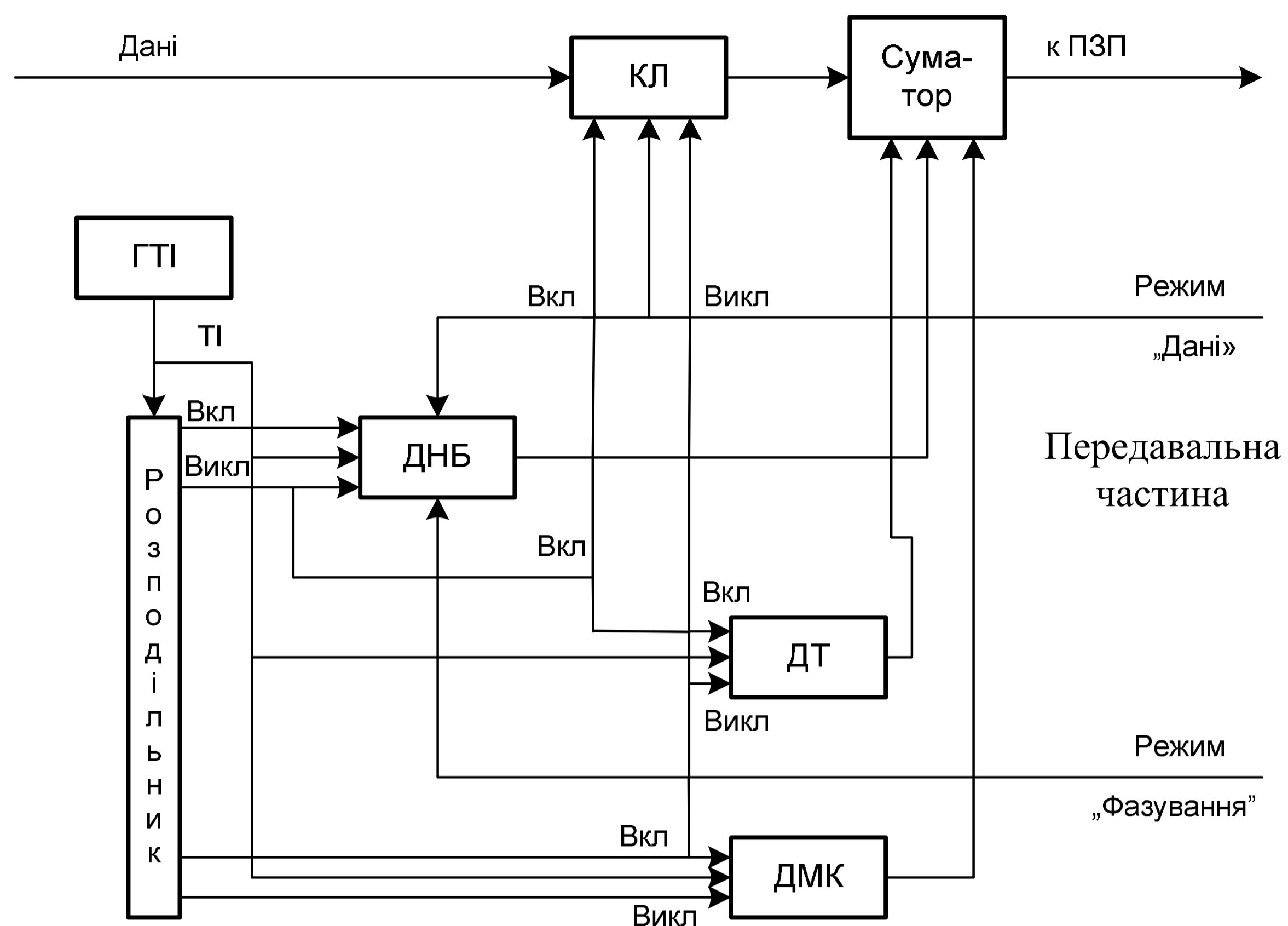


Рисунок 10 – Схеми ПФЦ для реалізації безмаркерного способу (передавальна та приймальна частини)

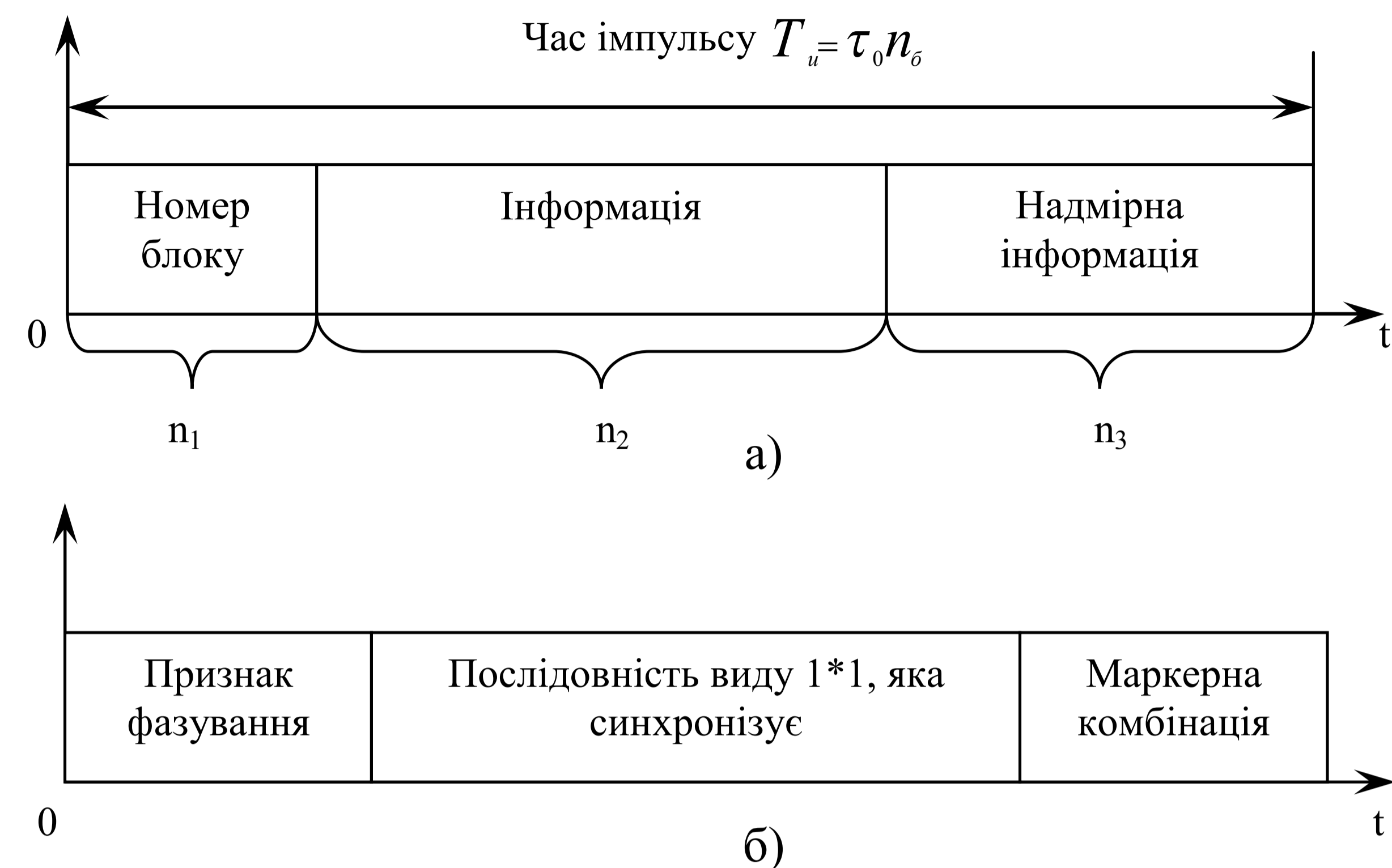


Рисунок 11 – Формати блоку в режимах: а) передачі даних; б) фазування

На початку циклу імпульс із першого виходу розподільника включає ДНБ і комбінація ознаки фазування під дією тактових імпульсів протягом n_1 тактів виводиться через суматор у канал зв'язку. По закінченні n_1 -ї тимчасової позиції ДНБ відключається, і цим самим імпульсом включається датчик "крапок" ДК. "Крапки" передаються протягом n_2 тактових інтервалів, після чого ДК відключається й включається датчик маркерної комбінації. Після завершення циклу процес повторюється й буде тривати доти, поки система перебуває в режимі фазування. При однобічній передачі кількість циклів фазування визначається станом каналу зв'язку й формується спеціальним лічильником циклів (на схемі не поданий), а при дуплексній передачі АПД перебуває в режимі фазування доти, поки по каналу зворотного зв'язку не надійде підтвердження про те, що приймальний розподільник зфазувався.

На приймальній стороні (рисунок 10) демодульована послідовність з виходу ППС під дією тактових імпульсів (ТІ) просувається через регістр маркерної комбінації РгМК, до виходу якого підключений дешифратор маркерної комбінації ДШМК. На кожному такті ТІ відбувається опитування ДШМК і за наявності на його вході фазуючої комбінації, що свідчить про закінчення циклу, на виході дешифратора з'являється одиничний імпульс, що встановлює розподільник у вихідний стан. Варто пам'ятати, що в проєктованих апаратурах не можна переводити АПД у режим передачі даних після однократного прийому маркерної комбінації. Спрацьовування ДШМК може відбутися під дією перешкод за рахунок перетворення будь-якої кодової комбінації у маркерну. Для запобігання цього у пристрій фазування вводиться блок захисту (рисунок 8), що забезпечує виявлення маркерної комбінації кілька разів підряд (2-4 рази) на тих часових позиціях, де їй слід бути. Запис інформації в РгМК повинен відбуватися тепер беззупинно, а з $(n_1 + n_2 + 1)$ -ї по $(n_1 + n_2 + n_3)$ -ю позиції. До складу блоку захисту входить лічильник імпульсів і схема керування підключення РгМК на відповідних позиціях розподільника. Якщо спрацьовування ДШМК було помилковим, тобто маркер на наступних циклах не виявляється, то блок захисту зобов'язаний перемкнути РгМК знову в режим безперервного пошуку фазуючої комбінації. Якщо протягом 6-8 циклів передачі синхроблока фазування не встановлюється, то передача припиняється й включається аварійна сигналізація із вказівкою причини зупинки. Докладніше про побудову блоків захисту говориться нижче.

Один з варіантів реалізації маркерного способу фазування за циклами з однократною перевіркою й покроковим зсувом прийомного розподільника за цикл поданий на рисунку 12. Структура переданого блоку аналогічна зображеному на рисунку 9а. На перших l часових позиціях передається l -розрядна маркерна комбінація. Для прийому й зберігання цієї комбінації використовується регістр РгМК, запис у який здійснюється імпульсом з першого виходу розподільника, а

припиняється – по закінченні l -го імпульсу, що відповідає l -й тимчасовій позиції, що задає прийомним розподільником. Для

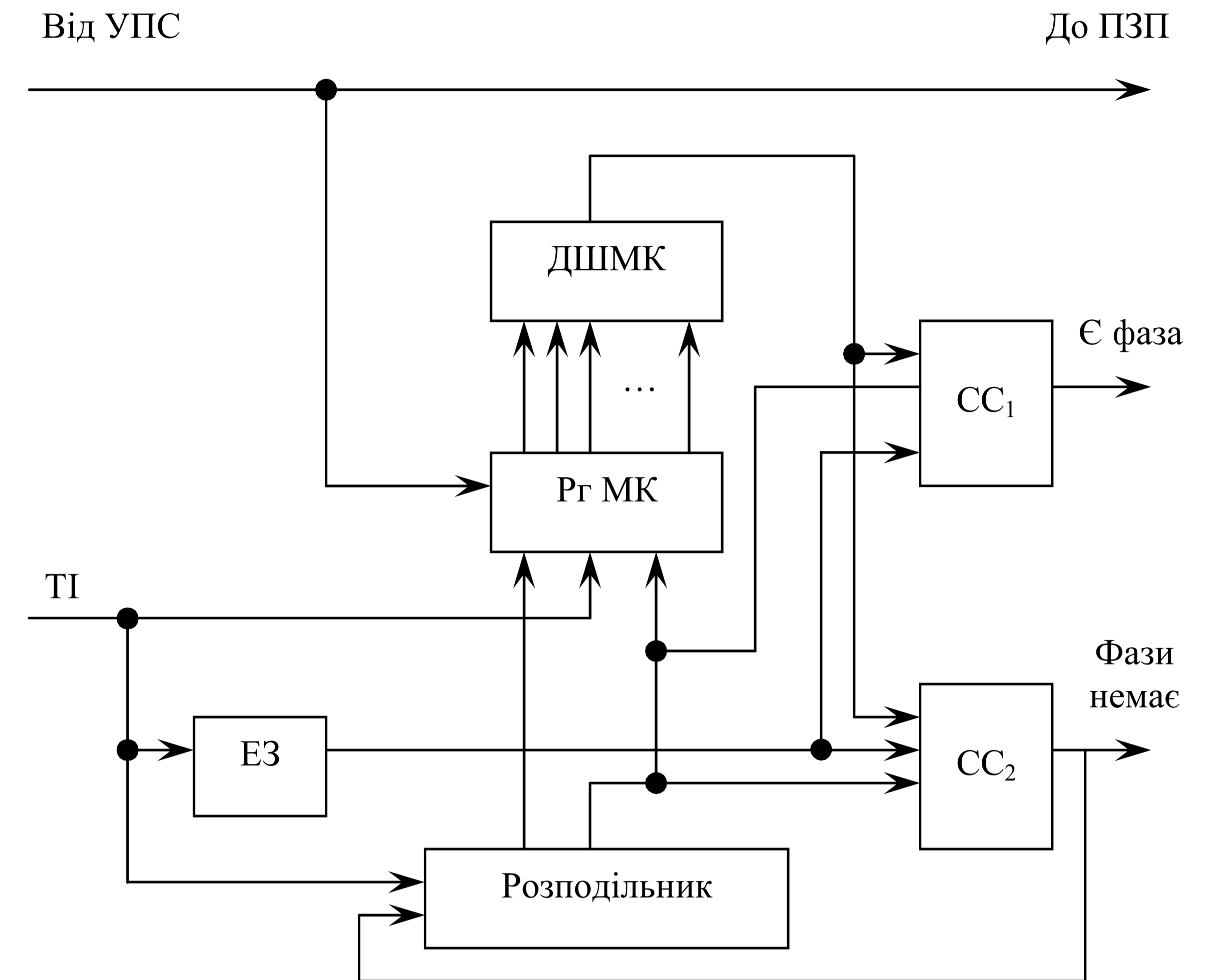


Рисунок 12 – Схема маркерного пристрою фазування з покроковим зсувом розподільника за цикл

декодування фазуючої послідовності використовується дешифратор маркерної комбінації ДШМК, опитування якого відбувається по закінченні часу прийому маркера імпульсами, розташованими між двома тактовими імпульсами. Імпульси опитування ДШМК формуються елементом затримки (ЕЗ), що здійснює зсув ТІ на час $\tau_0/2$. Якщо прийомний розподільник перемикається не синфазно з передавальним, то в момент l -го імпульсу в РгМК буде перебувати довільна кодова комбінація, а на виході ДШМК нульовий рівень, що приводить до появи на виході першої схеми збігу СС1 нульового

потенціалу. Логічний "0" із ДШМК через інверсію на вході схеми збігу CC_2 підготовляє її до видачі сигналу "Немає фази", що з'являється в середині l -ї тимчасової позиції за рахунок імпульсу, що надходить від елемента затримки (ЕЗ). Імпульс із виходу CC_2 додатково зміщає фазу прийомного розподільника на один крок у бік випередження. Підстроювання фази прийомного розподільника буде здійснюватися доти, поки в РгМК не виявиться шукана маркерна комбінація. Тоді "1" з виходу ДШМК забороняє формування імпульсу підстроювання фази й пропускає імпульс із ЕЗ через CC_1 , що сигналізує про наявність синфазності перемикачів розподільників. Сигнали "Є фаза" і "Немає фази" можуть бути використані у блоці захисту пристрою фазування від перешкод; додатковий зсув розподільника блок захисту дозволяє тільки в тому випадку, якщо маркерна комбінація не виявлена кілька разів підряд. Ці ж сигнали можуть бути використані для керування каналом зворотного зв'язку.

Якщо за цикл в інформаційному блоці передається тільки один біт маркерної комбінації, то схема фазування практично не відрізняється від схеми, наведеної на рисунку 12. Особливість її полягає в тому, що запис у РгМК дозволяється тільки на першій позиції розподільника, а входи схем збігів CC_1 і CC_2 , з'єднані з l -им виходом розподільника, підключаються до його першого виходу.

Структурна схема ПФЦ, що реалізує стартостопний спосіб фазування, і часові діаграми функціонування такого пристрою зображені на рисунках 13, 14. У цьому пристрої стоповий сигнал відсутній, тому що прийомний розподільник після завершення циклу й при відсутності чергового стартового сигналу зупиняється і перебуває на "стопі" до одержання наступного пускового імпульсу. Такий варіант пристрою можливий лише за умови, що всі цикли передачі мають строго фіксовану довжину. Стартовий сигнал відрізняється від інших одиничних елементів тимчасовою ознакою, тривалість якого дорівнює $3\tau_0$. Між стартовим сигналом і іншими елементами є захисна пауза

тривалістю τ_0 . Селекція сигналу "Старт" здійснюється розрізнявачем стартового імпульсу РСІ, до складу якого входить інтегратор Інт і граничний пристрій ГП. Граничний рівень устанавлюється таким чином, що ГП перемикається в одиничний стан у випадку, якщо тривалість сигналу на вході розрізнявача буде понад $2\tau_0$.

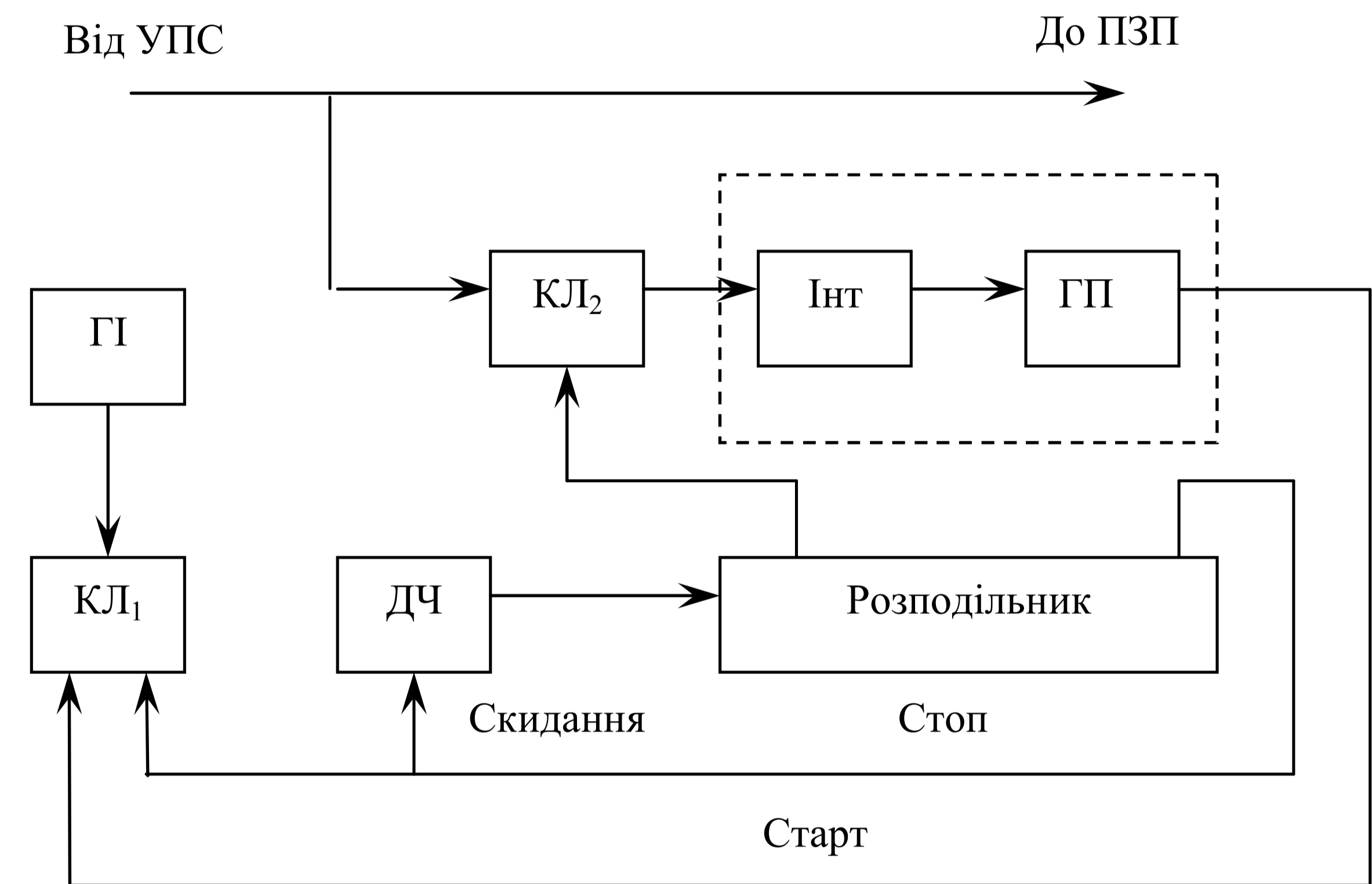


Рисунок 13 – Схема стартостопного пристрою фазування

У вихідному стані тактові сигнали на вхід розподільника не надходять, тому що ключова схема $КЛ_1$ замкнена й він перебуває на "стопі". Коливання на виході генератора імпульсів присутні постійно. На нульовому виході розподільника є одиничний потенціал, що підтримує $КЛ_2$ у відкритому стані. При спрацьовуванні ГП відкриваються $КЛ_1$ і імпульси високої частоти $f_0 = m_0 f_e$ починають надходити на вхід ділячки частоти (ДЧ), коефіцієнт ділення якого дорівнює m_0 . Частоти тактових імпульсів на вході розподільника й передачі збігаються

й рівняються f_0 . Для зменшення похибки визначення початку тактового інтервалу задній фронт імпульсу на виході ГП повинен бути як можна крутіший. При відсутності спотворень стартового сигналу в каналі зв'язку та ідеальному задньому фронті похибка фазування (визначення початку циклу) дорівнює $\varepsilon_\phi = 1/f_0$. Після перемикавання розподільника з нульової позиції КЛ₂ заціпається й запобігає формуванню помилкового старту із сигналів інформаційної послідовності. По закінченні циклу КЛ₁ заціпається заднім фронтом імпульсу з останнього виходу розподільника до приходу наступного стартового сигналу. Якщо пристрій захисту від помилок працює разом з УПС, то як імпульси високої частоти можуть бути використані імпульси генератора, що задає пристрою перетворення сигналів.

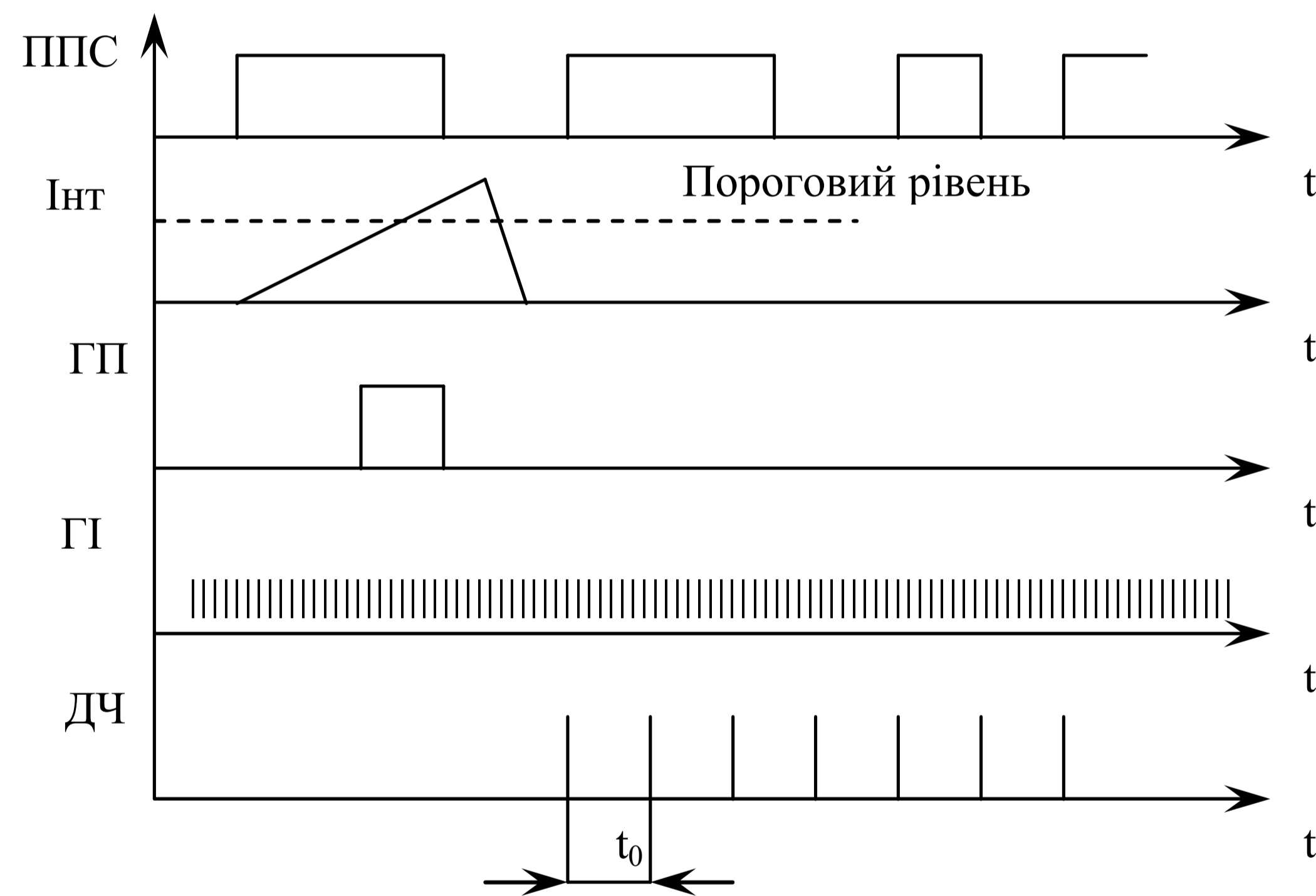


Рисунок 14 – Тимчасові діаграми роботи стартоstopного ПФЦ

При проектуванні блоків захисту ПФЦ від перешкод варто мати на увазі, що сигналізація втрати синфазності розподільників відбувається у випадках, якщо вони дійсно розфазовані або маркерна комбінація прийнята з помилкою.

Тому що ймовірність помилки в дискретному каналі відносно невисока, то спотворення фазуючої комбінації кілька разів підряд практично неможлива, тому наявність імпульсу, що сигналізує відсутність маркера, свідчить про розсинхронізацію розподільників. Отже, завданням блоку захисту є включення схеми фазування тільки у випадку надходження підряд кількох 2-4-значених імпульсів. Одиночні імпульси схемою захисту повинні ігноруватися. Таким чином, основним функціональним вузлом блоку захисту є лічильник імпульсів, що змінює свій стан на "1" із приходом чергового імпульсу сигналізації відсутності маркера й скидається в "0" кожним імпульсом, що сигналізує його наявність.

Для запобігання передчасного виходу ПФЦ із режиму підстроювання фази за рахунок помилкового фіксування сигналу "Є фаза" блок захисту повинен виключати ланцюг зсуву лише після того, як цей сигнал з'явиться кілька разів підряд. Для цього на виході ланцюга "Є фаза" варто поставити додатковий лічильник імпульсів. Поява імпульсу переносу на виході одного з лічильників повинна приводити до скидання іншого.

Більш детально методи побудови фазуючих пристроїв викладені в [3, 4].

4 ВИБІР ЗАВАДОСТІЙКОГО КОДУ

Завадостійкими (коригувальними) називаються коди, що дозволяють виявляти й виправляти помилки у прийнятих кодових послідовностях. Коригувальна здатність коду залежить від кодової відстані d , чисельно рівної мінімальному числу елементів, якими відрізняється будь-яка кодова комбінація від іншої. У загальному випадку

$$d = t_o + t_u + 1, \quad (18)$$

де t_o й t_u – число виявлених і виправлених помилок відповідно причому обов'язково $t_o \geq t_u$.

Якщо код тільки виявляє помилки, то $d = t_o + 1$, а у випадку тільки виправлення $d = 2t_o + 1$. Кількість перевірок

елементів r коригувального коду залежить від виду коду, а число інформаційних елементів $k = n - r$, де n – довжина двійкової послідовності, що кодується завадостійким кодом. Відношення r/n називають коефіцієнтом надмірності коду.

Код з перевіркою на парність – один із простих кодів, що дозволяють виявляти одиночні помилки. Він утворюється шляхом додавання до переданої комбінації, що становить з k інформаційних символів ненадлишкового коду, одного контрольного біта так, щоб загальна кількість одиниць у переданій комбінації була парною. У результаті загальна кількість елементів у переданій комбінації $n = k + 1$. На приймальній стороні роблять перевірку на парність. При парному числі одиниць передбачається, що помилок немає, і споживачеві видається k біт, а контрольний елемент відкидається. Аналогічно може бути побудований код з перевіркою на непарність.

Імовірність невиявлених помилок для коду з перевіркою на парність залежить від довжини блоку n й імовірності P_o помилкового прийому одиничного елемента:

$$P_{kk} \approx C_n^2 P_o^2 (1 - P_o)^{n-2}. \quad (19)$$

Як показують розрахунки по (19), для забезпечення ймовірності помилки за символами менш $1 \cdot 10^{-6}$ припустима довжина кодової комбінації n становить декілька байт.

Ітеративний код характеризується наявністю двох або більше систем перевірок усередині кожної кодової комбінації, відповідно до ГОСТ 20687-75 він будується в такий спосіб. До семиелементного коду КОИ-7 додають перевірочний біт, що розташовується у восьмій позиції. Елементи переданого блоку й перевірочні біти утворюють матрицю:

$$\begin{vmatrix} a_{11} & a_{12} & a_{13} & \dots & a_{1n} & r_1 \\ a_{21} & a_{22} & a_{23} & \dots & a_{2n} & r_2 \\ \cdot & \cdot & \cdot & \cdot & \cdot & \cdot \\ a_{71} & a_{72} & a_{73} & \dots & a_{7n} & r_7 \\ q_1 & q_2 & q_3 & \dots & q_n & q_{n+1} \end{vmatrix},$$

де a_{ij} – інформаційні біти, $i = 1, 2, \dots, 7; j = 1, 2, \dots, n$;

q_1, q_2, \dots, q_n – перевірочні біти знаків, що утворюють першу сукупність перевірок.

Наприкінці матриці стоять біти перевірки на парність r_i , $i = 1, 2, \dots, 7$, які є сумою за модулем 2 всіх елементів рядка; $r_1 - r_7$ включається в знак перевірки – це друга сукупність перевірок. До семи елементів знака додається восьмий перевірочний біт q_{n+1} . Перевірочні біти $q_1, q_2, \dots, q_n, q_{n+1}$ формуються таким чином, щоб число одиниць у стовпці було парним для асинхронних систем і непарним – для синхронних. Кожний знак потрібно передавати послідовно, починаючи з першого біта a_{ij} і закінчуючи восьмим - перевірочним.

Початковий знак блоку ПТ (початок тексту) і символ СИН (синхронізація) не слід включати в підсумовування. При використанні ітеративного коду в блок обов'язково включається комбінація КБ (кінець блоку), що свідчить, що далі іде знак перевірки матриці.

Наведений ітеративний код є найпростішим кодом цього класу. Кодова відстань для нього $d = 4$. Він виявляє всі помилки кратності до трьох і непарної кратності, а також будь-який пакет помилок довжиною $l + 1$, де l довжина рядка матриці коду. Основним недоліком ітеративних кодів, що використовують перевірки на парність за стовпцями і рядками, є їх відносно висока надмірність ($\approx 15\%$). Однак кодування й декодування таких кодів дуже просто реалізуються програмними методами, тому найпростіші ітеративні коди доцільно використати в АПД із мікропроцесорними ПЗП. При більше жорстких вимогах до

вірогідності передачі даних застосовують ітеративний код із трьома перевітками.

Код Хеммінга – один з найбільш ефективних кодів, що дозволяють виправляти одиночні помилки. Кодова відстань $d=3$. Код утворюється шляхом доповнення інформаційної частини переданого блоку, що складається з k біт, r перевірочними елементами, причому в інформаційну частину при кодуванні можна брати й службові символи (номер, початок і кінець блоку), за винятком маркерних комбінацій, які доцільно розташовувати на початку блоку. При виборі довжини переданого блоку n й кількості перевірочних елементів r варто керуватися нерівністю $2^r \geq n+1$. З огляду на те, що $r = n - k$, нерівність запишеться у вигляді

$$2^k \leq \frac{2^n}{n+1}, \quad (20)$$

де n й k – цілі числа. Нерівність є вихідною для визначення довжини кодової комбінації за заданим числом k .

Перший перевірочний елемент Π_1 коду Хеммінга утвориться підсумовуванням за модулем 2 всіх непарних біт блоку, починаючи з першого:

$$\Pi_1 = a_1 + a_3 + a_5 + a_7 + \dots \quad (21)$$

Результат перевірки Π_2 визначає другий розряд перевіркої комбінації (синдрому помилки). Він обчислюється підсумовуванням тих біт блоку, номери яких відповідають n -розрядним двійковим числам, що мають одиницю в другому розряді, тобто

$$\Pi_2 = a_2 + a_3 + a_6 + a_7 + a_{10} + a_{11} + \dots \quad (21)$$

Третя перевірка Π_3 охоплює розряди, номери яких відповідають n -розрядним числам, що мають одиницю в третьому розряді. Аналогічно перебувають розряди, охоплені четвертою, п'ятою і т.д. перевітками:

$$\begin{aligned} \Pi_3 &= a_4 + a_5 + a_6 + a_7 + a_{12} + a_{13} + a_{14} + a_{15} + \dots, \\ \Pi_4 &= a_8 + a_9 + a_{10} + a_{11} + a_{12} + a_{13} + a_{14} + a_{15} + \dots, \\ \Pi_5 &= a_{16} + a_{17} + a_{18} + a_{19} + a_{20} + \dots \end{aligned} \quad (23)$$

Місце розташування перевірочних елементів не має значення, їх можна розміщати перед, після й чергуючи з інформаційними символами. Якщо їх розмістити на місцях кратних ступені 2, тобто на позиціях 1, 2, 4, 8 і т.д., то код двійкового числа, утвореного перевірочними елементами, на приймальній стороні буде показувати номер розряду, у якому відбулася помилка.

Циклічні коди знаходять найбільше поширення в системах передачі даних з вирішальним зворотним зв'язком, що обумовлено їх високими коригувальними властивостями, порівняно простою реалізацією, невисокою надмірністю. Особливо вони ефективні при виявленні пакетів помилок. Циклічні коди відносяться до блокових систематичних кодів, у яких кожна комбінація кодується самостійно у вигляді блоку таким чином, що інформаційні k й перевірочні r елементи завжди перебувають на певних місцях. Для спрощення процедури кодування й декодування перевірочні біти розміщують наприкінці блоку. Кодування переданого повідомлення здійснюється множенням двійкової послідовності $G(x)$ на многочлен x^r , що має той самий ступінь, що й утворюючий поліном $P(x)$, з додаванням до цього добутку залишку $R(x)$, отриманого після ділення добутку $G(x)x^r$ на утворюючий поліном, тобто передане в канал зв'язку повідомлення $F(x)$ має вигляд

$$F(x) = G(x)x^r + R(x). \quad (24)$$

При декодуванні прийнята послідовність $F(x)$ знову ділиться на утворюючий поліном $P(x)$. Отриманий нульовий залишок $R(x)=0$ свідчить про відсутність помилок у прийнятому блоці, а відмінність від нуля – про наявність

помилки. Аналізуючи залишок, можна визначити номери перекручених розрядів і скорегувати їх.

Для побудови циклічних кодів як утворюючих поліномів використовуються неприводимі багаточлени, які не приводяться. Вони діляться без залишку тільки на себе й на одиницю. $P(x)$ може бути поданий в алгебраїчній формі або у вигляді двійкового або восьмеричного числа. В останньому випадку кожна восьмерична цифра відображає три двійкових розряди. Наприклад, для полінома $P(x) = x^5 + x^3 + 1$ двійковий запис має вигляд 101001, а відповідна йому восьмерична – 51. У таблиці 1 наведені вибірково багаточлени, що не приводяться, до 12-го степеня включно. Поліноми записані в алгебраїчній формі й у вигляді восьмеричних чисел (для степенів $r \geq 6$ – тільки восьмеричними числами).

При виборі утворюючого полінома $P(x)$ варто мати на увазі, що показник степеня утворюючого полінома не може бути менше числа перевірних елементів r . Для спрощення технічної реалізації кодерів і декодерів необхідно вибирати степінь полінома, рівний r . Якщо в таблиці є кілька багаточленів, які не приводяться, з даним степенем, то доцільно вибрати найкоротший причому число ненульових членів $P(x)$ не повинно бути менше необхідної кодової відстані, певного по (18).

Таблиця 1 – Вибіркові неприводимі багаточлени до 12-го степеня включно

r	$P(x)$	r	$P(x)$
2	x^2+x+1	7	211, 217, 235,
3	x^3+x+1	13	747, 435, 543
4	x^4+x^2+1	23	1055, 1751
5	x^5+x^2+1	45	2033, 3177
6	$x^5+x^4+x^3+x^2+1$	75	7413, 4505
		103, 147	12

Існує безліч різновидів циклічних кодів, але у зв'язку з тим що за технічним завданням необхідно забезпечити передачу

даних за наявності пакетів помилок, розглянемо коди, найбільш широко використовувані для виправлення й виявлення пакетів помилок.

Циклічні коди з кодовою відстанню $d \geq 5$ розроблені Боузом, Чоудхурі й Хоквінгом (БЧХ-коди), виявляють і виправляють будь-яке число помилок. При кодуванні заданим є число t_u помилок, які потрібно виправити, і довжина блоку n . Необхідно визначити число інформаційних k і перевірочних r елементів, а також вид утворюючого полінома.

Довжина кодової комбінації визначається за формулою

$$n = 2^m - 1, \quad (25)$$

де m – ціле число. Наприклад, при $m = 6$, $n = 63$; при $m = 7$, $n = 127$; при $m = 8$, $n = 255$ й т.д.

Утворюючий поліном знаходиться як найменше спільне кратне (НЗК) мінімальних непарних поліномів $m_i(x)$ до порядку $2t_u - 1$ включно:

$$P(x) = \text{НОК}\{m_1(x)m_3(x)\dots m_{2t_u-1}(x)\}. \quad (26)$$

Мінімальний багаточлен являє собою простий неприводимий поліном. Існують багаточлени того самого порядку різних степенів. Показник степеня мінімальних багаточленів, що входять до (26), повинен бути рівний m , для якого справедливо (25). Так як порядок (номер) самого старшого мінімального багаточлена $2t_u - 1$, то кількість багаточленів, що входять до (26), дорівнює числу помилок t_u які можна виправити. Наприклад, якщо $t_u = 5$, де $2t_u - 1 = 9$ й до (26) будуть входити багаточлени $m_1(x)$, $m_3(x)$, $m_5(x)$, $m_7(x)$, $m_9(x)$.

Мінімальні багаточлени циклічних кодів різних степенів наведені в таблиці 2, де значення $m_i(x)$ дані у восьмеричній системі числення. Так, поліном 13-го порядку 9-го ступеня, поданий числом 453, у двійковій формі має вигляд 100101011, а багаточлен записується як $x^8 + x^5 + x^3 + x + 1$. Для знаходження $P(x)$ необхідно виписати з таблиці 2 всі значення мінімальних поліномів, що відповідають показнику степеня m ,

до порядку $2t_u - 1$ включно.

Приклад 3. Розрахувати параметри коду для симплексного ПЗП, що дозволяє виправляти чотириразові помилки. Ефективна швидкість видачі інформації споживачеві повинна становити не менше 90% технічної швидкості передачі по каналу зв'язку.

Таблиця 2 – Мінімальні багаточлени циклічних кодів

Порядок полінома	Мінімальні поліноми при значенні степеня m								
	2	3	4	5	6	7	8	9	10
1	7	13	23	45	103	211	435	1021	2011
3	–	–	37	75	127	217	567	1131	2017
5	–	–	07	67	147	235	763	1461	2415
7	–	–	–	–	111	367	551	1231	3771
9	–	–	–	–	015	277	675	1423	2257
11	–	–	–	–	155	326	747	1055	2065
13	–	–	–	–	–	203	453	1167	2157
15	–	–	–	–	–	–	727	1541	2653

Визначимо необхідну кодову відстань, що дозволяє виправляти чотирикратні помилки. Відповідно до (18) $d = 2t_u + 1 = 2 \cdot 4 + 1 = 9$. Оскільки $d > 5$, то для виправлення помилок варто застосувати БЧХ код с $d = 9$. Для виконання умови (25) довжину блоку інформації будемо вибирати з ряду: 127, 255, 511, 1023 і т.д. Нехай $n = 127$, тоді по (25) $m = 7$. Кількість контрольних розрядів у блоці буде $r \leq m \cdot t_u \leq 7 \cdot 4 = 28$. Отже, число інформаційних елементів у блоці $k = n - r = 127 - 28 = 99$. Ефективна швидкість видачі інформації (за відсутності в блоці службових біт) становитиме $V_{ef} = V(127 - 28)/127 \approx 0,78 \cdot V$, що не задовольняє технічні вимоги.

Проведемо аналогічні розрахунки при $n = 255$, одержимо $V_{ef} = 0,87 \cdot V$. Візьмемо $n = 511$, тоді з (25) $m = 9$, а $r \leq 9 \cdot 4 = 36$. Кількість інформаційних бітів у блоці $k = 475$. Оскільки як довжина інформаційної частини блоку повинна бути кратна байту, то число знаків у блоці $k_{zn} = 475/8 = 59$. Тоді довжина інформаційної частини $k = 59 \cdot 8 = 472$. Вільні три біти

можуть бути використані для передачі, наприклад, номера блоку. Ефективна швидкість видачі інформації споживачеві саде $V_{ef} = 0,92 \cdot V$. Якщо V_{ef} виявиться менше припустимої або в переданий блок потрібно ввести додаткові службові символи, то n варто взяти 1023 або наступне число з ряду.

Вид утворюючого полінома визначимо за (26). Кількість мінімальних багаточленів дорівнює $t_u = 4$, причому порядок останнього $2t_u - 1 = 7$, а старший показник степеня $m = 9$. Випикуємо з таблиці 2 мінімальні багаточлени необхідного степеня й з урахуванням (26) одержуємо

$$P(x) = (x^9 + x^4 + 1) \cdot (x^9 + x^6 + x^4 + x^3 + 1) \times \\ \times (x^9 + x^8 + x^5 + x^4 + 1) \cdot (x^9 + x^7 + x^4 + x^3 + 1)$$

Число контрольних елементів отриманого БЧХ коду визначається показником степеня отриманого утворюючого полінома й дорівнює 36.

Із циклічних кодів, що виявляють і виправляють пакети помилок, найбільш ефективним є циклічний код Файра, утворюючий поліном якого $P_\phi(x)$ визначається виразом [5]:

$$P_\phi(x) = P(x) \cdot (x^c + 1), \quad (27)$$

де $P(x)$ – багаточлен, що не зводиться, степеня m .

Коди Файра можуть виправляти одиночний пакет помилок довжиною b_u й одночасно виявляти пакет довжиною b_o за умови

$$c \geq b_u + b_o - 1, \quad m \geq b_u, \quad (28)$$

c не повинне ділитися на число e без залишку ($e = 2^m - 1$). Якщо застосовувати ці коди тільки для виявлення помилок, то можна виявити будь-який одиночний пакет помилок, довжина якого менше або дорівнює числу перевірочних елементів:

$$r = c + w. \quad (29)$$

Незвідний багаточлен $P(x)$ вибирають із таблиці 1 згідно з (28), але так, щоб задовольнялася умова (29). Довжина блоку n

дорівнює найменшому спільному кратному чисел e і c : $n = \text{НСК}\{e, c\}$, а число перевірочних елементів $r = c + m$.

Приклад 4. Визначити параметри коду Файра, використовуваного в ПЗП для виявлення одиночних пакетів помилок довжиною 16 біт.

Розв'язання. Для виявлення пакета помилок довжиною 16 біт утворюючий поліном $P_\phi(x)$ повинен мати показник степеня $r \geq 16$. Кількість помилок, що виправляють, отже, згідно з (28) $m \geq 0$. Для зменшення надмірності коду збільшимо довжину блоку n переданого повідомлення, візьмемо $m = 5$. Тоді $e = 2^5 - 1 = 31$. Оскільки c не повинне ділитися цілком на e , то c з урахуванням (29) одержимо $c = 11$. Довжина блоку $n = \text{НСК}\{e, c\} = 31 \cdot 11 = 341$ біт. З таблиці 1 вибираємо поліном, що не зводиться, з показником степеня $m = 5$: $P(x) = x^5 + x^2 + 1$. Тоді утворюючий поліном коду Файра має вигляд

$$P_\phi(x) = (x^5 + x^2 + 1) \cdot (x^{11} + 1) = x^{16} + x^{13} + x^{11} + x^5 + x^2 + 1.$$

Кількість інформаційних елементів у блоці $k = n - r = 341 - 16 = 325$. Надмірність переданого повідомлення $R = r/n = 16/341 = 0,047$, тобто менше 5%. **Приклад закінчено.**

Як ми вже відзначали вище, при виборі довжини блоку переданого повідомлення необхідно враховувати властивості кодів, які накладають обмеження на n . З іншого боку, n повинне бути кратним довжині застосовуваних символів: 8 (байту) або 7 (код КОІ-7). Для виконання цих вимог роблять скорочення довжини блоку до значення, кратного переданим символам при збереженні кількості перевірочних елементів, необхідних для виявлення або виправлення помилок. Коригувальні здатності вкороченого циклічного коду й вихідного повністю збігаються. Такий укорочений код часто називають псевдоциклічним.

5 ТЕХНІЧНА РЕАЛІЗАЦІЯ КОДУЮЧИХ ТА ДЕКОДУЮЧИХ ПРИСТРОЇВ

Питання схемотехнічної реалізації кодерів і декодерів ПЗП досить детально представлені в [2, 3, 4], тому нижче розглядаються деякі особливості побудови кодуючих та декодуючих пристроїв з урахуванням можливостей великих інтегральних схем (ВІС), що дозволяють помітно скоротити апаратні витрати.

Формування контрольного біта здійснюється суматором за модулем 2 (T -тригером). Передана в канал двійкова комбінація одночасно подається на вхід T -тригера. На відповідній часовій позиції імпульсом з розподільника відбувається опитування суматора й при одиничному стані останнього в канал подається "1" (доповнююча передану послідовність до парного числа одиниць), а при нульовому – "0". Аналогічна процедура відбувається на приймальній стороні. Нульовий стан T -тригера наприкінці прийому блоку свідчить про відсутність одиночних помилок.

Кодуючий пристрій ітеративного коду (рисунок 15) містить паралельний 8-розрядний суматор за модулем r ($D1$), у якому формується перевірний елемент стовпця q_j . Перевірний біт разом з інформаційною кодовою комбінацією заноситься в паралельно-послідовний регістр $D3$. Синхронізація запису здійснюється подачею керуючого імпульсу на вхід $C2$. Сформований байт подається на вхід паралельно-послідовного суматора за модулем 2 ($D4$), у якому здійснюється порядкове підсумовування переданих кодових комбінацій. Операція підсумовування в $D4$ синхронізується імпульсом, що подається на вхід C у кінці кожного восьмого такту. Не слід забувати, що між синхроімпульсами запису в $D3$ і $D4$ повинен бути часовий інтервал, обумовлений затримкою в регістрі $D3$. Поелементна видача байта даних у дискретний канал відбувається під дією тактових імпульсів, що зсувають, подаваних на вхід $C1$ і $D3$.

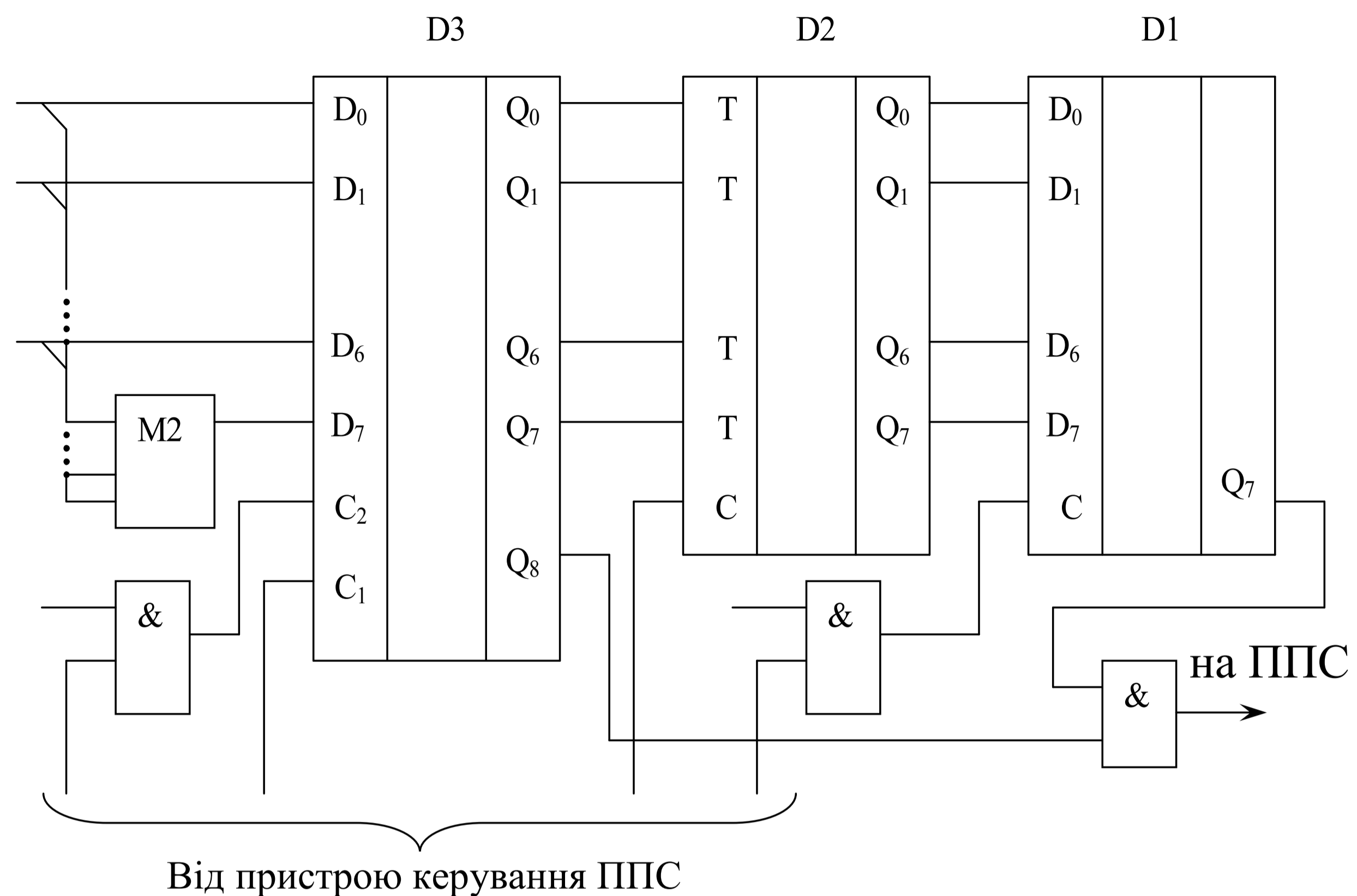


Рисунок 15 – Кодер ітеративного коду

Момент часу подачі Ті і їх кількість визначаються керуючим потенціалом, що надходить із розподільника на вхід схеми збігу D2. Наприкінці інформаційного блоку контрольна сума $r_1, r_2, \dots, r_7, q_{n+1}$ переписується в регістр зсуву D6 за наявності керуючого потенціалу із пристрою керування на другому вході D5 і видається в послідовній формі на вхід ППС.

До складу декодувального пристрою ітеративного коду також входять суматори за модулем 2, що здійснюють перевірку на парність байтів, що надходять, за стовпцями і рядками. Оскільки помилка може бути виявлена в будь-якому стовпці, то її необхідно фіксувати в момент появи. Недотримання ознаки парності за рядками виявляється тільки по закінченні блоку.

Основною операцією в кодуючих та декодуючих пристроях коду Хеммінга є підсумовування за модулем 2 відповідно до (21, 23). Таким чином, їхні схеми від кодерів ітеративного коду відрізняються утворенням перевірних

елементів. Кодери і декодери кодів Хеммінга досить детально описані в [2, 5], тому відзначимо особливості, які доцільно враховувати під час реалізації цих пристроїв. Як відзначалося вище, розміщення перевірних елементів при кодуванні не має принципового значення. Для спрощення технічної реалізації (виключення багаторозрядних паралельних суматорів, вхідного накопичувача) варто спочатку посилати в канал інформаційні біти, а потім – перевірочні. При такому способі формування контрольних елементів можна здійснювати за допомогою однорозрядних послідовних суматорів за модулем 2 одночасно з передачею інформаційних розрядів. Щоб зберегти коригувальні властивості коду Хеммінга, необхідно зробити перестановку розрядів у перевірних рівностях (21, 23) з урахуванням зміни номерів підсумованих елементів за рахунок винесення в кінець блоку перевірочних бітів. При такій перестановці рівняння перевірки будуть охоплювати такі розряди:

$$\begin{aligned}
 P_1 &: 1, 2, 4, 5, 7, 9, 11, 12, 14, \dots; \\
 P_2 &: 1, 3, 4, 6, 7, 10, 11, 13, 14, \dots; \\
 P_3 &: 2, 3, 4, 8, 9, 10, 11, \dots; \\
 P_4 &: 5, 6, 7, 8, 9, 10, 11, \dots
 \end{aligned}
 \tag{30}$$

Біт першої перевірки буде розміщуватися на $(k+1)$ -й позиції блоку, другий – на $(k+2)$ -й, останній – на n -й позиції. На рисунку 16 наведена функціональна схема одного з варіантів формування перевірних бітів коду Хеммінга, що може бути використана як у кодері, так і в декодері. Інформаційні елементи, що надходять від джерела, подаються на лічильні входи Т-тригерів (суматорів за модулем 2) і через ППС – у канал зв'язку.

Кількість тригерів дорівнює числу контрольних елементів r . Синхронізація підсумовування здійснюється імпульсами з розподільника, які поєднуються схемами АБО. Входи першого елемента АБО з'єднуються з виходами розподільника відповідно до першої перевірки P_1 (30), другий – перевіркою P_2 й т.д.

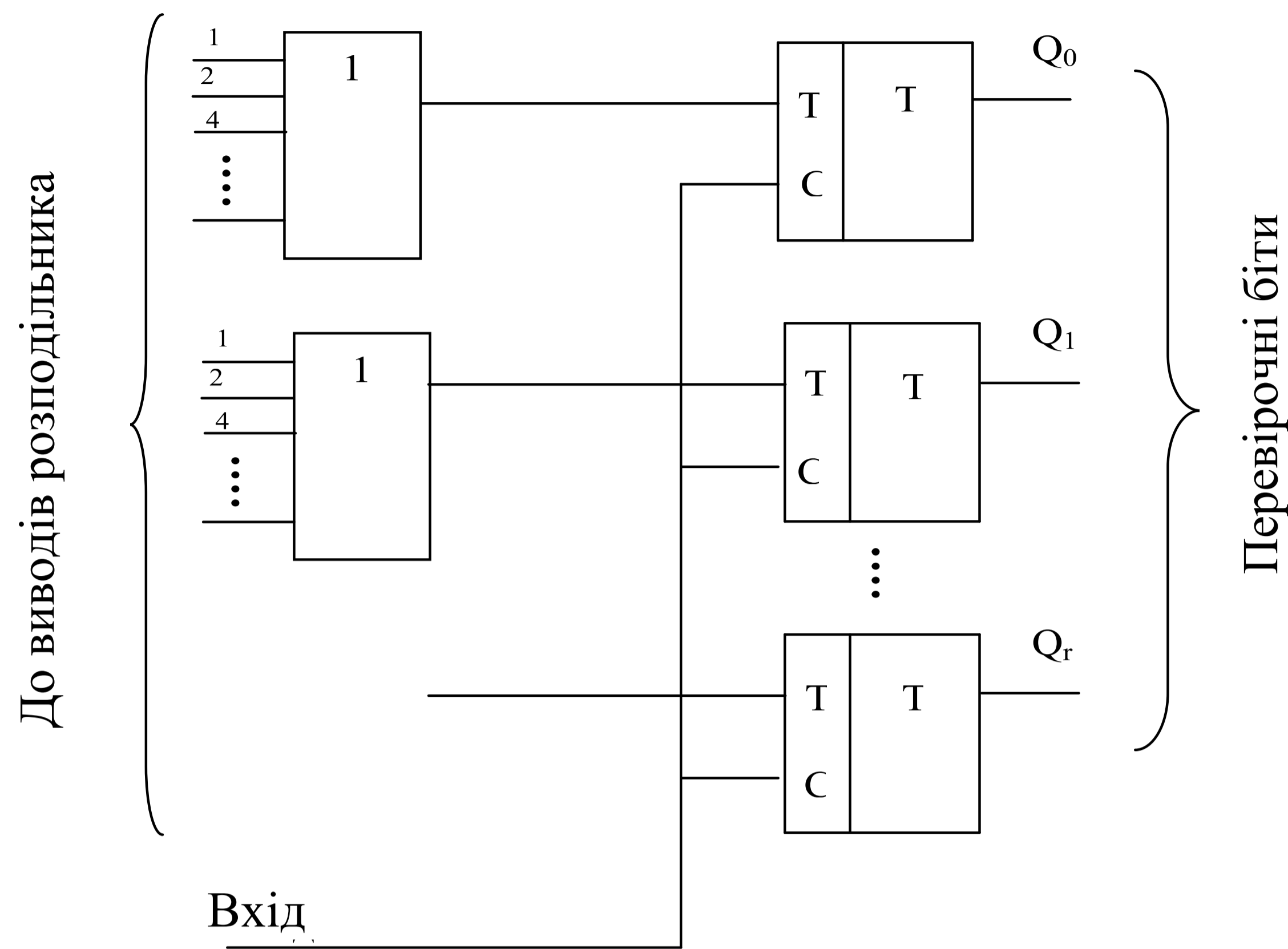


Рисунок 16 – Схема формування перевірочних елементів коду Хеммінга

Таким чином, забезпечується підсумовування на T -тригерах тих бітів, номери яких визначаються відповідними перевірками. Після надходження останнього k -го інформаційного елемента в суматорах буде зафіксовано r перевірочних елементів. У кодуєчому пристрої ці біти перетворюють у послідовну форму й через ППС надходять у канал зв'язку. На приймальній стороні разом з інформаційними підсумовуванню підлягають і перевірочні елементи. Отримана r -розрядна кодова комбінація (синдром помилки) подається на дешифратор, що визначає номер розряду, у якому відбулася помилка. Даний дешифратор відрізняється від класичного (дешифратора коду Хеммінга) і повинен урахувати перестановки контрольних елементів, зроблених при кодуванні.

Для побудови кодуєчого пристрою, циклічного коду необхідно відповідно до (24) виконати дві операції: помножити

багаточлен $Q(x)$ на x^r й отриманий добуток розділити на утворюючий поліном $P(x)$. Для виконання першої операції не потрібно спеціального пристрою, тому що множення багаточлена на x^r означає додавання до нього r нулів з боку молодшого розряду, тобто після передачі k інформаційних елементів за ними ідуть r перевірочних. Як дільники полінома на поліном у кодерах циклічних кодів застосовуються пристрої, побудовані на основі регістрів зсуву зі зворотними зв'язками і суматорів за модулем 2, причому схема дільника визначається видом утворюючого полінома. Кількість тригерів регістра зсуву вибирається рівним показнику степеня утворюючого полінома r , комірка регістра для старшого ступеня виключається, але завжди є присутнім тригер, що відповідає нульовому степеню x^0 . Число суматорів за модулем 2 у регістрі повинне бути на одиницю менше кількості ненульових членів виразу $P(x)$. Суматори розміщують перед комірками регістра, що відповідають ненульовим членам утворюючого полінома. На перші входи суматорів подаються сигнали з попередніх комірок регістра, а на другі – з виходу дільника. Очевидно, що ставити суматори перед коміркою x^0 необов'язково.

Структурна схема пристрою, що дозволяє отримати циклічний код за допомогою утворюючого полінома $P(x) = x^5 + x^2 + 1$, наведена на рисунку 17. Прямокутниками на схемі позначені комірки пам'яті, а кружками – суматори за модулем 2. У вихідному стані K_1 замкнений, а K_2 перебуває в положенні 2. Інформація, що підлягає кодуванню, надходить одночасно на вхід кодера й через суматор – на схему ділення на $P(x)$. Ділення починається з приходом першого інформаційного елемента й закінчується після видачі в дискретний канал k -го біта. Після цього схема керування ПЗП переводить K_2 у положення 1, розмикає K_1 і протягом наступних r тактів здійснюється видача в УПС залишку від ділення $R(x)$, що був зафіксований тригерами дільника. При виведенні залишку з

дільника необхідно припинити введення даних із джерела. Функціональна схема кодера (рисунок 18) відповідає наведеній на рисунку 17.

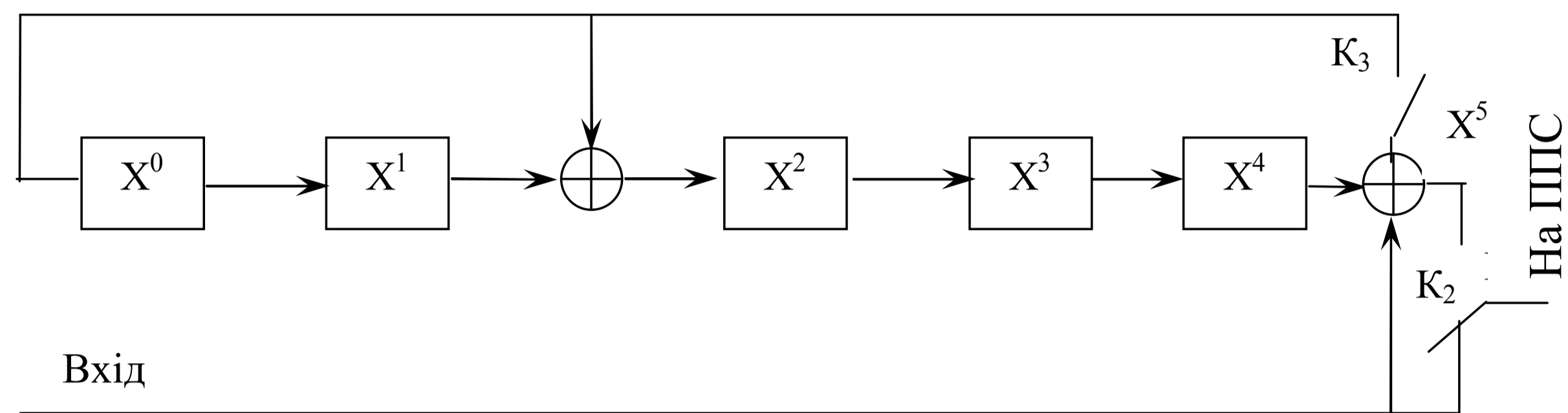


Рисунок 17 – Структурна схема пристрою, який формує циклічний код

Оснoву декодуючих пристроїв циклічних кодів також складають дільники багаточленів на утворюючий поліном. Ознакою наявності помилок у прийнятій послідовності є ненульовий залишок від ділення цієї послідовності на $P(x)$. До завершення процесу ділення необхідно запам'ятовувати блок, що надійшов, у буферному накопичувачі. Після закінчення циклу відбувається опитування дільника, і у разі помилки прийнятий блок стирають. При нульовому залишку блок виводиться одержувачеві через ключовий елемент $Kл$, а на його місце записується наступний. Структурна схема декодера зображена на рисунку 19. При реалізації схеми варто пам'ятати, що в буферний регістр потрібно записувати тільки інформаційні елементи, а на дільник повинні надходити всі символи блоку, які брали участь у процесі ділення в кодері.

Для виправлення помилок у приймальній частині ПЗП спочатку знаходять помилкові розряди, а потім змінюють їхнє значення, тобто інвертують. Для цього:

1) прийнятий блок ділять на утворюючий поліном $P(x)$. Наявність ненульового залишку свідчить про те, що послідовність прийнята спотвореною;

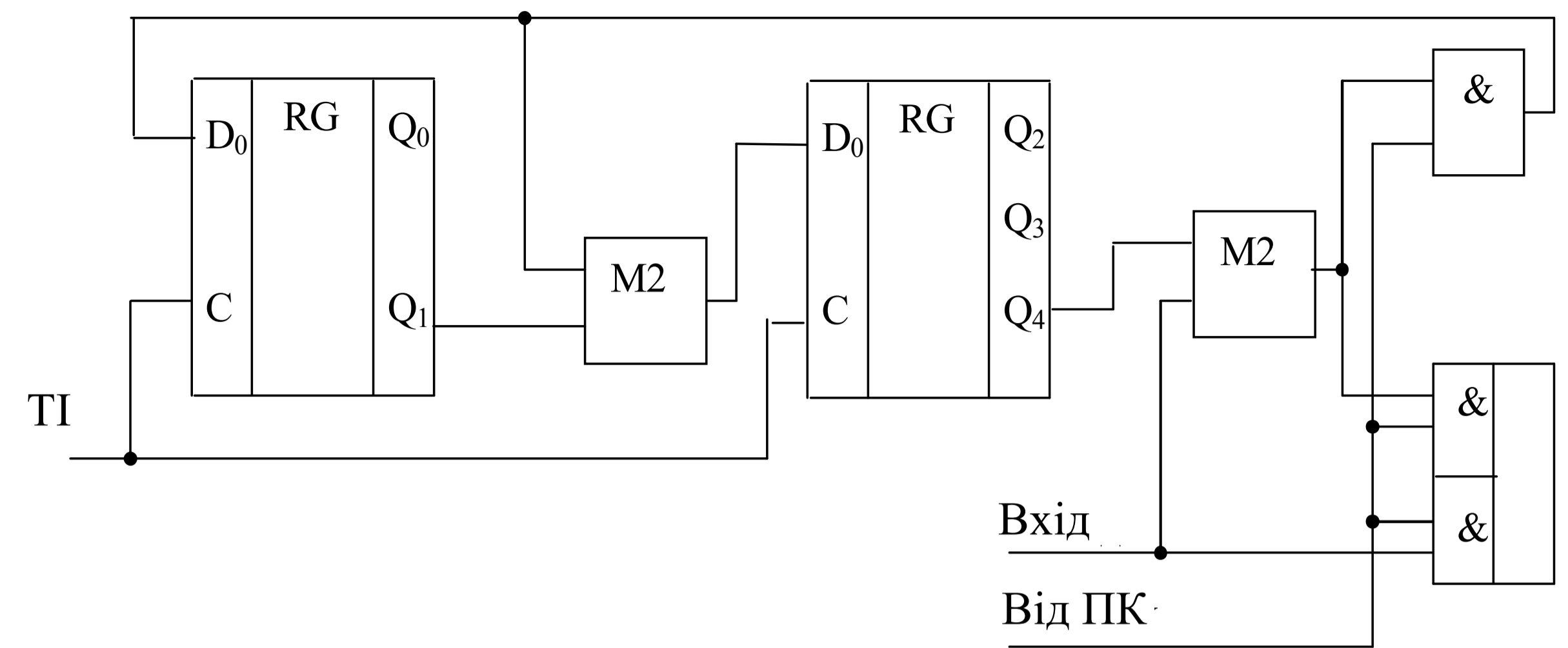


Рисунок 18 – Функціональна схема кодера циклічного коду

2) підраховують кількість одиниць у залишку (вагу залишку) W . Якщо $W \leq t_u$, де t_u – припустиме число помилок, що виправляються даним кодом, то прийняту послідовність додають за модулем 2 до отриманого залишку з боку молодших розрядів. У результаті додавання одержують виправлений блок даних;

3) при $W > t_u$ роблять циклічний зсув прийнятої послідовності $F(x)$ на один біт у бік старших розрядів (ліворуч) і отриману комбінацію знову ділять на утворюючий поліном. Визначають вагу залишку й при $W < t_u$ ділене додають до залишку і потім циклічно зсувають його у зворотний бік на один розряд (повертають на колишнє місце). У результаті формують виправлену комбінацію;

4) якщо після зсуву на один біт, як і раніше, $W > t_u$, то роблять додаткові циклічні зсуви вліво. При цьому після кожного зсуву отриману комбінацію ділять на $P(x)$ й перевіряють вагу залишку. При $W < t_u$ комбінацію, отриману в результаті останнього циклічного зсуву, додають до залишку від ділення цієї комбінації на утворюючий багаточлен, а потім роблять циклічний зсув праворуч на стільки розрядів, на скільки була зсунута комбінація, додана до останнього залишку

відносно вихідної послідовності. У результаті одержують виправлений інформаційний блок.

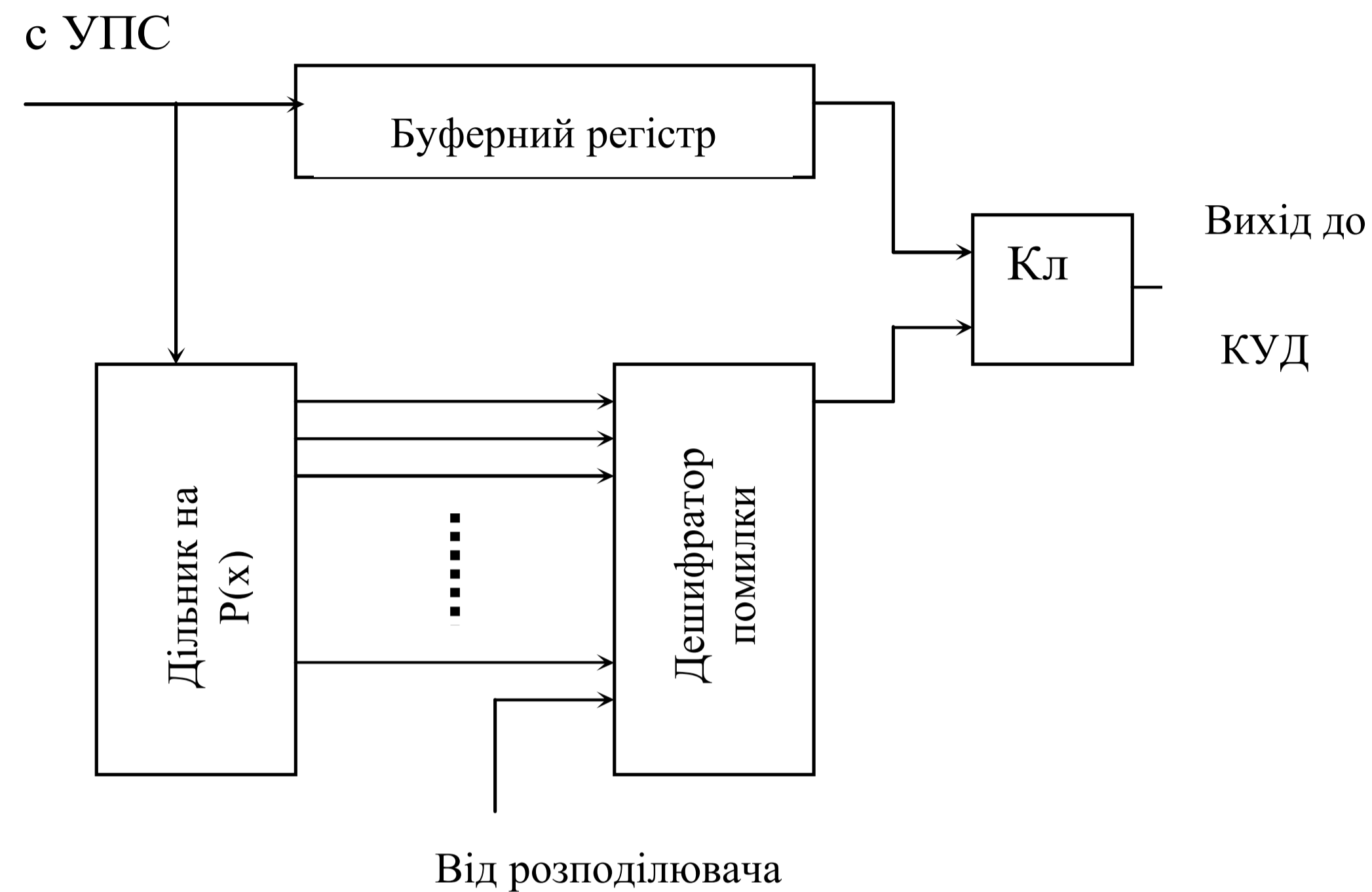


Рисунок 19 – Структурна схема декодера циклічного коду

Приклад 5. На вхід приймальної частини ПЗП надходять комбінації циклічного коду 15,7, одержувані за допомогою утворюючого полінома $P(x) = x^8 + x^7 + x^6 + x^4 + 1$. У процесі впливу перешкод два біти кодової комбінації можуть бути спотворені. Необхідно виявити наявність помилок в 15-розрядній послідовності, що надійшла, і зробити їх виправлення. Розглянути на конкретному прикладі виправлення двократних помилок і побудувати функціональну схему декодера.

Розв'язання. Нехай у дискретний канал передана комбінація 100 000 011 101 000, що на виході приймальної частини УПС набрала вигляду 111000 011 101 000. Розділимо прийняту послідовність на утворюючий поліном $P(x) = 111 010 001$:

$$\begin{array}{r|l}
 + 111\ 000\ 011\ 101\ 000 & 111\ 010\ 001 \\
 + 111\ 010\ 001 & \\
 \hline
 + 10\ 010\ 101\ 0 & \\
 + 11\ 101\ 000\ 1 & \\
 \hline
 + 1\ 111\ 101\ 10 & \\
 + 1\ 110\ 100\ 01 & \\
 \hline
 & 1\ 001\ 110.
 \end{array}$$

Таким чином, $R(x) = 01001110$, тобто вага залишку $W = 4$, що свідчить про наявність помилки в прийнятій комбінації.

Зсуваємо циклічно цю комбінацію вліво на один біт, у результаті чого вона набере вигляду 110 000 111 010 001. Розділимо отриману послідовність знову на $P(x)$. Залишок від ділення дорівнює 10011100, тобто $W = 4$. Зсуваємо циклічно комбінацію ще раз, після чого вона набирає вигляду 100 001 110 100 011. Розділивши її на 111 010 001, одержимо залишок 11101001, вага якого $W = 5$. Після третього зрушення й ділення на утворюючий поліном вага залишку 00000011 дорівнює двом. Оскільки $W \leq t_u = 2$, то складаємо кодову комбінацію, отриману в результаті останнього зрушення із залишком: 000 011 101 000 111 + 000 000 11 = 000 011 101 000 100. Зробивши циклічне зрушення отриманої суми вправо, маємо виправлену послідовність 100 000 011 101 000, що збігається з переданою в канал зв'язку. **Приклад закінчено.**

Декодування циклічних кодів методом обчислення залишку застосовується, якщо $k \cdot t_u > n$; при $k \cdot t_u < n$ код тільки виявляє, але не виправляє помилки.

Декодуювальний пристрій (рисунок 20) реалізує описаний алгоритм виправлення помилок для циклічного коду, розглянутого в прикладі 5. Декодер складається з дільника, виконаного для ділення на багаточлен $P(x) = x^8 + x^7 + x^6 + x^4 + 1$, і запам'ятовуючого пристрою (ЗП) ємністю $n = 15$ біт, розділеного на дві частини: одна для зберігання контрольних r , а друга для інформаційних k розрядів. Між цими частинами включений суматор за модулем 2, що може підсумувати побітно

дані з регістра перевірочних елементів r і регістра дільника. Результат додавання надходить у регістр k інформаційних елементів. Ключі $ДО_1-ДО_4$ забезпечують роботу декодера в режимах виявлення, виправлення помилок і виведення інформації споживачеві. Відкривання й замикання ключів здійснюються відповідно до алгоритму декодування в певні такти сигналами пристрою керування (на рисунку 20 не показане), що забезпечує також формування імпульсів зрушення інформації в регістрах.

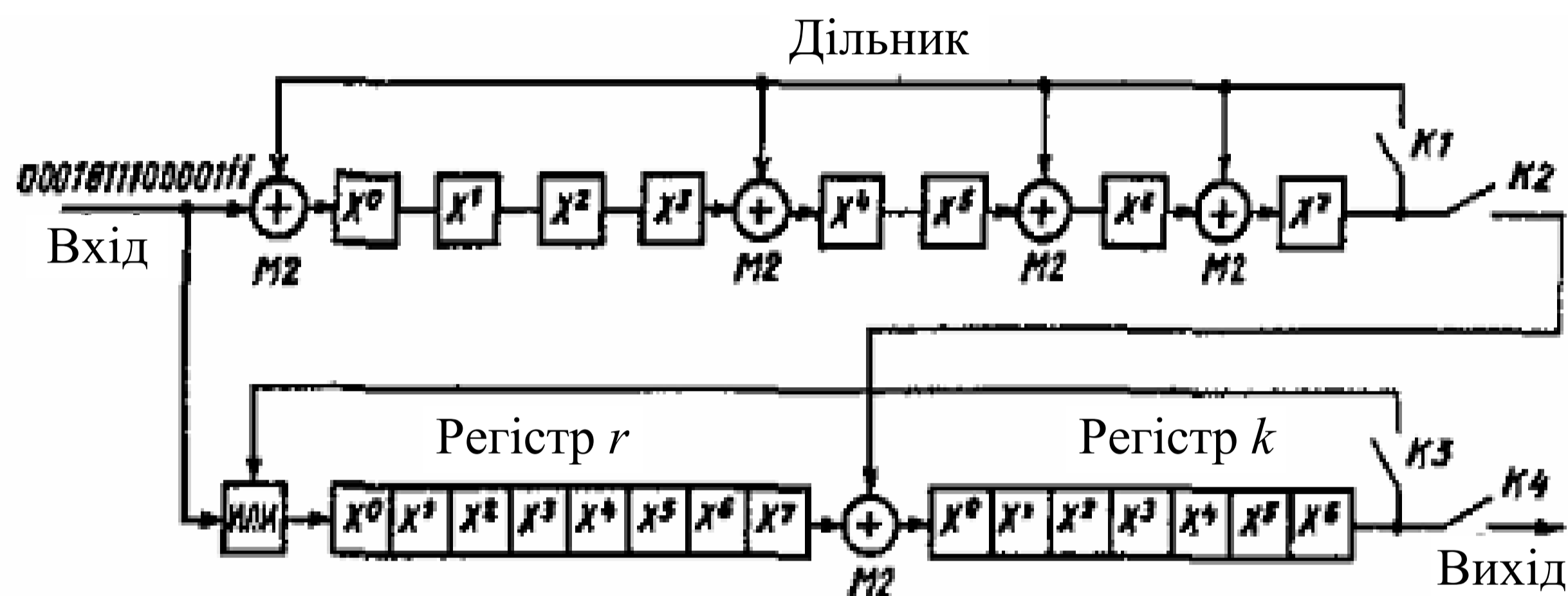


Рисунок 20 – Декодувальний пристрій

У вихідному стані всі ключі декодера розімкнуті. Протягом перших восьми тактів відбувається заповнення дільника, а його комірки пам'яті набирають стани, показані в таблиці 3. За цей час у ЗП будуть занесені вісім старших розрядів комбінації, що надійшла, два з яких спотворені.

На 9-му такті замикається K_1 і протягом семи тактів, що залишилися, здійснюється ділення прийнятої комбінації на утворюючий поліном. По закінченні циклу наприкінці 15-го такту в регістрі дільника сформується залишок від ділення (синдром) 0100 1110 (див. таблицю 3). Аналізуючи отриманий синдром, пристрій керування ухвалює рішення щодо циклічного зрушення прийнятої послідовності на один біт у бік старших розрядів (на схемі рисунку 20 – вправо) і про продовження ділення. Для цього ключ $ДО_3$ замикається, а подача інформації

Таблиця 3 – Стани комірок пам'яті дільника

Номер такту	Ділене	Стан осередків дільника								Вага залишку
		x^0	x^1	x^2	x^3	x^4	x^5	x^6	x^7	
8	1	1	0	0	0	0	1	1	1	
9	1	0	1	0	0	1	0	0	0	
10	1	1	0	1	0	0	1	0	0	
11	0	0	1	0	1	0	0	1	0	
12	1	1	0	1	0	1	0	0	1	
13	0	1	1	0	1	1	1	1	1	
14	0	1	1	1	0	0	1	0	0	
15	0	0	1	1	1	0	0	1	0	4
1		0	0	1	1	1	0	0	1	4
2		1	0	0	1	0	1	1	1	5
3		1	1	0	0	0	0	0	0	2

на вхід декодера припиняється. На 1-му такті наступного циклу здійснюється ділення зрушеної послідовності на $P(x)$ й знову аналізується залишок від ділення. Оскільки $W > 2$, то інформація в регістрах зсувається ще на один такт. Така операція буде повторюватися, поки вага залишку не буде $W \leq 2$. Для нашого приклада це відбудеться на 3-му такті (див. таблицю 3). Стан комірок регістрів r і k в кінці 15-го такту першого циклу й п'ятнадцяти другого показані в таблиці 4 (перекручені біти в ній відзначені крапками). Під дією керуючих сигналів $ДО_1$ розмикається, K_2 – замикається, а інформація продовжує зсуватися по комірках регістрів. Починаючи з 4-го такту біти синдрому з виходу дільника надходять на суматор за модулем 2 запам'ятовуючого пристрою. З метою зменшення апаратних витрат підсумовування здійснюється побітно послідовно. Перші шість нулів синдрому, що надходять на суматор, не впливають на вміст ЗП. Лише під час тактових інтервалів 10 і 11 дві одиниці залишку, складаючись за модулем 2 із двома помилковими одиницями інформаційних елементів, інвертують їх, тобто виправляють помилки. Дані в ЗП продовжують зсуватися до закінчення 15-го такту другого циклу, наприкінці якого K_2 і $ДО_3$ розмикаються, а $ДО_4$ замикається: починається видача виправленої комбінації споживачеві й одночасно запис нової.

Зверніть увагу, на відміну від розглянутого чисельного прикладу, інформація після підсумовування зсувається не у зворотному напрямку, а продовжує зміщатися циклічно у бік старших розрядів доти, поки всі біти послідовності не стануть на свої місця, тобто замість повернення на i кроків триває циклічне зрушення в колишньому напрямку на $n-i$ біт. Оскільки регістр замкнений у кільце, то обидві ці процедури еквівалентні й відрізняються тільки часом затримки видачі даних споживачеві. Зрушення інформації в один бік викликане тим, що в більшості регістрів зрушення здійснюється тільки в одному напрямку. Зрушення інформації в ЗП може бути реалізоване на основі реверсивних регістрів, однак схема при цьому дещо ускладниться.

Таблиця 4 – Стан комірок регістрів r і k в кінці 15-го такту першого циклу й п'ятнадцяти другого

Номер такту	Регістр r							Регістр k							
	x^{10}	x^1	x^2	x^3	x^4	x^5	x^6	x^7	x^0	x^1	x^2	x^3	x^4	x^5	x^6
15	0	0	0	1	0	1	1	1	0	0	0	0	1	1	1
1	1	0	0	0	1	0	1	1	1	0	0	0	0	1	1
2	1	1	0	0	0	1	0	1	1	1	0	0	0	0	1
3	1	1	1	0	0	0	1	0	1	1	1	0	0	0	0
4	0	1	1	1	0	0	0	1	0	1	1	1	0	0	0
5	0	0	1	1	1	0	0	0	1	0	1	1	1	0	0
6	0	0	0	1	1	1	0	0	0	1	0	1	1	1	0
7	0	0	0	0	1	1	1	0	0	0	1	0	1	1	1
8	1	0	0	0	0	1	1	1	0	0	0	1	0	1	1
9	1	1	0	0	0	0	1	1	1	0	0	0	1	0	1
10	1	1	1	0	0	0	0	1	0	1	0	0	0	1	0
11	0	1	1	1	0	0	0	0	0	0	1	0	0	0	1
12	1	0	1	1	1	0	0	0	0	0	0	1	0	0	0
13	0	1	0	1	1	1	0	0	0	0	0	0	1	0	0
14	0	0	1	0	1	1	1	0	0	0	0	0	0	1	0
15	0	0	0	1	0	1	1	1	0	0	0	0	0	0	1

Труднощі реалізації кодерів та декодерів циклічних кодів на основі мікропроцесорів полягає в тому, що операція ділення багаточленів займає багато часу. Так, при діленні 32-розрядного слова на 16-розрядне центральний процесор серії КР580 затрачає часу близько 2,5 мс. А подальше збільшення

розрядності діленого практично неможливе через обмежене число робочих регістрів процесора. З метою спрощення кодування й декодування циклічних кодів розроблені спеціальні методи, що дозволяють скоротити витрати машинного часу. Один з таких методів [2] припускає здійснювати ділення k -розрядних послідовностей за частинами. Сутність його полягає в тому, що вихідний k -розрядний блок розбивається на l_p -розрядні комбінації. Оскільки в загальному випадку k не кратне l_p , то виходить S_q частин, для яких виконується умова $k = l_p(S_q - 1) + m_0$, де $m_0 < l_p$. При діленні виділеної частини на утворюючий поліном r -й степеня повинне виконуватися співвідношення $l_p < r$, причому l_p доцільно вибирати рівним довжині машинного слова. У постійний запам'ятовувальний пристрій (ПЗУ) мікропроцесора заноситься заздалегідь розрахована таблиця r -розрядних залишків, отриманих у результаті ділення l_p -розрядної комбінації доповненої з боку молодших розрядів r нулями на утворюючий поліном $P(x)$. Оскільки кожному значенню l_p -розрядного слова відповідає свій залишок, то розмір таблиці становить 2^{l_p} -розрядних слів. Причому для спрощення адресації таблиці l_p -розрядне число доцільно використати як зсув.

Таким чином, операція одержання залишку шляхом ділення багаточленів замінюється читанням залишку із ПЗУ, що значно скорочує витрати машинного часу. Алгоритм кодування зводиться до такого.

1. З вихідної k -розрядної інформаційної послідовності виділяється комбінація довжиною l_p біт (з боку старших розрядів блоку) і з таблиці вибирається відповідний їй залишок.

2. Отриманий залишок сумується за модулем 2 зі старшими розрядами частини, що залишилася, блоку $k - l_p$ довжиною біт.

3. З отриманої суми виділяється наступна l_p -розрядна комбінація, для якої з таблиці зчитується відповідний залишок, і т.д.

4. Через $S_q - 1$ таких кроків з отриманої суми виділяються m_0 старших розрядів, виділена комбінація доповнюється з боку старших розрядів $l_p - m_0$ нулями й для сформованої l_p -розрядної комбінації вибирається відповідний залишок з таблиці.

5. Отриманий залишок підсумується за модулем 2 із бітами, що залишилися (після виділення m_0 розрядів). Ця сума є комбінацією перевірних розрядів циклічного коду.

Приклад 6. Закодувати інформаційну частину (n, k) циклічного коду за допомогою утворюючого полінома $P(x) = x^4 + x + 1$ методом ділення за частинами, якщо $n = 15$, $k = 11$.

Розв'язання. Нехай k -розрядний інформаційний блок має вигляд 11011000110. Розділимо блок на 4-розрядні комбінації. Оскільки k не кратне l_p , то в блоці буде дві 4-розрядні комбінації й одна 3-розрядна, тобто $l_p = 4$, $m_0 = 3$, а $S_q = 3$. Складемо таблицю 5 залишків від ділення 4-розрядних комбінацій, доповнених з боку молодших розрядів $r = 4$ нулями. Виділимо із блоку старші чотири розряди 1101 і вибираємо для цієї комбінації з таблиці 5 відповідний залишок 0100. Складаємо за модулем 2 з наступною 4-розрядною комбінацією $1000 + 0100 = 1100$. Отриманій сумі відповідає залишок 0111. Додамо цей залишок до трьох розрядів, що залишилися, $0111 + 110 = 1011$ і, виділивши з отриманої $m_0 = 3$ суми старших розрядів, доповнимо їх ліворуч нулем. Одержимо комбінацію 0101, для якої залишок дорівнює 1111. Підсумовуючи одиницю, що залишилася після виділення із суми трьох розрядів, із залишком з боку старшого розряду, одержимо перевірну комбінацію 0111. Така сама комбінація виходить при

безпосередньому діленні n -розрядного багаточлена 110110001100000 на поліном 10011. Аналогічним способом можна закодувати будь-яку комбінацію. **Приклад закінчено.**

Таблиця 5

Утворюючий поліном 10011			
комбінація	залишок	комбінація	залишок
00000000	0000	10000000	1011
00010000	0011	10010000	1000
00100000	0110	10100000	1101
00110000	0101	10110000	1110
01000000	1100	11000000	0111
01010000	1111	11010000	0100
01100000	1010	11100000	0001
01110000	1001	11110000	0010

6 ПОРЯДОК РОЗРОБЛЕННЯ ПЗП

У процесі проектування пристроїв захисту від помилок рекомендується дотримуватися зазначеної послідовності дій.

На основі технічного завдання й з урахуванням рекомендацій (див. розділ 1) вибрати спосіб захисту від помилок. Розробити формат переданого повідомлення й попередньо задати кількість біт на номер, початок і кінець блоку (у разі їх використання), довжину маркерної комбінації.

На основі задані ймовірності помилкового прийому одиничних елементів і характеру ділення помилок на виході дискретного каналу вибрати тип коригувального коду й розрахувати його параметри. Уточнити максимально припустиму довжину блоку переданого повідомлення, кількість службових і перевірочних біт.

Побудувати залежність ефективної швидкості передачі від довжини блоку й знайти оптимальне число біт у блоці (для систем зі зворотним зв'язком). У системах без зворотного зв'язку при уточненні довжини блоку варто стежити за тим, щоб

ефективна швидкість передачі перебувала в межах 0,9-0,95 технічної швидкості.

Розрахувати ймовірність помилкового запуску ПЗП. При перевищенні цієї ймовірності величини, заданої технічним завданням, варто додатково ввести в пристрій фазування за циклами блок захисту або збільшити довжину маркерної комбінації. В останньому випадку необхідно перерахувати ефективну швидкість передачі й переконатися, що вона становить не менш 90% технічної швидкості. У протилежному разі потрібно скоригувати довжину блоку. Визначити ймовірність пропуску маркерної комбінації.

Розрахувати час готовності передачі й час затримки видачі інформації від моменту одержання її від КУД до видачі споживачеві з урахуванням затримки даних у буферних накопичувачах передавальної й приймальної частин ПЗП й двократному повторенні блоку.

Використовуючи узагальнену структурну схему й алгоритм функціонування ПЗП, розробити докладну структуру пристрою захисту від помилок для заданого варіанта й детальний алгоритм функціонування, звернувши увагу на обмін даних з кінцевим устаткуванням.

Проаналізувати роботу пристрою за допомогою тимчасових діаграм, провести синтез кодера, декодера й пристрою керування, накреслити докладну функціональну схему всього ПЗП.

Вибрати елементну базу для реалізації функціональної схеми ПЗП й розробити електричну принципову схему всього пристрою або його окремих блоків (за вказівкою викладача). Скласти технічний опис пристрою захисту від помилок.

Таблиця 6 – Варіанти курсового проекту

№	$P_{кк}$	$V, \text{бит/с}$	$t_{з}, \text{мс}$	$P_{лф} \cdot 10^{-5}$	P_o	$Гр$	$t_{иош}, \text{с}$	$КС$	T/R
1	10^{-6}	600	20	2	10^{-4}	н	3	с	T
2	$5 \cdot 10^{-5}$	1200	15	3	10^{-3}	4	5	д	R
3	$7 \cdot 10^{-4}$	2400	10	8	$4 \cdot 10^{-2}$	5	4	с	T
4	$4 \cdot 10^{-6}$	3600	10	0,8	$2 \cdot 10^{-5}$	6	2	д	R
5	10^{-7}	4800	5	1,3	$3 \cdot 10^{-4}$	3	1	с	R
6	$3 \cdot 10^{-5}$	9600	4	1,4	$8 \cdot 10^{-4}$	8	6	д	T
7	10^{-6}	3600	15	3,5	$6 \cdot 10^{-3}$	4	1	с	R
8	$5 \cdot 10^{-5}$	2400	10	2,4	$5 \cdot 10^{-3}$	н	4	д	T
9	$7 \cdot 10^{-4}$	4800	7	1,8	10^{-3}	10	2	с	T
10	$4 \cdot 10^{-6}$	1200	9	2,7	$3 \cdot 10^{-4}$	3	6	д	R
11	$3 \cdot 10^{-5}$	9600	12	7,4	$4 \cdot 10^{-3}$	7	1	с	T
12	10^{-7}	600	20	6	10^{-4}	2	4	д	R
13	10^{-6}	1200	11	5,5	$4 \cdot 10^{-3}$	4	2	с	R
14	$5 \cdot 10^{-5}$	4800	6	4,2	$7 \cdot 10^{-3}$	9	6	д	T
15	$7 \cdot 10^{-4}$	3600	8	0,9	$9 \cdot 10^{-2}$	3	5	с	R
16	$4 \cdot 10^{-6}$	2400	10	1,6	$2 \cdot 10^{-4}$	н	3	д	T
17	10^{-7}	600	3	5,2	$3 \cdot 10^{-5}$	2	2	с	T
18	$3 \cdot 10^{-5}$	9600	22	4	$2 \cdot 10^{-3}$	4	5	д	R
19	10^{-6}	1200	14	7,2	$9 \cdot 10^{-4}$	5	4	с	T
20	$5 \cdot 10^{-5}$	2400	7	5	$2 \cdot 10^{-3}$	н	1	д	R
21	10^{-6}	4800	18	0,9	$8 \cdot 10^{-4}$	8	8	с	T
22	$5 \cdot 10^{-4}$	9600	13	3,3	$9 \cdot 10^{-2}$	2	3	д	R
23	10^{-7}	600	5	1,7	$2 \cdot 10^{-5}$	10	4	с	T
24	$3 \cdot 10^{-5}$	1200	3	2,8	$2 \cdot 10^{-3}$	6	2	д	R
25	$4 \cdot 10^{-6}$	2400	20	1,5	$5 \cdot 10^{-4}$	5	7	с	T

$P_{кк}$ – ймовірність помилкового прийому кодової комбінації;

V – швидкість передачі даних;

$t_{з}$ – час затримки видачі даних;

$P_{лф}$ – ймовірність помилкового фазування;

P_o – ймовірність помилкового прийому одиничного елемента;

$Гр$ – характер групування помилок;

$КС$ – тип каналу зв'язку: с – симлексний, д – дуплексний;

T/R – передавальна T або приймальна R частина.

СПИСОК РЕКОМЕНДОВАНОЇ ЛІТЕРАТУРИ

1. Чернега В.С., Василенко В.А., Бондарев В.Н. Расчет и проектирование технических средств обмена и передачи информации: Учеб. пособие для вузов. – М.: Высш.шк., 1990. – 224 с.
2. Шварцман В.О., Емельянов Г.А. Теория передачи дискретной информации. – М.: Связь, 1979. – 424 с.
3. Емельянов Г.А., Шварцман В.О. Передача дискретной информации. – М.: Радио и связь, 1982. – 240 с.
4. Боккер П. Передача данных: Т. 1 и 2. – М.: Связь, 1980-1981. Т.1. – 264 с., т. 2 – 253 с.
5. Тутевич В.Н. Телемеханика. – М.: Высшая школа, 1985. – 423 с.

Методичні вказівки до виконання курсового проекту "Пристрій захисту від помилок" з курсу "Системи передачі даних"/Укладачі: І.А. Кулик, Ю.О. Зубань – Суми: Вид-во СумДУ, 2008. – 75 с.

Кафедра електроніки й комп'ютерної техніки