

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ,  
МОЛОДЕЖИ И СПОРТА УКРАИНЫ

СУМСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ

МЕТОДИЧЕСКИЕ УКАЗАНИЯ

к курсовой работе по дисциплине  
«Цифровая схемотехника»  
на тему «Проектирование цифрового устройства»  
для студентов направления 6.050903  
«Телекоммуникации»  
дневной формы обучения

Утверждено  
Редакционно-издательским  
советом университета

Сумы 2012

## ОБЩИЕ СВЕДЕНИЯ

Целью курсовой работы является:

- закрепление основных теоретических положений дисциплины;
- приобретение практических навыков проектирования цифровых устройств и узлов.

Для выполнения курсовой работы каждому студенту выдается индивидуальное техническое задание. Вариант задания определяется порядковым номером студента в журнале академической группы. На основании задания разрабатывается календарный план выполнения курсовой работы, который утверждается руководителем.

Расчетная часть и результаты курсовой работы оформляются в виде пояснительной записки и графической части.

Пояснительная записка должна содержать до 30 страниц текста и оформляется в соответствии с требованиями ГОСТа и ЕСКД.

Пояснительная записка включает в себя:

- титульный лист с названием работы, номером учебной группы, фамилиями студента и руководителя;
- техническое задание с календарным планом выполнения работы;
- содержание;
- введение;
- раздел 1 «Литературный обзор. Анализ методов измерения временных интервалов»;
- раздел 2 «Разработка и обоснование алгоритма функционирования и структурной схемы проектируемого устройства»;

- раздел 3 «Разработка функциональной схемы устройства»;
- раздел 4 «Разработка принципиальной схемы устройства»;
- раздел 5 «Расчет параметров устройства»;
- заключение;
- список литературы;
- приложения.

Графическая часть содержит чертежи:

- схема электрическая принципиальная;
- временная диаграмма работы устройства.

Оформленная пояснительная записка и чертежи представляются руководителю за 2-3 дня до установленного срока защиты на проверку. Работы, имеющие ошибки, возвращаются студентам для доработок, а без ошибок допускаются к защите.

На защите студент должен показать умение кратко и грамотно излагать вопросы проектирования, уметь обосновать принятые решения, а также знать подробно все разрабатываемые схемы и порядок функционирования проектируемого устройства.

В результате защиты студенту выставляется оценка согласно регламента.

Студенты, не выполнившие курсовую работу или получившие неудовлетворительную оценку на защите по дисциплине «Цифровая схемотехника», к экзамену не допускаются.

## 1 ИСХОДНЫЕ ДАННЫЕ

Исходные данные для проектирования представлены в таблицах 1 и 2.

Таблица 1

Вариант	Тип триггера	Напр-е счета	Пар-послед. преобразователь	Тип устройства	Элем. отобр	Скорость	Диапазон и точность измерений
01	JK	выч	RG	A	7	9600	0 ÷ 1000; 1
02	D	выч	RG	B	10	4800	0 ÷ 100; 0,1
03	JK	сумм	RG	A	7	2400	0 ÷ 10; 0,01
04	D	сумм	RG	A	10	1200	0 ÷ 1000; 0,1
05	JK	выч	MS	B	10	600	0 ÷ 100; 0,01
06	D	выч	MS	B	10	9600	0 ÷ 10; 0,001
07	JK	сумм	MS	A	7	4800	0 ÷ 1000; 1
08	D	сумм	MS	A	7	2400	0 ÷ 100; 0,1
09	JK	выч	RG	A	7	1200	0 ÷ 10; 0,01
10	D	выч	RG	A	7	600	0 ÷ 1000; 0,1
11	JK	сумм	RG	A	10	9600	0 ÷ 100; 0,01
12	D	сумм	RG	B	10	4800	0 ÷ 10; 0,01
13	JK	выч	MS	A	7	2400	0 ÷ 1000; 1
14	D	выч	MS	B	10	1200	0 ÷ 100; 0,1
15	JK	сумм	MS	B	10	600	0 ÷ 10; 0,01

16	D	сумм	MS	B	10	9600	$0 \div 1000; 0,1$
17	JK	выч	RG	B	10	4800	$0 \div 100; 0,01$
18	D	выч	RG	B	10	2400	$0 \div 10; 0,001$
19	JK	сумм	RG	B	7	1200	$0 \div 1000; 1$
20	D	сумм	RG	B	7	600	$0 \div 100; 0,1$
21	JK	выч	RG	B	7	600	$0 \div 100; 0,01$
22	D	сумм	MS	B	7	2400	$0 \div 100; 0,1$
23	JK	выч	RG	A	7	2400	$0 \div 10; 0,01$
24	D	сумм	RG	B	10	1200	$0 \div 1000; 0,1$
25	JK	сумм	RG	A	7	9600	$0 \div 1000; 1$
26	D	сумм	MS	B	10	9600	$0 \div 10; 0,001$
27	JK	выч	RG	A	7	2400	$0 \div 10; 0,01$
28	JK	сумм	MS	A	7	4800	$0 \div 1000; 1$
29	D	выч	RG	A	7	600	$0 \div 100; 0,1$
30	D	выч	MS	B	10	4800	$0 \div 100; 0,1$
31	JK	сумм	MS	A	7	2400	$0 \div 1000; 0,1$
32	D	сумм	RG	B	7	1200	$0 \div 100; 0,01$
33	JK	выч	MS	B	7	2400	$0 \div 10; 0,001$
34	D	выч	RG	A	7	9600	$0 \div 1000; 1$

Тип проектируемого устройства.

А – измерение длительности положительных импульсов;

В – измерение пауз между положительными импульсами.

В общем случае работу измерителя длительности временного интервала можно представить следующим образом. При подаче сигнала «Измерение» с панели управления или от устройства обработки измеритель длительности устанавливается в исходное состояние. Передний фронт измеряемого интервала разрешает прохождение сигналов тактовой частоты на счетчик, который подсчитывает их количество.

При поступлении заднего фронта измеряемого интервала вырабатывается сигнал «Окончание измерения» и запрещается поступление тактовых импульсов в счетчик. В счетчике формируется код, пропорциональный длительности измеряемого интервала, который подается на панель отображения и передается в последовательном двоично-десятичном коде в устройство обработки. В том случае, если длительность временного интервала больше диапазона измерения, вырабатывается сигнал «ошибка», который индицируется на панели отображения.

Таблица 2 – Двоично-десятичный код передачи данных в устройство обработки

Вариант	1	2	3	4	5	6	7	8	9	10
Д-код Цифра	8421	2421	5121	8421+3	53-21	75-31	5421	4221	5211	8421+6
0	0000	0000	0000	0011	0000	0000	0000	0000	0000	0110
1	0001	0001	0001	0100	0001	0001	0001	0001	0001	0111
2	0010	0010	0010	0101	0111	0110	0010	0010	0100	1000
3	0011	0011	0011	0110	1010	0111	0011	0011	0101	1001
4	0100	0100	0111	0111	0101	1010	0100	1000	0111	1010
5	0101	1011	1000	1000	1000	0100	1000	1001	1000	1011
6	0110	1100	1001	1001	1001	0101	1001	1010	1001	1100
7	0111	1101	1010	1010	1111	1000	1010	1011	1100	1101
8	1000	1110	1011	1011	1100	1001	1011	1110	1101	1110
9	1001	1111	1111	1100	1101	1110	1100	1111	1111	1111

## 2 ЛИТЕРАТУРНЫЙ ОБЗОР

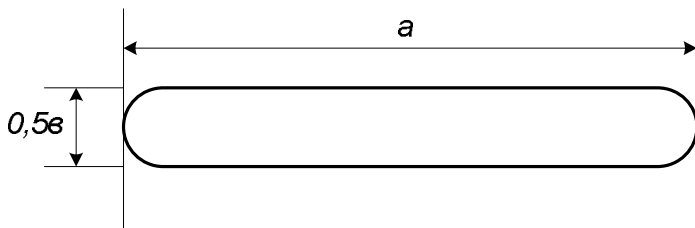
Прежде чем приступить к разработке устройства студент должен произвести анализ литературных источников по данному направлению. Необходимо рассмотреть и проанализировать существующие методы и средства измерения временных интервалов, разобраться с достоинствами и недостатками реализованных методик, выделить сильные и слабые места рассмотренных структур. Анализ должен содержать краткие сведения о принципах построения или схемах известных устройств, их достоинствах и недостатках. На основе проведенного анализа делается вывод о принятом принципе построения или известной схеме и указываются те изменения, которые вносятся в проектируемое устройство для выполнения необходимых требований или улучшения его характеристик.

## 3 РАЗРАБОТКА И ОБОСНОВАНИЕ АЛГОРИТМА ФУНКЦИОНИРОВАНИЯ И СТРУКТУРНОЙ СХЕМЫ ПРОЕКТИРУЕМОГО УСТРОЙСТВА

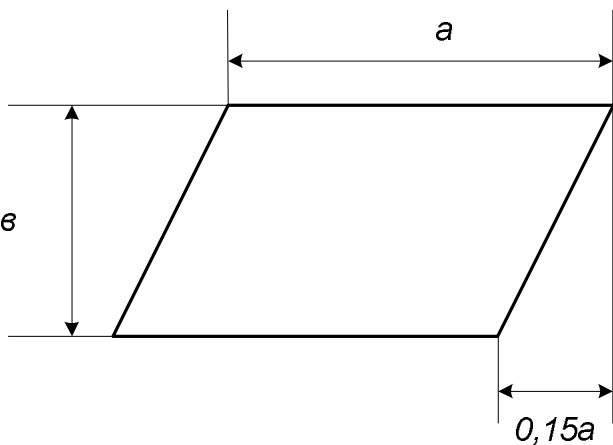
Разработку структурной схемы необходимо начать с разработки алгоритма функционирования устройства. Алгоритм функционирования должен с помощью символов или словесного описания отражать процесс приема, обработки и формирования входных, управляющих, информационных и выходных сигналов.

Для построения алгоритма функционирования устройства используются наиболее часто следующие логические символы.

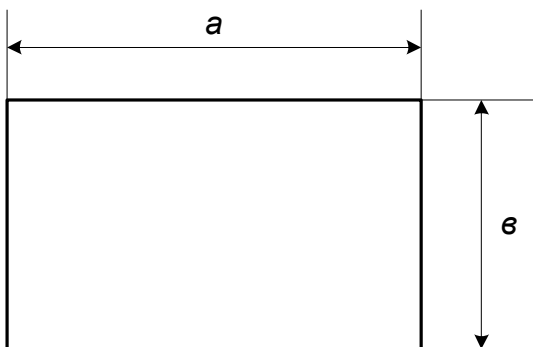




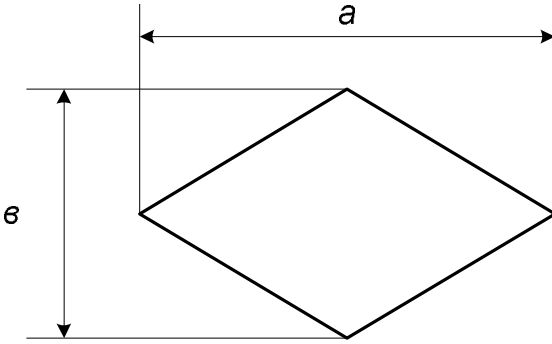
Пуск,  
останов  
(начало  
конец) -



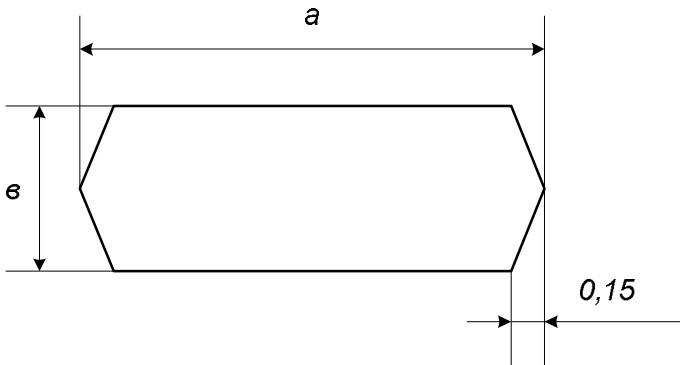
Ввод-вывод  
(прием -  
передача)



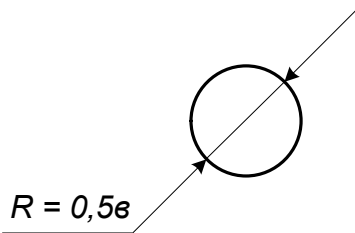
Процесс  
(формирова  
ние сигнала,  
изменение  
состояния и  
т.п.)



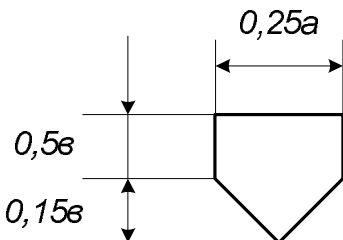
Проверка  
логического  
условия  
(символ  
разветвлени  
я)



Повторение  
группы  
символов по  
заданным  
условиям



Перенос в  
пределах  
одного листа



Линии, соединяющие символы, показывают порядок их выполнения. Причем линии, идущие сверху вниз и слева направо, не имеют стрелок, в остальных случаях они должны иметь стрелки.

При изображении символов приняты следующие размеры:  $v^{\circ} = 2c$ ,  $a^{\circ} = (2-2,5)v$ ,  $c^{\circ} = n * 5$  мм ( $n^{\circ} = 1, 2, 3, \dots$ ).

На основе алгоритма функционирования разрабатывается структурная электрическая схема. Данная схема в виде 6-10 блоков отражает структуру устройства и взаимосвязь между блоками.

В состав измерителя временных интервалов могут входить следующие блоки структурной схемы:

- формователи переднего и заднего фронта измеряемого интервала времени;
- схема подсчета тактовых импульсов;
- тактовый генератор;
- схема преобразования параллельного кода в последовательный;
- схема отображения;
- устройство управления и другие.

Разработка структурной схемы заканчивается определением функций, которые должен выполнять каждый из блоков и является основой для разработки схемы функциональной электрической.

#### 4 РАЗРАБОТКА ФУНКЦИОНАЛЬНОЙ СХЕМЫ

Схема функциональная электрическая отражает структуру устройства в виде функциональных блоков. При разработке функциональной схемы обосновывается состав каждого блока структурной схемы в виде функциональных узлов и устройств.

Для изображения функциональных узлов применяются специальные элементы (рис.1).

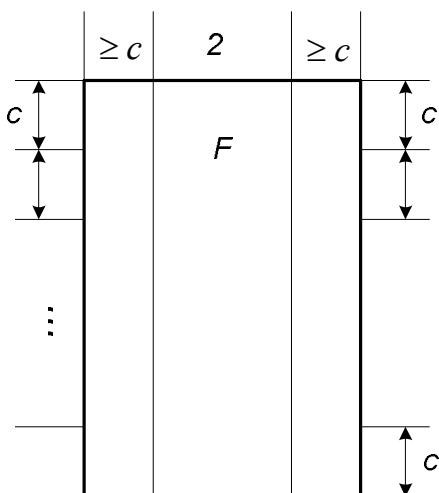


Рисунок 1- Изображение функционального элемента ( $F$  – выполняемая функция)

При построении функциональных и принципиальных схем входы располагаются слева, а выходы справа. Величина  $C$  принимается из условия  $C = 5 \cdot n$  мм ( $n = 2, 3, \dots$ ). Для простых элементов могут отсутствовать правое (левое) или оба дополнительных поля. При наличии дополнительных полей в них указывается назначение входов (выходов).

Перед построением общей функциональной схемы проектируемого устройства необходимо обосновать состав каждого блока структурной схемы в отдельности в виде функциональных узлов и устройств.

Функциональная схема измерителя временного интервала должна состоять из следующих основных блоков:

- Устройство выделения фронтов – детектор фронта импульсной последовательности должен сформировать на выходе короткий положительный импульс в момент соответствующего переключения логических уровней входного сигнала. Схемно детектор фронтов состоит из двух устройств – детектора переднего фронта и детектора заднего фронта. Как детектор переднего, так и детектор заднего фронта измеряемого импульса построим на логических элементах.

Детекторы переднего и заднего фронтов на своих выходах формируют короткие импульсы, выделяющие начало и конец измеряемого интервала. Устройство формирования импульса управления должно разрешать прохождение импульсов фиксированной частоты на протяжении всего исследуемого периода, поэтому необходимо произвести фиксирование сигналов с выходов детекторов.

Эту операцию можно осуществить с помощью триггера, который на своем прямом выходе сформирует сигнал разрешения прохождения импульсов квантующей последовательности при поступлении на вход установки триггера в единичное состояние сигнала с выхода детектора переднего фронта. С приходом управляющего сигнала с выхода детектора заднего фронта триггер изменит свое состояние на противоположное, т.е. запретит прохождение импульсов с генератора на вход подсчитывающего устройства.

- Измеритель длительности временных интервалов представляет собой счетчик, который осуществляет подсчет импульсов и обнуляется при приходе следующего измеряемого импульса, целесообразнее обнулять его сигналом с выхода детектора переднего фронта измеряемого импульса. Счетчик должен содержать  $n=3$  последовательно включенных одноразрядных двоично-десятичных счетчика (декады),

следовательно, общее количество двоичных разрядов десятичного счетчика определяется как:

$$n_{сч} = 4 * n = 12.$$

- Преобразователь кода осуществляет преобразование кода с выхода счетчика в код, применяемый в устройстве отображения, в данном случае – в код десятичного индикатора.

Преобразователи кодов предназначены для перевода чисел из одной формы представления в другую. Отправным пунктом для построения преобразователя кода является таблица соответствия, в которой записывается полный набор входных и соответствующий набор выходных кодовых слов. Если входные и выходные слова записаны двоичными символами, то синтез преобразователя кода сводится к нахождению для каждого разряда выходного слова булевой функции, устанавливающей связь данного разряда с входными наборами двоичных переменных. Нахождение такой связи и минимизация булевого выражения осуществляется с помощью карт Карно (диаграмм Вейча). На заключительном этапе полученная функция преобразуется к виду, удобному для реализации функций в заданном (выбранном) элементном базисе.

К построению кодового преобразователя можно подойти с нескольких позиций. При первом подходе преобразователь реализуется как система булевых функций группы аргументов. Простейшим способом построения схемы, обрабатывающей систему функций с  $m$ -выходами, является синтез обычными методами  $m$ -неизвестных одновыводных функций. Более экономичное решение обычно получается при подходе к системе функций с учетом ее возможности. Тогда часто удается выявить общие логические фрагменты, входящие в формулы нескольких выходов. Эти фрагменты достаточно реализовать схемно лишь один раз.

При втором подходе к построению кодового преобразователя он трактуется как пара декодер-кодер (см. рис.2). Кодопреобразователь в данном случае реализует таблицу истинности, представленную в таблице 3.

Таблица 3 – Таблица истинности для преобразователя кодов

А		В		
a <sub>2</sub>	a <sub>1</sub>	Z	J	K
0	0	1	0	0
0	1	0	0	1
1	0	0	1	1
1	1	0	0	0

Число входов дешифратора равно числу входов преобразователя, число выходов шифратора – числу выходов преобразователя. Соединения дешифратора и шифратора выполняются в соответствии с таблицей соответствий. Часть выходов декодера и входов кодера может не использоваться. Если нескольким входным комбинациям соответствует одна и та же выходная, то соответствующие выходы декодера объединяют на элементе ИЛИ и выход последнего подают на нужный вход кодера.

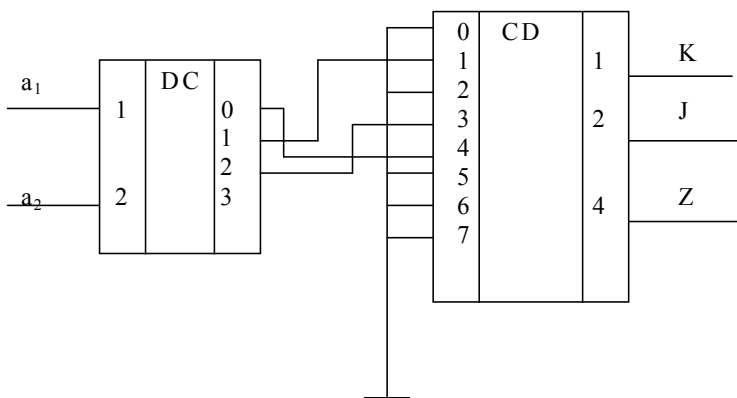


Рисунок 2 – Кодовый преобразователь, построенный как структура декодер-кодер

При третьем подходе преобразователь кода можно реализовать на программируемых постоянных запоминающих устройствах (ППЗУ) или программируемых логических матрицах (ПЛМ). ПЛМ, как и ППЗУ, относятся к программируемым интегральным схемам двухступенчатой структуры, состоящей из двух последовательных матриц «матрица И» - «матрица ИЛИ». ПЛМ отличается от ППЗУ тем, что в ППЗУ матрица И жесткая, а матрица ИЛИ – программируемая, а в ПЛМ обе матрицы И и ИЛИ – программируемые. Второе отличие состоит в том, что на ПЛМ можно реализовать не любую систему переключательных функций, как на ППЗУ, а лишь удовлетворяющую дополнительному ограничению: длина дизъюнктивных нормальных форм воспроизводимых функций не должна превышать числа переходных цепей между матрицами И и ИЛИ. Структура матриц И и ИЛИ состоит из горизонтальных и вертикальных шин, в узлах пересечения которых находятся элементы связи, которые при программировании вводятся или



устраняются (см. рис. 3). В качестве элементов связи могут служить например, диоды в матрице И и транзисторы в матрице ИЛИ, или плавкие перемычки, которые при программировании пережигаются путем подачи высокого напряжения. Следует отметить, что как ПЗУ, так и ПЛМ реализует наиболее развернутые формы представления функций (СДНФ) и для них не используется минимизация функций.

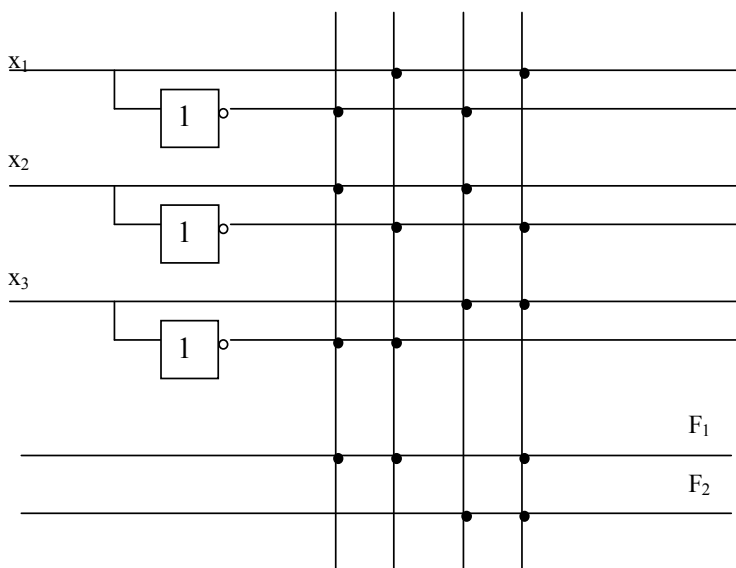


Рисунок 3 – Кодовый преобразователь, реализованный с использованием ПЛМ

Использовать ПЗУ для построения преобразователей нужно тогда, когда преобразованию подлежат все или почти все комбинации входных переменных, а общее число переменных более примерно 6-8. Если в заданной для реализации функции используются лишь сравнительно малая доля всех возможных входных комбинаций, то рациональнее применить ПЛМ. В силу

значительно меньшего числа элементов в корпусе ПЛМ они обычно дешевле, имеют меньшую задержку и потребляют меньшую мощность, чем ПЗУ.

Что касается выбора между ПЛМ и набором отдельных логических микросхем для построения кодовых преобразователей, то, начиная уже с весьма простых преобразователей, ПЛМ оказываются выгоднее и по времени, и по затратам аппаратуры. Следует, однако, иметь ввиду, что ПЛМ имеет явное преимущество перед россыпью перед реализацией именно систем функций, а в случае одно-выходных функций лишь когда источники аргументов и потребителей функций расположены компактно. Если же одной логической матрицей заменяется множество разбросанных по плате отдельных логических элементов, то результирующий выигрыш по габаритным характеристикам становится уже сомнительным. Дело в том, что в большинстве технологий монтажа площадь, занятая связями, превышает площадь, занятую собственно логическими элементами. Поэтому тенденция концентрировать логические операции в одном крупном элементе, а не выполнять их на местах, в среднем увеличивает занятую площадь платы. Проигрышной по числу микросхем (правда, выигрышной с точки зрения унификации) является и попытка замены программируемыми матрицами специализированных микросхем типа декодеров, мультиплексоров и т.п. В специализированной микросхеме рационально используются все выходы корпуса, а при вложении в ПЛМ различных схем конкретных узлов практически всегда часто выводов будет не использована. ПЛМ предназначена для упрощения реализации произвольных нестандартных функций, и, как всякий универсальный инструмент она проигрывает специализированным микросхемам, каждая из которых специально спроектирована для экономной реализации именно ее функций.

При проектировании из готовых микросхем (если сравнивать структуру кодер-декодер и россыпь логических элементов) более выгодным и по числу корпусов, и по быстродействию обычно оказывается структура декодер-кодер. Однако потребляемая мощность в этом случае может быть больше, чем у схемы из отдельных логических элементов. Но в тоже время затраты времени инженера на логическое проектирование по схеме декодер-кодер неизмеримо меньше, чем затраты на проектирование преобразователя из россыпи.

- Индикаторное устройство (HG) – представлено в виде десятичного индикатора. Предназначено для отображения измеренного временного интервала (длительности импульса).

- Светодиод (S). Служит для индикации сигнала ошибки (переполнение счетчика импульсов).

- Кодопреобразователь. Используется для преобразования параллельного кода, соответствующего длительности измеренного временного интервала, в последовательный код для передачи в устройство обработки полученной информации. Согласно задания на проектирование должен быть использован параллельно-последовательный регистр или мультиплексор со схемой управления, содержащей двоичный счетчик с заданным коэффициентом пересчета.

- В состав измерителя длительности временных интервалов входит логический элемент И, выполняющий функцию фильтра (пропускает тактовые импульсы только на протяжении измеряемого временного интервала) и триггер.

- Блок управления (БУ). Управляет работой всего устройства. В его функции входит: обеспечение установки функциональных блоков в исходное состояние, своевременное подключение и отключение функциональных блоков устройства.

На основе разработанной функциональной схемы производится синтез основных узлов принципиальной схемы.

## 5 РАЗРАБОТКА ПРИНЦИПИАЛЬНОЙ СХЕМЫ УСТРОЙСТВА

В данном разделе пояснительной записки необходимо разработать и обосновать:

- выбор элементной базы устройства;
- синтез комбинационных устройств;
- синтез узлов с памятью;
- синтез схемы управления.

### 5.1 Выбор элементной базы

Целью выбора элементной базы является обоснование серии (или серий) интегральных микросхем, а также других электрорадиоэлементов, необходимых для рациональной реализации проектируемого устройства.

Критериями выбора серии (серий) ИМС являются:

- наличие необходимых функциональных узлов в составе серии ИМС;
- малая потребляемая мощность;
- выполнение требований по быстродействию (граничной рабочей частоте) и условиям эксплуатации;
- низкая стоимость;
- возможность управления необходимыми элементами, например, индикаторами без дополнительных усилений и преобразований выходных сигналов и т.п.

Выбор элементной базы необходимо проводить в следующей последовательности:

- по функциональной схеме устройства определяются требуемые функциональные узлы (счетчики, регистры, шифраторы, кодопреобразователи и т.п.) и их параметры;

- по справочникам определяются серии ИМС, содержащие все или часть соответствующих функциональных узлов. При отсутствии функциональных узлов определяется возможность их построения с помощью входящих в состав серии элементов;

- на основе проведенного анализа определяется одна или несколько серий, применяемых для построения устройства.

При выборе дискретных элементов (индикаторов, электромагнитных реле и т.д.), входящих в состав проектируемого устройства, целесообразно использовать те, которые управляются сигналами с микросхем или специальными микросхемами сопряжения, входящими в состав серий. В противном случае производится расчет схем сопряжения на дискретных элементах.

Выбор элементной базы целесообразно иллюстрировать таблицами, например:

- таблица соответствия состава серий требуемым функциональным узлам и возможность реализации функциональных элементов на дискретных логических элементах серии;

- таблица характеристик выбранных серий ИМС;

- таблица характеристик необходимых дискретных элементов.

На основании анализа данных таблиц проводится выбор элементной базы.

## 5.2 Проектирование схем выделения фронтов временного интервала

Для формирования сигналов начала и окончания измерения временного интервала служат формирователи импульсов (детекторы фронтов). Детектор фронтов предназначен для формирования коротких импульсов в момент переключения логических перепадов измеряемого импульса. Существуют различные схемы детекторов фронтов. В качестве детекторов фронтов могут быть применены разностные преобразователи (РП) – специальные элементы цифровых устройств, предназначенные для выработки выходного сигнала, несущего информацию о смене значения входного сигнала. На выходе РП формируются импульсные сигналы в виде кратковременного появления напряжения  $U^0$  или  $U^1$  при заранее определенных переходах сигнала на входе. Длительность выходного импульса РП зависит от параметров входного сигнала и компонентов РП. Если РП выполняется на логических элементах, он кроме информационного может иметь дополнительные функциональные входы, которые позволяют учитывать дополнительные условия формирования выходного импульса, что значительно упрощает структуры цифровых устройств, сокращая количество логических элементов.

Так как на входе РП могут существовать два вида перехода входного сигнала, а на выходе могут быть сформированы напряжения  $U^0$  и  $U^1$ , то возможно построение четырех основных схем РП. В ряде случаев в РП используют специально линии задержки, или  $RC$  – цепочки.

РП используют для построения детекторов событий, организации импульсного управления у  $RS$  – триггеров, устранивающего на их входах запрещенные комбинации сигналов, а также у других типов триггеров; при проектировании последовательностных структур; для выработки импульсных сигналов запуска одновибраторов или установочных сигналов для счетчиков, регистров и т.п.; при построении реверсивных

счетчиков и регистров и т.д. Перечисленное позволяет отнести РП к многофункциональным элементам, и именно по этой причине в ряде современных серий элементов РП выполняются в виде интегральных схем.

Таким образом, в качестве детекторов фронтов будем использовать типовые схемы, приведенные на рисунках 4 и 6. Проиллюстрируем работу схем соответствующими временными диаграммами (рисунки 5 и 7).

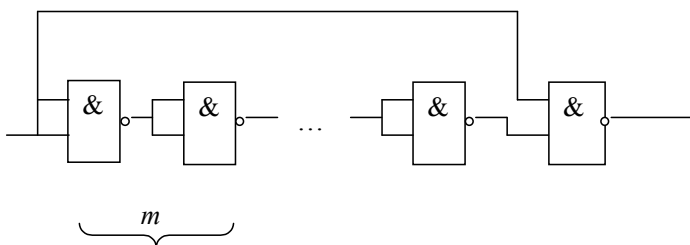


Рисунок 4 – Детектор переднего фронта

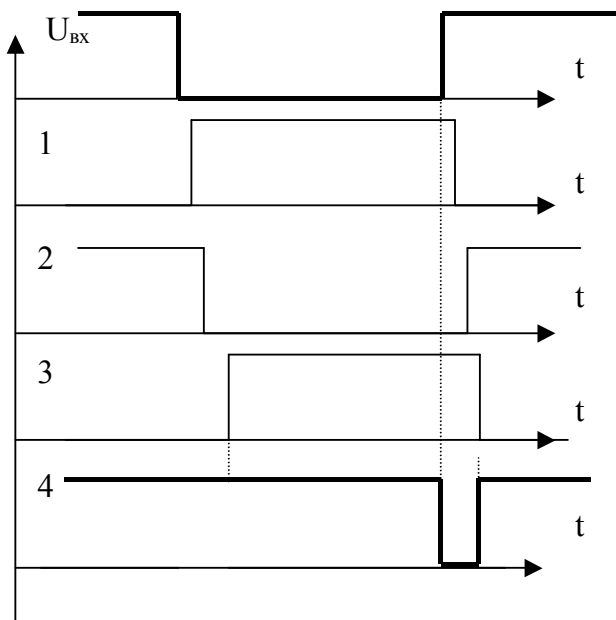


Рисунок 5 – Временная диаграмма, иллюстрирующая формирование импульса с выхода детектора переднего фронта

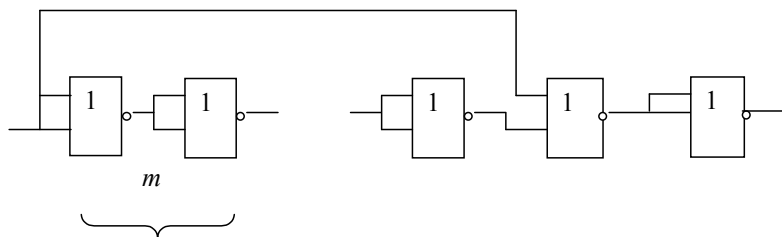


Рисунок 6– Детектор заднего фронта



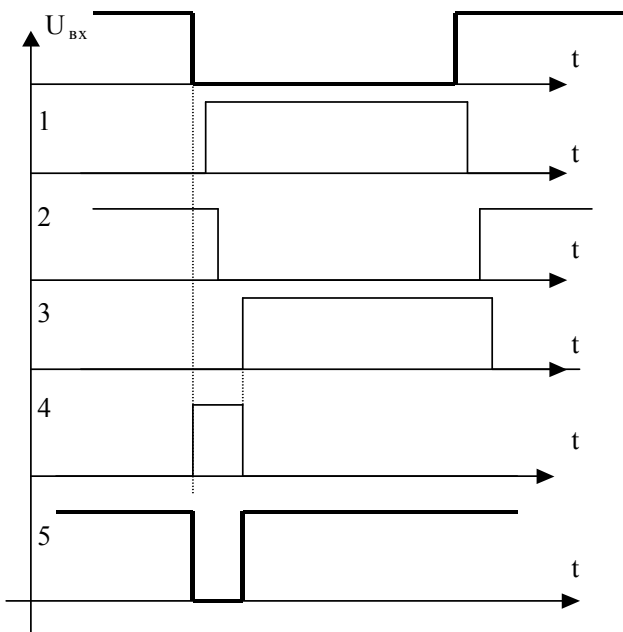


Рисунок 7 – Временная диаграмма, иллюстрирующая формирование импульса с выхода детектора заднего фронта

Детектор переднего фронта реализуется с помощью элементов И-НЕ. Представленная схема детектора переднего фронта удобна тем, что четыре элемента 2И-НЕ размещаются в одном корпусе микросхем серий 133, 155, 564.

Аналогично реализуется детектор отрицательного фронта на логических элементах ИЛИ-НЕ. Как и в схеме детектора переднего фронта, важное значение имеет логическая функция только выходного элемента, а в качестве инверторов можно использовать как элементы НЕ, так и ИЛИ-НЕ, И-НЕ. При проектировании детекторов фронтов необходимо учитывать то, что требуемая длительность формируемых

импульсов должна быть больше 2-3 длительностей переключения последующих элементов. Поэтому длительность выходного импульса определяется соотношением:

$$t_u = (m + 1) * t_{здр},$$

где  $m$  – четное и равно количеству элементов,

$t_{здр}$  – среднее время переключения логического элемента.

Вследствие функциональной полноты функций Шеффера и стрелки Пирса реализующие их вентили И-НЕ или ИЛИ-НЕ могут представлять любую булеву операцию И, ИЛИ, НЕ и таким образом самостоятельно образовывать базис, в котором реализуется любая логическая функция. Это целесообразно с двух точек зрения. Во-первых, при проектировании логических схем можно обойтись одним единственным типом вентиля, что позволяет предельно унифицировать этот процесс. Во-вторых, для большинства серий ТТЛ- и КМОП-логик вентиль И-НЕ, как и ИЛИ-НЕ, является базисным и предпочтительным во многих отношениях.

Схему выделения фронтов измеряемого временного интервала можно реализовать на основе ждущих мультивибраторов. Ждущим мультивибратором или одновибратором называется устройство, которое вырабатывает выходной импульс по одиночному перепаду входного сигнала. Длительность выходного импульса определяется постоянной времени  $RC$  встроенных или внешних компонентов и, следовательно, не зависит от временных ограничений, накладываемых системными тактовыми импульсами. В составе некоторых серий современных интегральных микросхем есть одновибраторы двух типов: без повторного запуска и с повторным запуском. Будем использовать микросхему К155

АГЗ – это два ждущих мультивибратора с возможностью перезапуска. Каждый мультивибратор имеет выходы  $Q$  и  $\overline{Q}$ , вход сброса  $\overline{R}$  и два входа запуска:  $B$  – прямой с активным высоким уровнем и  $\overline{A}$  – инверсный с активным низким уровнем.

Обозначение и схема подключения входного импульса положительной полярности к АГЗ представлена на рисунке 8.

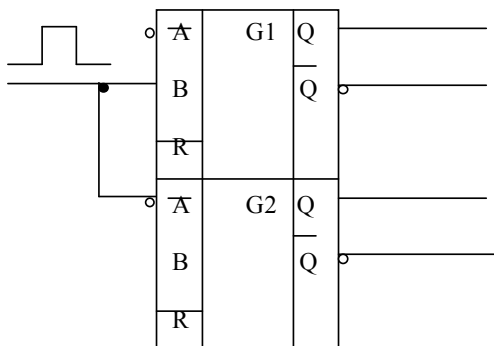


Рисунок 8 – Схема подключения входного импульса положительной полярности к АГЗ при решении задачи выделения фронтов

Временная диаграмма, иллюстрирующая формируемые управляющие импульсы, представлена на рисунке 9.

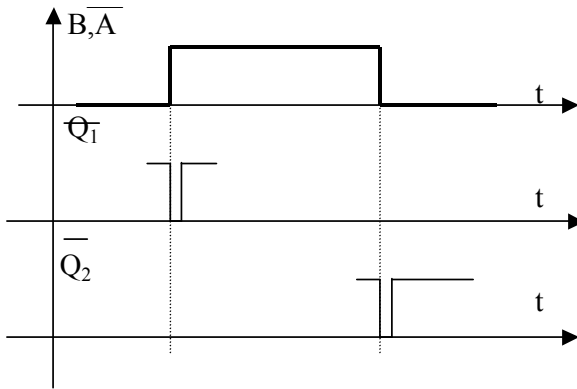


Рисунок 9 – Временная диаграмма размещения управляющих импульсов

Длительность импульса (при  $C_r \gg 1000n\Phi$ ) можно подсчитать по формуле:  $\tau_{\text{вых}} = 0,28R_r C_r (1 + 0,7/R_r)$ .

Потребляемый микросхемой ток составляет 66 мА.

Импульс формируется с помощью  $RC$  звена: времязадающий конденсатор  $C_r$  подключается между выходами МС 14, 15 и 7,6, а резисторы  $R_r$  подключаются от выводов 7 и 15 к положительной шине питания 5В.

Принимаем  $R_r=100$  Ом,  $C_r=1000$  пФ и получаем  $\tau_{\text{вых}}=28\text{нс}$ .

В качестве детекторов фронтов можно использовать также типовые схемы, приведенные на рисунках 10 и 12.

Проиллюстрируем работу схем соответствующими временными диаграммами.

Схема выделения переднего фронта имеет вид, представленный на рисунке 10. Временная диаграмма работы этой схемы представлена на рисунке 11.

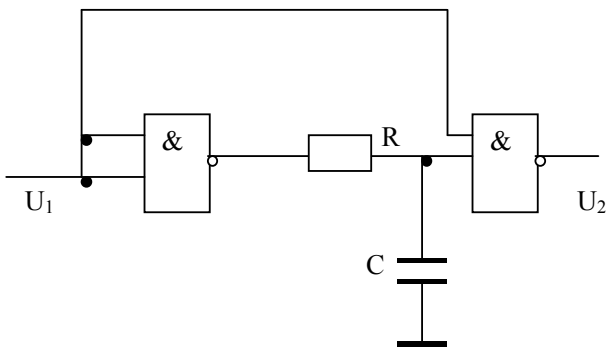


Рисунок 10 – Схема выделения переднего фронта измеряемого интервала

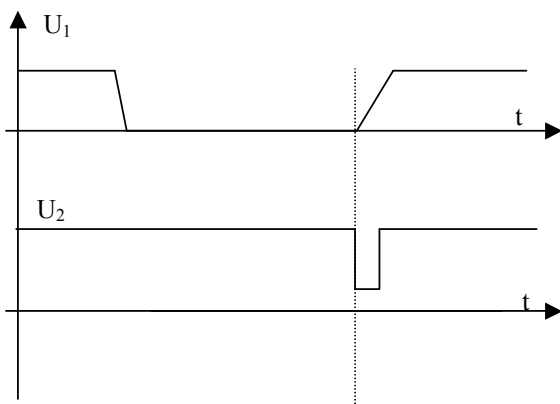


Рисунок 11 - Временная диаграмма работы схемы выделения переднего фронта измеряемого интервала

Схема выделения заднего фронта измеряемого интервала аналогична предложенной и имеет вид, представленный на рисунке 12.

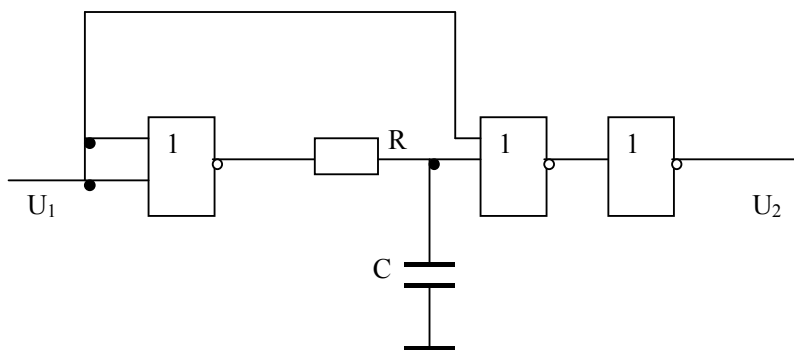


Рисунок 12 - Схема выделения заднего фронта измеряемого интервала

Зависимость выходного сигнала от входного представлена на рисунке 13.

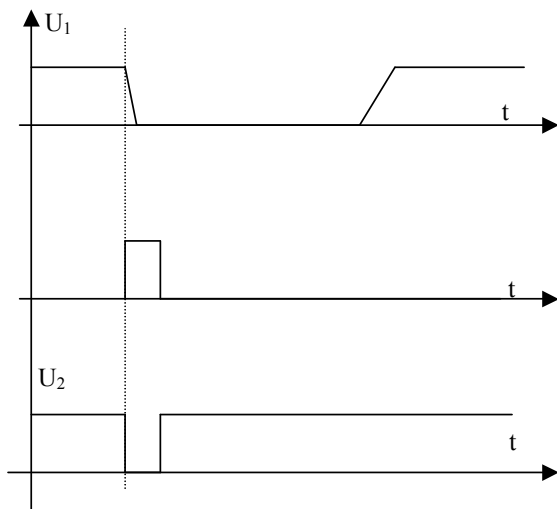


Рисунок 13 - Временная диаграмма работы схемы выделения заднего фронта

### 5.3 Проектирование счетчика измерителя временного интервала

В качестве счетчика для подсчета тактовых сигналов целесообразно использовать двоично-десятичный счетчик, работающий в соответствии с кодом обмена с устройством обработки. Такой счетчик содержит  $n_{10}$  последовательно включенных одноразрядных двоично-десятичных счетчиков. Тогда количество двоичных разрядов счетчика можно определить по формуле

$$n_{сч} = 4 * n_{10}.$$

Произведем синтез одной декады десятичного счетчика.

Составим таблицу функционирования декады счетчика (см. табл. 4), работающего в двоично-десятичном коде обработки информации 53-21.

Таблица 4 – Таблица функционирования счетной декады

№	t				Десят. цифра	t+1				t+1							
	Q	Q	Q	Q		Q	Q	Q	Q	J	K	J	K	J	K	J	K
	1	2	3	4		1	2	3	4	1	1	2	2	3	3	4	4
0	0	0	0	0	0	0	0	0	1	0	*	0	*	0	*	1	*
1	0	0	0	1	1	0	1	1	1	0	*	1	*	1	*	*	0
2	0	0	1	0	*	*	*	*	*	*	*	*	*	*	*	*	*
3	0	0	1	1	*	*	*	*	*	*	*	*	*	*	*	*	*
4	0	1	0	0	*	*	*	*	*	*	*	*	*	*	*	*	*
5	0	1	0	1	4	1	0	0	0	1	*	*	1	0	*	*	1
6	0	1	1	0	*	*	*	*	*	*	*	*	*	*	*	*	*
7	0	1	1	1	2	1	0	1	0	1	*	*	1	*	0	*	1

8	1	0	0	0	5	1	0	0	1	*	0	0	*	0	*	1	*
9	1	0	0	1	6	1	1	1	1	*	0	1	*	1	*	*	0
10	1	0	1	0	3	0	1	0	1	*	1	1	*	*	1	1	*
11	1	0	1	1	*	*	*	*	*	*	*	*	*	*	*	*	*
12	1	1	0	0	8	1	1	0	1	*	0	*	0	0	*	1	*
13	1	1	0	1	9	0	0	0	0	*	1	*	1	0	*	*	1
14	1	1	1	0	*	*	*	*	*	*	*	*	*	*	*	*	*
15	1	1	1	1	7	1	1	0	0	*	0	*	0	*	1	*	1

Правая часть таблицы, т.е. функции  $J_1$ - $J_4$ ,  $K_1$ - $K_4$  составлялись исходя из правил функционирования J-K – триггера (см. табл. 5), который выбран в качестве элемента памяти для синтезируемой декады счетчика. Функции  $J_1$ - $J_4$ ,  $K_1$ - $K_4$  являются неполностью определенными функциями, поэтому их минимизацию целесообразно производить с помощью специальных таблиц, называемых картами Карно. Произведем минимизацию функций  $J_1$ - $J_4$ ,  $K_1$ - $K_4$ .

Таблица 5 - Таблица функционирования J-K – триггера

J	K	Q(t)	Q(t+1)
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Так как при функционировании J-K – триггера возникают переходы в одинаковые состояния при разных



управляющих сигналах, то представленную таблицу функционирования триггера можно сократить. Запишем таблицу функционирования J-K – триггера в сокращенном виде:

Таблица 6 – Сокращенная таблица функционирования J-K триггера

0→0	J=0	K=*
0→1	J=1	K=*
1→0	J=*	K=1
1→1	J=*	K=0

Составим для минимизируемых функций карты Карно. Так как минимизации подвергаются восемь функций, то и карт Карно также будет восемь.

$Q_3Q_4$	00	01	11	10
$Q_1Q_2$				
00	0	0	*	*
01	*	1	1	*
11	*	*	*	*
10	*	*	*	*

$$J_1 = Q_2$$

$Q_3Q_4$	00	01	11	10
$Q_1Q_2$				
00	*	*	*	*
01	*	*	*	*
11	0	1	0	*
10	0	0	*	1

$$K_1 = Q_3 \bar{Q}_4 \vee Q_2 \bar{Q}_3 Q_4$$

$Q_1 Q_2 \backslash Q_3 Q_4$	00	01	11	10
00	0	1	*	*
01	*	*	*	*
11	*	*	*	*
10	0	1	*	1

$$J_2 = Q_3 \vee Q_4$$

$Q_1 Q_2 \backslash Q_3 Q_4$	00	01	11	10
00	*	*	*	*
01	*	1	1	*
11	0	1	0	*
10	*	*	*	*

$$K_2 = \bar{Q}_1 \vee \bar{Q}_3 Q_4$$

$Q_1 Q_2 \backslash Q_3 Q_4$	00	01	11	10
00	0	1	*	*
01	*	0	*	*
11	0	0	*	*
10	0	1	*	*

$$J_3 = \bar{Q}_2 Q_4$$

$Q_3Q_4 \backslash Q_1Q_2$	00	01	11	10
00	*	*	*	*
01	*	*	0	*
11	*	*	1	*
10	*	*	*	1

$$K_3 = Q_1$$

$Q_3Q_4 \backslash Q_1Q_2$	00	01	11	10
00	1	*	*	1
01	*	*	*	*
11	1	*	*	*
10	1	*	*	1

$$J_4 = 1$$

$Q_3Q_4 \backslash Q_1Q_2$	00	01	11	10
00	*	0	*	*
01	*	1	1	*
11	*	1	1	*
10	*	0	*	*

$$K_4 = Q_2$$

$$CR = Q_1Q_2\bar{Q}_3Q_4C.$$

Схема счетчика, построенного по полученным уравнениям, приведена на рисунке 14. Рассчитанная схема

может считать только от 0 до 9. Для построения схемы, которая будет считать от 0 до 1000, необходимо включить последовательно три таких декады (разрядные единицы).

Для реализации полной схемы синтезированного счетчика необходимо взять 12 J-K – триггеров на 6 микросхемах К 555 ТВ6,

18 элементов И на два входа, 5 ИМС К155 ЛИ 1,

9 элемента ИЛИ на два входа, 2 ИМС К 555 ЛЕ 3.

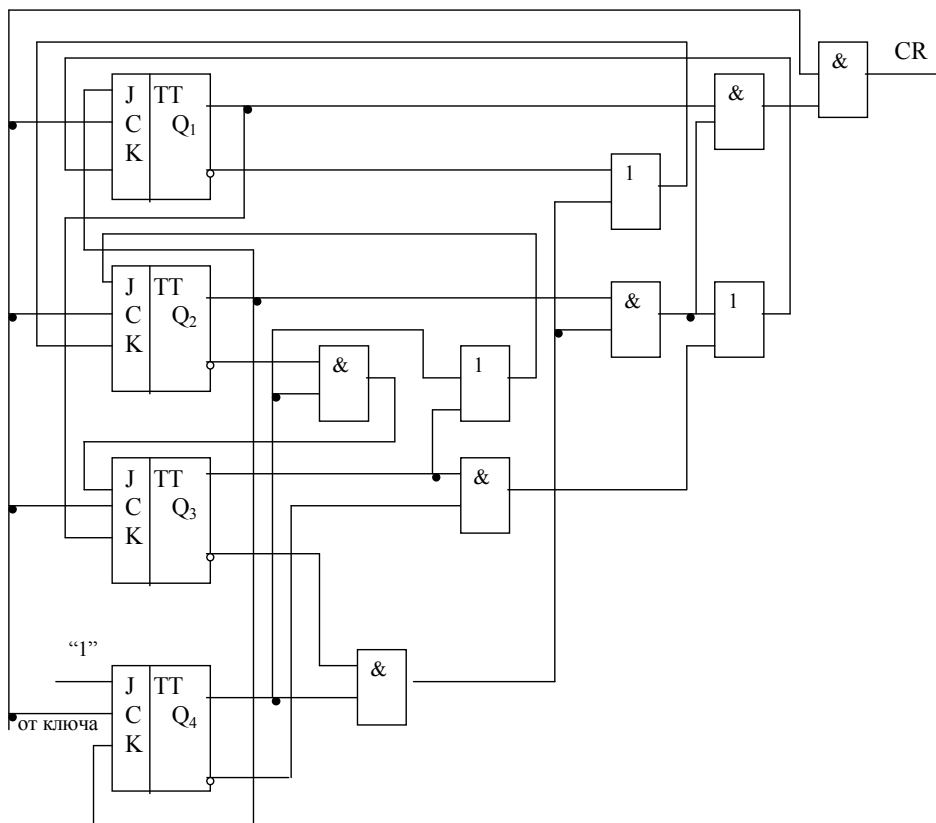


Рисунок 14– Схема счетной декады, работающей в коде 53-21

## 5.4 Проектирование преобразователя кодов

В проектируемом измерителе временных интервалов необходим блок отображения информации.

Если по заданию необходимо использовать цифровые семисегментные индикаторы, то данный преобразователь кода будет иметь 4 входа (от одной декады счетчика) и 7 выходов (к каждому сегменту индикатора).

Синтез преобразователя кодов рассмотрим для случая, когда счетчик работает в двоично-десятичном коде передачи данных в устройство обработки 75-31.

Разработаем преобразователь кода.

Представим правило функционирования преобразователя в виде таблицы истинности (см. табл. 7). В ней ставится соответствие между входными и выходными кодами. Таблица состояний преобразователя заполняется построчно, т.е. для каждого набора переменных определяются значения функций в соответствии с символом, высвечиваемым на индикаторе.

Таблица 7 – Таблица функционирования кодопреобразователя

№	$x_1$	$x_2$	$x_3$	$x_4$	Дес.ц	$F_1$	$F_2$	$F_3$	$F_4$	$F_5$	$F_6$	$F_7$
0	0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	1	0	0	1	1	0	0	0
2	0	0	1	0	*	*	*	*	*	*	*	*
3	0	0	1	1	*	*	*	*	*	*	*	*
4	0	1	0	0	5	1	1	0	1	1	0	1
5	0	1	0	1	6	1	1	0	1	1	1	1
6	0	1	1	0	2	0	1	1	0	1	1	1
7	0	1	1	1	3	0	1	1	1	1	0	1
8	1	0	0	0	7	0	1	1	1	0	0	0

9	1	0	0	1	8	1	1	1	1	1	1	1
10	1	0	1	0	4	1	0	1	1	0	0	1
11	1	0	1	1	*	*	*	*	*	*	*	*
12	1	1	0	0	*	*	*	*	*	*	*	*
13	1	1	0	1	*	*	*	*	*	*	*	*
14	1	1	1	0	9	1	1	1	1	1	0	1
15	1	1	1	1	*	*	*	*	*	*	*	*

Полученные функция являются неполностью определенными логическими функциями. Произведем минимизацию каждой из семи неполностью определенной функций.

Получим уравнения для реализации кодопреобразователя. Так как анализируемые функции  $F_1-F_7$  являются неполностью определенными логическими функциями, то минимизировать их удобнее всего помощью метода карт Карно. Нанесем функции и произведем минимизацию. Получим минимальные ДНФ (дизъюнктивные нормальные формы).

$x_3x_4$	00	01	11	10
$x_1x_2$				
00	1	0	*	*
01	1	1	0	0
11	*	*	*	1
10	0	1	*	1

$$F_1 = \bar{x}_1\bar{x}_3\bar{x}_4 \vee x_2\bar{x}_3 \vee x_1x_4 \vee x_1x_3$$

$x_3x_4 \backslash x_1x_2$	00	01	11	10
00	1	0	*	*
01	1	1	1	1
11	*	*	*	1
10	1	1	*	0

$$F_2 = x_2 \vee \bar{x}_1\bar{x}_4 \vee x_1\bar{x}_3$$

$x_3x_4 \backslash x_1x_2$	00	01	11	10
00	1	1	*	*
01	0	0	1	1
11	*	*	*	1
10	1	1	*	1

$$F_3 = x_3 \vee \bar{x}_2\bar{x}_3$$

$x_3x_4 \backslash x_1x_2$	00	01	11	10
00	1	1	*	*
01	1	1	1	0
11	*	*	*	1
10	1	1	*	1

$$F_4 = x_1 \vee \bar{x}_3 \vee x_4$$

$x_3x_4 \backslash x_1x_2$	00	01	11	10
00	1	0	*	*
01	1	1	1	1
11	*	*	*	1
10	0	1	*	0

$$F_5 = x_2 \vee \bar{x}_1\bar{x}_4 \vee x_1x_4$$

$x_3x_4 \backslash x_1x_2$	00	01	11	10
00	1	0	*	*
01	0	1	0	1
11	*	*	*	0
10	0	1	*	0

$$F_6 = \bar{x}_1\bar{x}_2\bar{x}_4 \vee x_2\bar{x}_3x_4 \vee \bar{x}_1x_3\bar{x}_4 \vee x_1x_4$$

$x_3x_4 \backslash x_1x_2$	00	01	11	10
00	0	0	*	*
01	1	1	1	1
11	*	*	*	1
10	0	1	*	1

$$F_7 = x_2 \vee x_3 \vee x_1x_4$$

При реализации систем булевых уравнений предпочтительным оказывается базис элементов И-НЕ (базис Шеффера), так как он наиболее широко представлен в виде



интегральных микросхем. Поэтому произведем переход исходных уравнений в выбранный базис. Для этого дважды проинвертируем каждую функцию, согласно правилу де Моргана опустим нижнюю черту таким образом, чтобы сохранились исходные конъюнкции, но над ними появились инверсии. Произведем данные операции над двумя функциями. Остальные преобразовываются аналогично. Уравнения преобразуются следующим образом:

$$F_1 = \bar{x}_1 \bar{x}_3 \bar{x}_4 \vee x_2 \bar{x}_3 \vee x_1 x_4 \vee x_1 x_3 =$$

$$= \overline{\bar{x}_1 \bar{x}_3 \bar{x}_4} \vee \overline{x_2 \bar{x}_3} \vee \overline{x_1 x_4} \vee \overline{x_1 x_3} =$$

$$= \overline{\bar{x}_1 \bar{x}_3 \bar{x}_4} \cdot \overline{x_2 \bar{x}_3} \cdot \overline{x_1 x_4} \cdot \overline{x_1 x_3};$$

$$F_2 = x_2 \vee \bar{x}_1 \bar{x}_4 \vee x_1 \bar{x}_3 =$$

$$= \overline{\overline{x_2}} \vee \overline{\bar{x}_1 \bar{x}_4} \vee \overline{x_1 \bar{x}_3} =$$

$$= \overline{\bar{x}_2} \cdot \overline{\bar{x}_1 \bar{x}_4} \cdot \overline{x_1 \bar{x}_3}.$$

Реализуем полученные уравнения в виде схемы, представленной на рисунке 15.

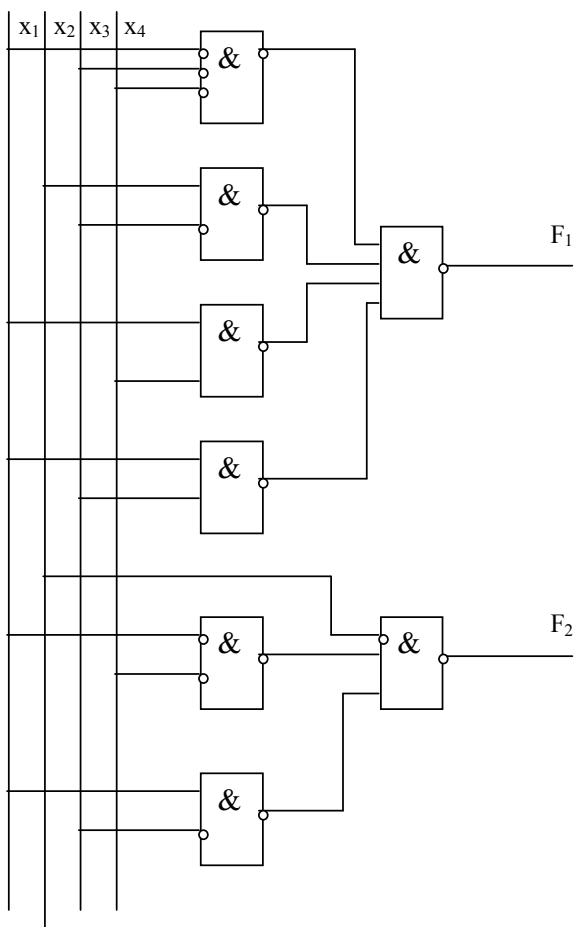


Рисунок 15 – Принципиальная схема, реализующая функции  $F_1$ ,  $F_2$  в базе Шеффера

Если по заданию необходимо использовать цифровые десятичные индикаторы, то данный преобразователь кода будет иметь 4 входа (от одной декады счетчика) и 10 выходов (к каждой цифре индикатора).

Синтез такого преобразователя кодов рассмотрим для кода обработки 5121.

Изобразим правило функционирования преобразователя в виде таблицы истинности (см. табл.8). В ней ставится соответствие между входными и выходными кодами.

Таблица 8 – Таблица функционирования кодопреобразователя

№	$x$	$x$	$x_3$	$x_4$	Де	$F$	$F$	$F$	$F$	$F$	$F$	$F$	$F$	$F$	$F_1$
	$1$	$2$			с. ц	$1$	$2$	$3$	$4$	$5$	$6$	$7$	$8$	$9$	$0$
0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
1	0	0	0	1	1	0	1	0	0	0	0	0	0	0	0
2	0	0	1	0	2	0	0	1	0	0	0	0	0	0	0
3	0	0	1	1	3	0	0	0	1	0	0	0	0	0	0
4	0	1	0	0	*	*	*	*	*	*	*	*	*	*	*
5	0	1	0	1	*	*	*	*	*	*	*	*	*	*	*
6	0	1	1	0	*	*	*	*	*	*	*	*	*	*	*
7	0	1	1	1	4	0	0	0	0	1	0	0	0	0	0
8	1	0	0	0	5	0	0	0	0	0	1	0	0	0	0
9	1	0	0	1	6	0	0	0	0	0	0	1	0	0	0
10	1	0	1	0	7	0	0	0	0	0	0	0	1	0	0
11	1	0	1	1	8	0	0	0	0	0	0	0	0	1	0
12	1	1	0	0	*	*	*	*	*	*	*	*	*	*	*
13	1	1	0	1	*	*	*	*	*	*	*	*	*	*	*
14	1	1	1	0	*	*	*	*	*	*	*	*	*	*	*
15	1	1	1	1	9	0	0	0	0	0	0	0	0	0	1

Так как анализируемые функции  $F_1-F_{10}$  являются неполностью определенными логическими функциями, то минимизировать их удобнее всего помощью метода карт Карно. Нанесем функции и произведем минимизацию. Получим минимальные ДНФ (дизъюнктивные нормальные формы). Требование получения МДНФ обусловлено необходимостью

дальнейшей реализации схемы в наиболее распространенном функциональном базисе – базисе Шеффера.

$x_3x_4 \backslash x_1x_2$	00	01	11	10
00	1	0	0	0
01	*	*	0	*
11	*	*	0	*
10	0	0	0	0

$$F_1 = \bar{x}_1 \bar{x}_3 \bar{x}_4$$

$x_3x_4 \backslash x_1x_2$	00	01	11	10
00	0	1	0	0
01	*	*	0	*
11	*	*	0	*
10	0	0	0	0

$$F_2 = \bar{x}_1 \bar{x}_3 x_4$$

$x_3x_4 \backslash x_1x_2$	00	01	11	10
00	0	0	0	1
01	*	*	0	*
11	*	*	0	*
10	0	0	0	0

$$F_3 = \bar{x}_1 x_3 \bar{x}_4$$

$x_3x_4 \backslash x_1x_2$	00	01	11	10
00	0	0	1	0
01	*	*	0	*
11	*	*	0	*
10	0	0	0	0

$$F_4 = \bar{x}_1 \bar{x}_2 x_3 x_4$$

$x_3x_4 \backslash x_1x_2$	00	01	11	10
00	0	0	0	0
01	*	*	1	*
11	*	*	0	*
10	0	0	0	0

$$F_5 = \bar{x}_1 x_2$$

$x_3x_4 \backslash x_1x_2$	00	01	11	10
00	0	0	0	0
01	*	*	0	*
11	*	*	0	*
10	1	0	0	0

$$F_6 = x_1 \bar{x}_3 \bar{x}_4$$

$x_3x_4 \backslash x_1x_2$	00	01	11	10
00	0	0	0	0
01	*	*	0	*
11	*	*	0	*
10	0	1	0	0

$$F_7 = x_1 \bar{x}_3 x_4$$

$x_3x_4 \backslash x_1x_2$	00	01	11	10
00	0	0	0	0
01	*	*	0	*
11	*	*	0	*
10	0	0	0	1

$$F_8 = x_1 x_3 \bar{x}_4$$

$x_3x_4 \backslash x_1x_2$	00	01	11	10
00	0	0	0	0
01	*	*	0	*
11	*	*	0	*
10	0	0	1	0

$$F_9 = x_1 \bar{x}_2 x_3 x_4$$

$x_3x_4 \backslash x_1x_2$	00	01	11	10
00	0	0	0	0
01	*	*	0	*
11	*	*	1	*
10	0	0	0	0

$$F_{10} = x_1 x_2$$

Таким образом, при построении преобразователя кода методом булевых уравнений мы получили 10 уравнений. Схема, реализующая полученную систему логических уравнений в базисе Шеффера, приведена на рисунке 16.

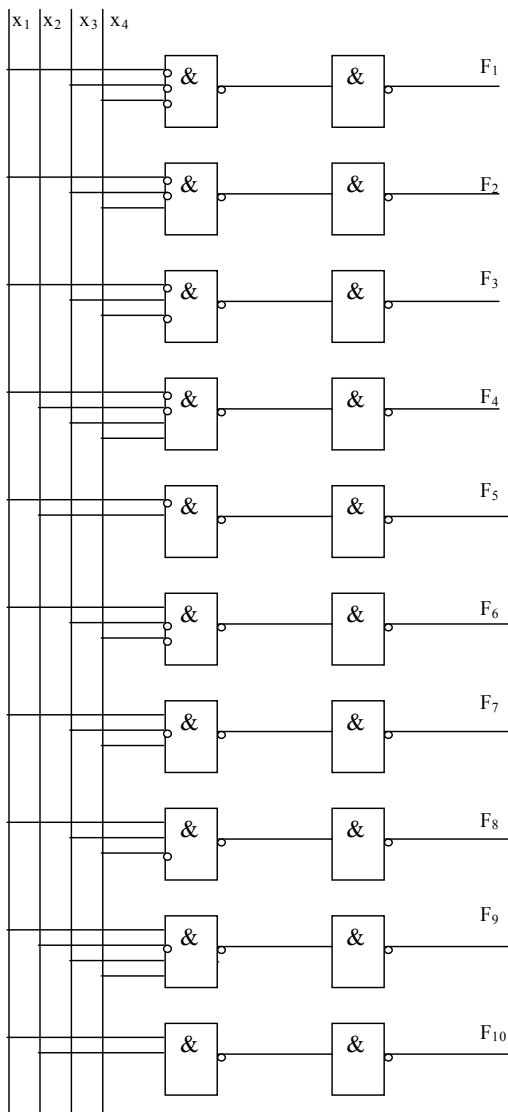


Рисунок 16 – Преобразователь кодов для устройства отображения

## 5.5 Проектирование преобразователя параллельного кода в последовательный

Код результата измерения необходимо передать в устройство обработки по каналу связи. Устройство обработки находится на значительном расстоянии от измерительного преобразователя, поэтому параллельный код результата измерения необходимо преобразовать в последовательный код. Для данного преобразования одним из решений будет применение мультиплексора.

Назначение мультиплексоров (от англ. multiplex – многократный) – коммутировать в желаемом порядке информацию, поступающую с нескольких входных шин на одну выходную. С помощью мультиплексора осуществляется временное разделение информации, поступающей по разным каналам. Мультиплексор выполняет функцию бесконтактного многопозиционного переключателя.

Мультиплексоры обладают двумя группами входов и одним, реже двумя – взаимодополняющими выходами. Одни входы информационные, а другие служат для управления. К ним относятся адресные и разрешающие (стробирующие) входы. Если мультиплексор имеет  $n$  адресных входов, то число информационных входов будет  $2^n$ . Набор сигналов на адресных входах определяет конкретный информационный вход, который будет соединен с выходным выводом.

Разрешающий (стробирующий) вход управляет одновременно всеми информационными входами независимо от состояния адресных входов. Запрещающий сигнал на этом входе блокирует действие всего устройства. Наличие разрешающего входа расширяет функциональные возможности мультиплексора, позволяя синхронизировать его работу с



работой других узлов. Разрешающий вход употребляется также для наращивания разрядности мультиплексоров.

Мультиплексоры ТТЛ, выполненные в виде самостоятельных микросхем, различаются главным образом числом информационных и адресных входов, наличием или отсутствием разрешающего входа, а также характером выходных сигналов (относительно входных информационных), которые могут быть прямыми, инверсными или парными.

Для решения нашей задачи – преобразования двенадцатиразрядного кода необходимо выбрать мультиплексор, имеющий не менее двенадцати информационных входов. Этому требованию удовлетворяет мультиплексор К155 КП1 (рисунок 17).

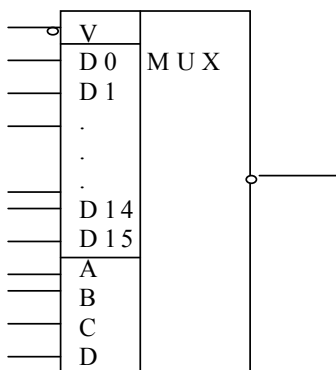


Рисунок 17 – Условное обозначение микросхемы К155 КП1

Он имеет 16 информационных входов (D0 – D15) и четыре управляющих входа A, B, C, D, разрешающий вход V и один инверсный выход F. В зависимости от цифровой комбинации на управляющих входах сигналы с соответствующего информационного входа проходят в

инвертированном виде на выход микросхемы. Передача информации возможна, если на разрешающий вход действует напряжение низкого уровня. При высоком уровне на разрешающем входе схема блокируется и на выходе микросхемы возникает напряжение высокого уровня.

Логическая функция, реализуемая микросхемой К155 КП1, имеет вид:

$$\bar{F} = \bar{V}(\overline{DCBA}x_0 \vee \overline{DCBA}x_1 \vee \dots \vee \overline{DCBA}x_{14} \vee \overline{DCBA}x_{15})$$

Работа мультиплексора описывается таблицей 9.

Таблица 9 - Таблица истинности микросхемы К155 КП1

V	D	C	B	A	D0	D1	D2	D13	D14	D15	$\bar{F}$
0	0	0	0	0	1/0	*	*	*	*	*	0/1
0	0	0	0	1	*	1/0	*	*	*	*	0/1
0	0	0	1	0	*	*	1/0	*	*	*	0/1
...	...	...	...	...	...	...	...	...	...	...	...
0	1	1	0	1	*	*	*	1/0	*	*	0/1
0	1	1	1	0	*	*	*	*	1/0	*	0/1
0	1	1	1	1	*	*	*	*	*	1/0	0/1
1	*	*	*	*	*	*	*	*	*	*	1

Двенадцатиразрядный код результата необходимо подать на информационные входы, к адресным входам необходимо подключить выходы двоичного счетчика, который будет перебирать в порядке возрастания кодовые комбинации, соответствующие адресам (номерам информационных входов). Эту задачу решаем с помощью счетчика с заданным коэффициентом пересчета. Неиспользуемые входы

мультиплексора можно задействовать для организации стартовых импульсов управления передачей информации.

Рассмотрим более подробно работу преобразователя параллельного кода в последовательный.

Пока измерительный преобразователь осуществляет измерение длительности входного импульса, подсчитывая количество пропорциональных его длительности импульсов, преобразователь параллельного кода должен находиться в режиме ожидания. Эта задача выполняется благодаря наличию на разрешающем входе  $V$  уровня логической единицы, которая блокирует работу мультиплексора.

После завершения измерения на управляющий вход мультиплексора необходимо подать логический ноль, разрешающий преобразование информации - выдачу информационных значений в канал связи под воздействием управляющих сигналов, поступающих на адресные входы. Управляющий счетчик, перебирая свои состояния, будет последовательно подключать к выходу мультиплексора его информационные входы. Как только счетчик попытается установиться в запрещенное состояние, обратная связь, воздействующая на цепь сброса, вернет счетчик в исходное, нулевое состояние. До начала передачи счетчик обязательно должен находиться в нулевом состоянии, чтобы обеспечивать последовательный перебор кодов адресов, начиная с нулевого.

После завершения передачи мультиплексор снова должен вернуться в режим ожидания следующего кода следующего временного интервала. Режим ожидания, по-прежнему, организуется подачей на разрешающий вход уровня мультиплексора логической единицы. Формирование управляющих сигналов, поступающих на разрешающий вход, осуществляется схемой управления всего устройства.

Преобразование параллельного кода в последовательный можно выполнить на основе параллельно-последовательного регистра.

Параллельный код результата измерения необходимо записать в параллельный регистр, схема которого приведена на рисунке 18.

По приходу сигнала «запись», поступающего одновременно на все схемы «И-НЕ» на выходах этих схем появляются сигналы, противоположные значениям данных, подаваемых на вторые входы схем «И-НЕ». Эти сигналы поступают на входы более высокого уровня приоритета – входы установки триггеров в единичное состояние. Так как управление этих входов инверсное, при равенстве единице сигнала данных на выходе схемы «И-НЕ» появляется нулевой сигнал, который и переводит триггер в нужное единичное состояние. Так как при включении все элементы памяти принудительно были установлены в нулевое состояние, то разряды соответствующие входным сигналам, равным единице устанавливаются в единичное состояние, а остальные остаются в нуле. После записи параллельного входного кода производится сдвиг информации, подачей на синхровход сигнала «сдвиг». Одновременно на вход  $D$  крайнего левого разряда подается нуль. При сдвиге вправо на последовательном выходе последовательно будет появляться двоичная кодовая комбинация. Одновременно с каждым тактовым сигналом в регистр будет вдвигаться нулевой сигнал. Через  $n$  тактов (по количеству разрядов исходного числа) регистр заполнится нулями. Схема готова к приему следующей двоичной кодовой комбинации.

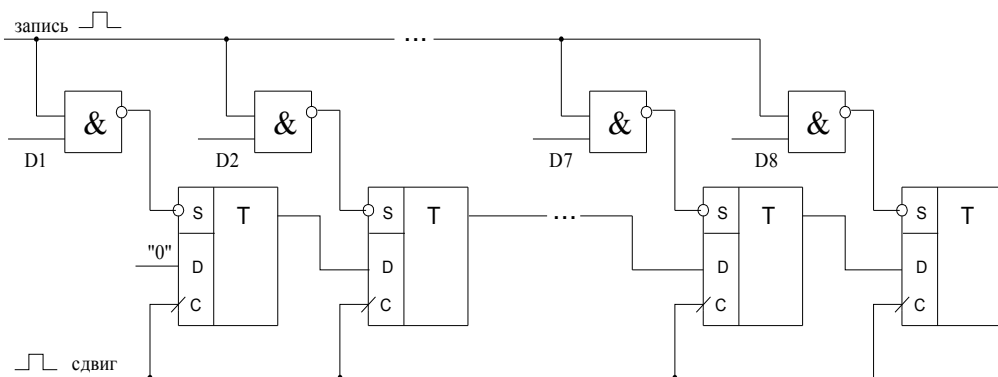


Рисунок 18 – Параллельно-последовательный регистр

## 5.6 Разработка блока управления

Схема управления необходима для управления работой измерителя и согласования отдельных узлов устройства между собой.

Для функционирования проектируемого устройства схема управления должна выполнять следующие функции:

- при включении устройства установить все элементы памяти в исходное состояние;
- при первоначальном включении устройства не разрешать счет до полной готовности устройства;
- обеспечивать подготовку устройства к измерению следующего временного интервала;
- обеспечивать установку устройства в начальное состояние и запрет передачи данных в линию при приходе сигнала «переполнение» со счетчика.

Таким образом, первая функция устройства управления – это установка всех элементов памяти при включении в исходное

состояние. Это осуществляется при помощи кнопки К1 (см. рис. 19).

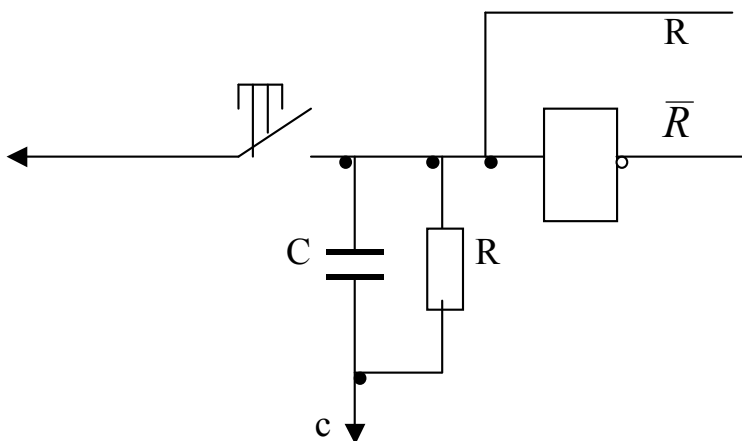


Рисунок 19 – Схема формирования сигналов установки в нулевое состояние

Теперь устройство готово к приему и измерению временного интервала, который поступает на вход устройства.

Выбранные и разработанные узлы схемы должны согласованно работать вместе. Таким образом, следующая, основная функция устройства управления – организация поочередного срабатывания схем. Наиболее простое решение данной проблемы – применение в схеме управления кольцевого счетчика, структурная схема которого приведена на рисунке 20, а временная диаграмма, поясняющая его работу на рисунке 21.

В начальный момент времени для кольцевого счетчика необходимо организовать запись логической единицы в один из разрядов кольцевого счетчика. При включении на вход установки триггера в единичное состояние подается импульс отрицательной полярности, переводящий первый триггер схемы

в единичное состояние. Одновременно через инвертор подается импульс такой же длительности, но противоположной полярности на вход  $R$  первого триггера и на все остальные входы  $S$  других триггеров. Таким образом, в счетчике записана одна единица, при чем она записана в старшем разряде. Импульсы управления, поступающие на тактовый вход кольцевого счетчика переписывают единицу из одной ступени в следующую. Этот сдвиг осуществляется по кругу. На прямых выходах триггеров появляются импульсы, длительность которых равна периоду входных импульсов.

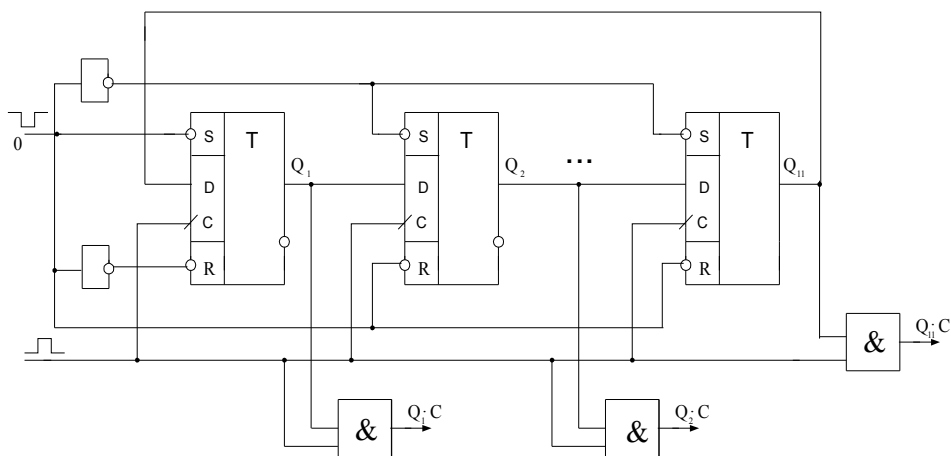


Рисунок 20 – Структура кольцевого счетчика устройства управления

Как было замечено выше, на выходах триггеров возникают сигналы длительностью, равной периоду входных сигналов. Для формирования импульсов, возникающих в те же моменты времени, но имеющих длительность, соизмеримую с длительностью импульсов тактового генератора организованы дополнительные схемы «И», на один из входов которых

поступают импульсы с выходов триггеров, а на другие входы поступают импульсы с генератора. Конъюнкция этих сигналов и дает импульсы заданной длительности. Временная диаграмма, иллюстрирующая этот процесс, представлена на рисунке 22.

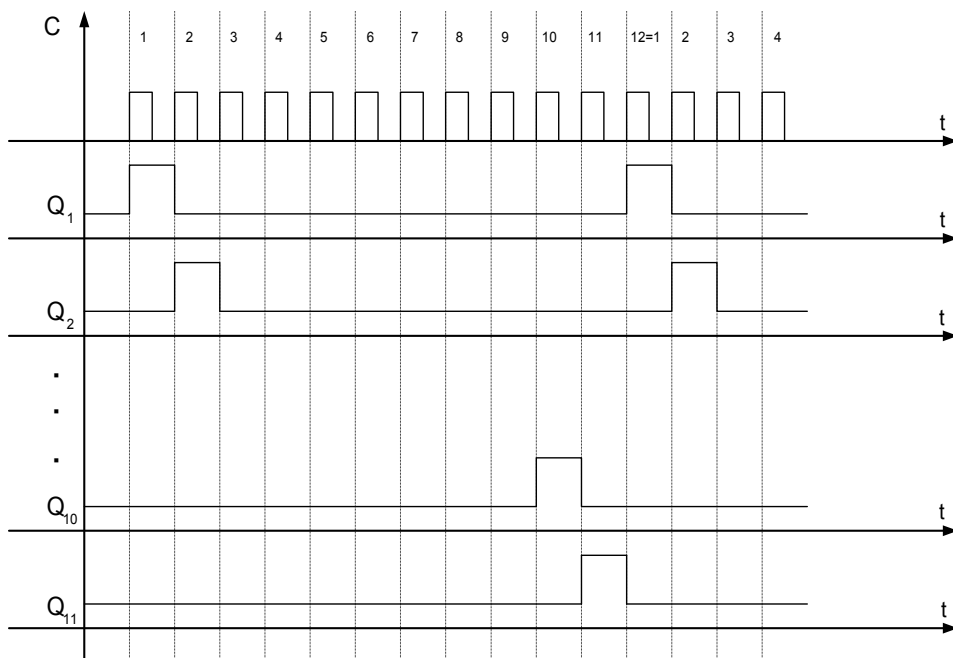


Рисунок 21 – Временная диаграмма работы кольцевого счетчика



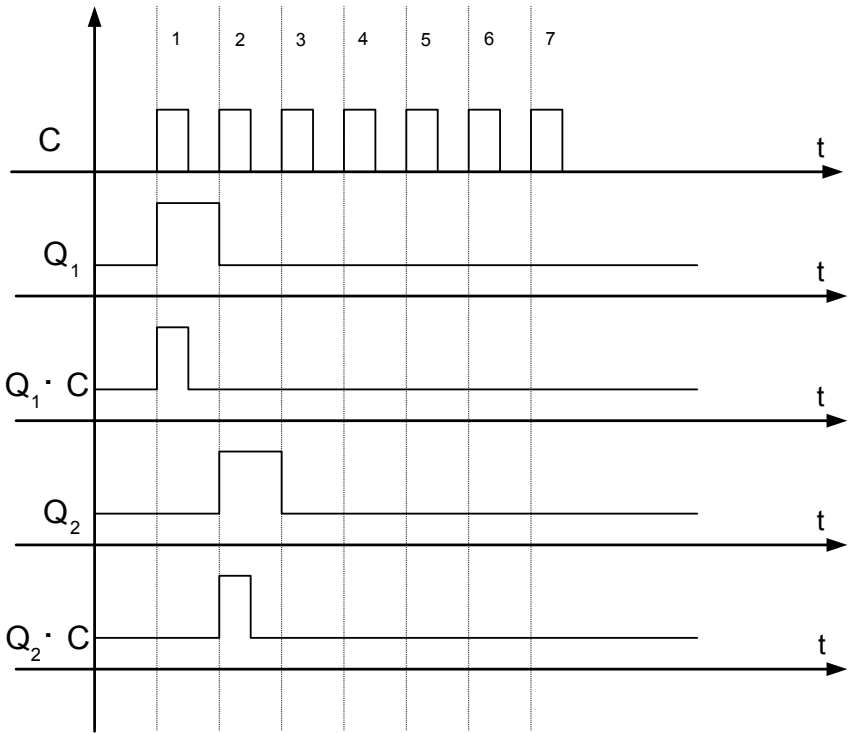


Рисунок 22 – Формирование управляющих импульсов  
кольцевого счетчика

В схеме управления необходимо предусмотреть наличие делителей частоты. Делители частоты, как правило, строятся на счетчиках.

Счетчиком называется устройство, осуществляющее подсчет количества входных импульсов и фиксирующее это число в каком-либо коде.

Счетчики применяются в различных цифровых устройствах, в частности в устройствах управления ЭВМ. Они

строятся из разрядных схем, связанных друг с другом и содержащих триггеры и логические элементы.

Специфической для счетчиков является микрооперация инкрементации (или декрементации), т.е. изменения содержимого на единицу. Кроме того, в них выполняются и такие микрооперации, как установки в исходные состояния, хранение, выдача слов и другое.

Счетчик характеризуется, прежде всего, модулем счета (емкостью). Он переходит при поступлении входных сигналов из состояния в состояние, после каждых  $K$  сигналов возвращаясь к началу цикла, т.е. модуль счета – это предельное число импульсов, которое может быть сосчитано счетчиком. Например, при  $K_{сч}=8$  счетчик имеет 8 устойчивых состояний и каждый восьмой импульс, поступающий на его вход, будет возвращать счетчик в исходное состояние.

Основными режимами работы счетчиков являются регистрация числа поступивших на счетчик сигналов и деление частоты.

В первом режиме в счетчике фиксируется его содержимое (цифровой код), а во втором – выходными сигналами являются импульсы переполнения счетчика.

В двоичных счетчиках коэффициент пересчета связан определенной зависимостью с числом разрядов (триггеров) счетчика  $K_{сч} = 2^N$  и может быть равен 2,4,8,16,32,64 и т.д. Однако на практике нередко возникает необходимость в счетчиках, коэффициент пересчета которых отличен от  $2^N$ . В частности требуются счетчики с коэффициентом счета  $K_{сч}=3, 10$  и т.д., т.е. счетчики, имеющие соответственно 3,10 и т.д. устойчивых состояний.

Принцип построения таких счетчиков заключается в исключении лишних устойчивых состояний у счетчика с  $K_{сч} =$

$2^N$ , т.е. в организации схем, запрещающих некоторые состояния.

В зависимости от того, какие состояния счетчика выбираются в качестве рабочих, все счетчики с произвольным коэффициентом можно разделить на счетчики с естественным и произвольным порядком счета.

Особенностью счетчиков с естественным порядком счета является то, что порядок их счета соответствует порядку счета обычных суммирующих или вычитающих счетчиков. Отличие заключается в том, что путем введения дополнительных связей счет заканчивается раньше значения  $2^N$ . При построении счетчика данным способом выбирается двоичный счетчик разрядности  $N$ , такой, чтобы  $2^N$  было больше  $K$ , дополняется элементом  $I$ , который по состояниям выходов  $Q_i$  обнаруживает код конца счета, после чего по цепи  $R$  сбрасывает счетчик в нуль. Структурная схема, реализующая этот способ, показана на рисунке 23.

Достоинства данного способа:

1. Естественная двоичная последовательность кодов от  $0$  до  $K-1$ ;
2. Использование обычно имеющегося в счетчике входа  $R$ .

В случае суммирующего счетчика достаточно собрать на элементе  $I$  лишь прямые выходы тех триггеров, которые при коде конца счета равны 1. Число входов элемента  $I$ , таким образом, зависит от кода конца счета.

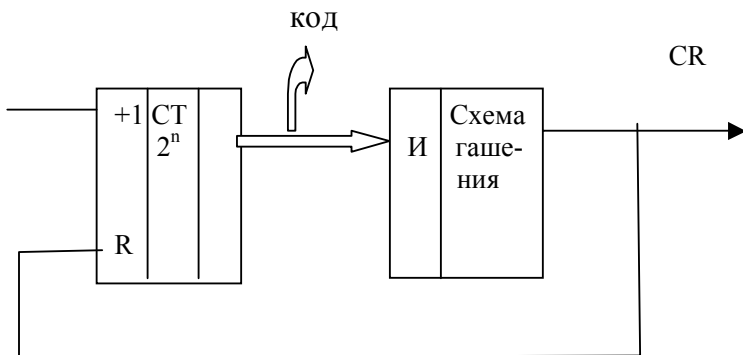


Рисунок 23 – Структурная схема счетчика с заданным коэффициентом и естественным порядком счета

В интегральной схемотехнике, когда вмешаться во внутреннюю структуру схемы нельзя, широко используется способ с начальной установкой кода. Этот способ иллюстрирует структурная схема, приведенная на рисунке 24. Двоичный счетчик перед началом счета по тракту параллельной загрузки загружается кодом дополнения числа  $K$  до  $2^N$ .

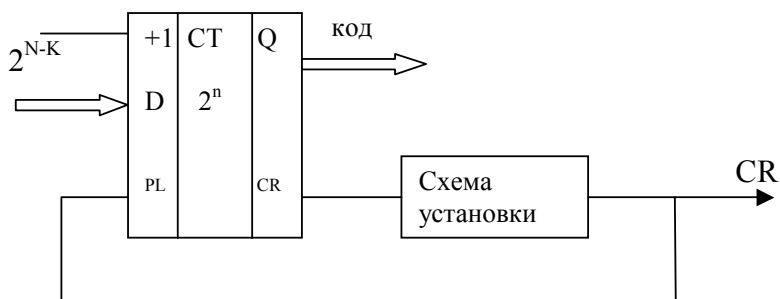


Рисунок 24 – Структурная схема счетчика по произвольному основанию с установкой начального кода

Кодом конца счета в этом случае является естественное переполнение счетчика, т.е. код *ВСЕ ЕДИНИЦЫ*, обнаруживаемый штатным трактом переноса, в результате чего вырабатывается сигнал *CR*. Сигнал *CR*, действуя на вход *PL*, управляющий параллельной загрузкой, снова устанавливает в счетчике дополнение  $K$  до  $2^N$ .

Достоинство данного способа:

1. Использование штатного тракта переноса и имеющихся во многих счетчиках входов параллельной загрузки.
2. Легкая смена основания (модуля) пересчета.

Для того чтобы изменить коэффициент пересчета входы  $D_i$  нужно подключить не к контактам  $1$  и  $0$  (питание и общий провод), а к выходу специального регистра начальных соединений.

Недостатком способа является неестественная последовательность получаемых кодов, требующая перекодировки в случае их использования. Поэтому этот способ применяется, когда показания счетчика не важны, а используется лишь сигнал его выходного переноса. Это типично для задачи деления частоты входных сигналов на некоторое число  $K$ . Счетчики, выполняющие эту функцию, называют делителями.

Например, для счетчика с  $K_{сч} = 10$  на его шины параллельной записи подается код числа  $0110$ , соответствующий числу запрещенных состояний. При этом выход счетчика соединяется с управляющим входом, разрешающим запись в него числа с параллельных входных шин. Каждое переполнение счетчика приводит к появлению импульса на его выходе и тем самым к записи в него числа, стоящего на шинах параллельной записи.

Для построения счетчиков с заданным коэффициентом пересчета часто применяются счетчики с модулем счета  $M + 1 = 2^N + 1$ .

Использование универсального приема увеличения модуля двоичного счетчика на единицу позволяет получить подсистемы, совместное применение которых дает возможность реализовать любой требуемый модуль счета  $K$ . Для этого модуль  $K$  представляется через слагаемые или множители, каждый из которых легко реализуется (равен  $M$  или  $M+1$ ). Например, можно использовать представления модулей

$$3=2+1$$

$$5=4+1$$

$$6=2*3$$

$$7=6+1$$

$$9=8+1$$

$$11=2*5+1 \text{ и т.д.}$$

Структурная схема счетчика с увеличенным на единицу модулем счета  $M+1$  представлена на рисунке 25.

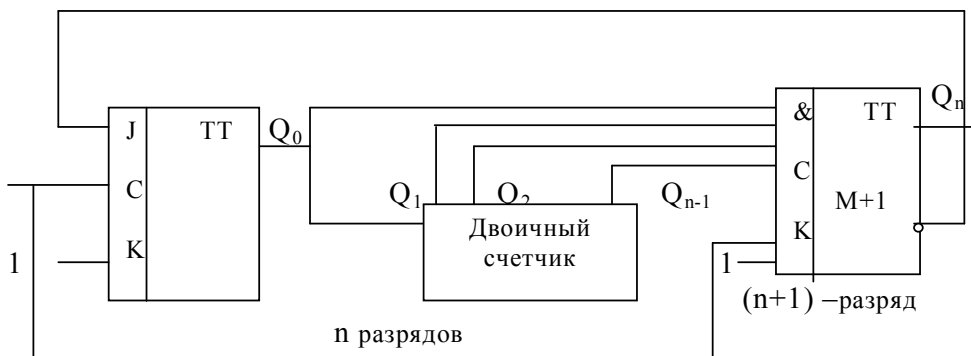


Рисунок 25 – Способ увеличения модуля счета на единицу

Схема содержит обычный двоичный счетчик в качестве средней части, не включающей первый и последний разряды. В первом и последнем триггерах входы  $K$  постоянно равны единицам, вход  $J_1$  получает сигнал в виде перекрестной обратной связи, а вход  $J$  последнего триггера получает сигнал в виде конъюнкции выходов всех предыдущих триггеров.

При нулевом исходном состоянии схема работает следующим образом. В первом триггере при  $J_1=1$ , что сохраняется до первого переключения старшего триггера, осуществляется режим счетного триггера. Пока все предшествующие последнему разряду триггеры не заполнятся единицами, происходит обычный двоичный счет. Такой счет идет до числа  $011\dots11$ , пояснение которого открывает группу входов  $J$  последнего триггера. После этого состояния возникает состояние  $10\dots00$ , а вслед за ним исходное состояние  $00\dots00$ , так как переключится только последний триггер. Таким образом, прибавление к некоторому числу разрядов счетчика еще одного разряда здесь приводит к появлению еще одного внутреннего состояния счетчика (в обычном двоичном счетчике это приводит к удвоению числа внутренних состояний).

Для схемы с  $K=9$ , имеющей четыре разряда, последовательность состояний имеет вид:

0000  
0001  
0010  
0011  
.... Девять состояний  
0111  
1000  
0000.

Счетчик с  $K=3$  применяется в схемах контроля и часто используется как часть других счетчиков.

Схема, представленная на рисунке 26, имеет всего два разряда – первый и последний, и три состояния

00  
10  
01  
00

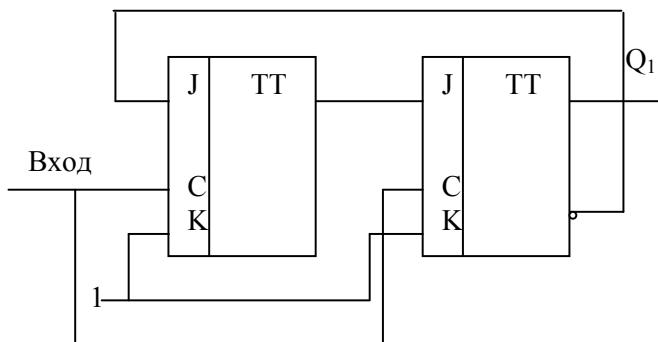


Рисунок 26 – Схема счетчика с модулем счета 3

Работа блока управления должна быть проиллюстрирована временной диаграммой, построенной для контрольных точек.

### ЗАКЛЮЧЕНИЕ

В заключении кратко указывается состав разработанного устройства (функциональные узлы), применяемая элементная база, а также параметры разработанного устройства.

В списке литературы перечисляются используемые источники с указанием порядковых номеров согласно ссылкам в тексте пояснительной записки.

В приложении указывается перечень используемых элементов, выполненный в соответствии с требованиями ГОСТа. Кроме того, в приложении могут быть помещены



листинги программ, результаты их решения, если они применялись для автоматизации процесса проектирования.

Графический материал к пояснительной записке выполняется в соответствии с требованиями ГОСТов по оформлению электрических чертежей.

## СПИСОК ЛИТЕРАТУРЫ

- 1 Измерения в электронике: Справочник / Под ред. Кузнецова В.А. – М.: Энергоатомиздат, 1997. – 412 с.
- 2 Орнадский П.П. Автоматические измерения и приборы. – К.: Выща школа, 1980. – 560 с.
- 3 Пухальский Г.И., Новосельцева Т.Я. Проектирование дискретных устройств на интегральных микросхемах. – Справочник. – М.: Радио и связь, 1990. – 304 с.: ил.
- 4 Расчет элементов цифровых устройств: Учеб. Пособие / Л.Н. Преснухин, Н.В. Воробьев, А.А. Шишкевич; Под ред. Л.Н. Преснухина. – 2-е изд., перераб. и доп. – М.: Высш. шк., 1991. – 526 с.: ил.
- 5 Зельдин Е.А. Цифровые интегральные микросхемы в информационно-измерительной аппаратуре. – Л.: Энергоатомиздат. Ленингр. Отд-ние, 1986. – 280 с.: ил.
- 6 Зубчук В.И. и др. Справочник по цифровой схемотехнике / В.И. Зубчук, В.П. Сигорский, А.Н. Шкуро. – К.: Тэхника, 1990. – 448 с.
- 7 Шило В.Л. Популярныe цифровые микросхемы: Справочник. – М.: Радио и связь, 1987. – 352 с.: ил.
- 8 Потемкин И.С. Функциональные узлы цифровой автоматики. – М.: Энергоатомиздат, 1988. – 320 с.: ил.
- 9 Орнадский П.П. Автоматические измерения и приборы. – К.: Техника, 1990 – 448с.
- 10 Цифровые и аналоговые интегральные микросхемы: Справочник / С.В. Якубовский, Л.Н. Нильсон, В.И. Кулешова и др. / Под ред. С.В. Якубовского.- М.: Радио и связь, 1990. – 496с.

# СОДЕРЖАНИЕ

стр.

## Общие сведения

- 1 Исходные данные
  - 2 Литературный обзор
  - 3 Разработка и обоснование алгоритма функционирования и структурной схемы проектируемого устройства
  - 4 Разработка функциональной схемы
  - 5 Разработка принципиальной схемы устройства
    - 5.1 Выбор элементной базы
    - 5.2 Проектирование схем выделения фронтов временного интервала
    - 5.3 Проектирование счетчика измерителя временного интервала
    - 5.4 Проектирование преобразователя кодов
    - 5.5 Проектирование преобразователя параллельного кода в последовательный
    - 5.6 Разработка блока управления
- Заключение
- Список литературы